

平成 13 年度

春季修了

博士（工学）学位論文

**半導体薄膜形成のためのリモートラインソースプラズマ**

**CVD 装置の研究開発及びそれに基づく起業実践**

**Development of Remote Line Source Plasma CVD Apparatus for  
Semiconductor Thin Films and Creation of New Business by Using  
Related Technologies**

平成 13 年 12 月 28 日

高知工科大学 大学院 工学研究科 基盤工学専攻 起業家コース

学籍番号：1036020

森田 達夫

Morita Tatsuo

## 内容梗概

本論文は著者が大学で受けた学術的基礎知識と社会人として蓄積した実践経験を基に、本学、高知工科大学大学院博士課程起業家コースにおいて行った研究をまとめたものである。本テーマに関し、これまでのベースに新しい知識と学識を加えると伴に、起業家コースの基本理念である起業実践の視野に立ち、学究的研究を深耕させ、総括的にその成果をまとめたものである。

半導体薄膜形成および界面制御に関する基礎研究成果を起業実践の理念の基にまとめたものを第1編とし、その成果を基礎とし、起業実践のための経営的研究成果を第2編としてまとめたものである。

第1編ではまず第1章で半導体薄膜界面物性の制御が工学的にいかに重要であることを示した。第2章では薄膜界面制御に関する物性的研究を、結晶成長、格子欠陥形成、および界面電子エネルギー準位制御の観点から行い、気相成長(CVD)および固相変態による結晶成長における内部応力の結晶品位に及ぼす影響を明確にすると共に、ヘテロエピタキシャル成長時に界面に形成される不整合転位が貫通転位へと変化する新モデルを提案した。さらに薄膜電界効果型トランジスタ(TFT)の界面準位密度低減に関してリモートプラズマCVD法によるSiO<sub>2</sub>ゲート酸化膜形成法の優れている事を明示した。続いて第3章では第2章で得た概念に基づき、薄膜形成および界面制御のための大型プラズマ反応装置に関する研究を行い、高密度ラインソース型リモートプラズマCVD装置を開発した。そしてそれが大面積基板を用いたTFTプロセスに適用することが出来、且、優れたTFT特性の得られることを明示した。

第2編では第1編に示した成果を実用化し、起業に結実させるべく、まず第1章で薄膜デバイスのディスプレイ産業における位置付けを明確化した。第2章でそのディスプレイ産業が現在転換期にあることを明示した。そして第3章で本研究の集大成である株式会社クリスタージュの発足を示し結論とした。

### 第1編 半導体薄膜界面の形成

本編ではこれまで行ってきた半導体薄膜に関する基礎的な物性的研究に、起業家としての理念に基づいた見識と新しい知見を加え、その成果が起業の技術的根幹となる新装置の発明につながってゆく過程を総括的にまとめたものである。

#### 第1章 序論

薄膜形成および薄膜界面制御を工学的見地に立ってにその意義を明らかにすると共に、実用上の重要性を明示にした。

## 第2章 半導体薄膜の結晶化機構

Si のホモエピタキシャル成長、Si のヘテロエピタキシャル成長、InGaAs/GaAs ヘテロエピタキシャル成長、さらに Si の SiO<sub>2</sub> 上への成長に関する研究を行った。それらの研究の結果、結晶成長における内部応力の果たす役割、および格子欠陥形成とその振る舞いを明確にするとともに、不整合転位の振る舞いに関する新しい現象の発見を示した。さらに薄膜を用いた電子デバイスとして低温プロセスポリシリコン TFT に関する研究を行い、Si/SiO<sub>2</sub> 界面準位密度がリモートプラズマ CVD 法による SiO<sub>2</sub> の形成により低減できることを明らかにした。

## 第3章 装置開発研究

本章では実用的観点から大型基板に対応すべく、リモートラインソースプラズマ CVD 装置の開発を示した。大型ラインソースにおいても誘導結合方式が適用可能であり、リモートプラズマ CVD に対して有効であることを明確にした。

## 第2編 起業実践

第1編における技術的成果をもとに起業実践するための産業論的研究をディスプレイ事業分野を対象にして行った。その結果得た知見と、新技術をベースに株式会社クリスタージュを設立した。

### 第1章 序論

薄膜半導体デバイスのディスプレイ産業における位置付けを明示にした。その中にあって低温プロセスポリシリコン TFT の今後の重要性を明確化するとともに、前記リモートプラズマラインソース CVD に期待される役割を明らかにした。

### 第2章 転換期にあるディスプレイ産業

近年の LCD 産業の隆盛を CRT 産業との比較において論じ、両者の事業構造における相違点を明確化するとともに、今後の LCD 事業の新展開を論じた。その中で、ビジネスモデルとして TFT 基板供給事業をとりあげ、シミュレートした。

### 第3章 結論

#### 株式会社クリスタージュ設立

起業実践のためのビジネスプランを作成し、台湾メーカーとの協業と新技術とをベースにベンチャービジネス(株)クリスタージュを設立した。

# 目 次

## 第 1 編 半導体薄膜界面の形成

第 1 章 序論	1
第 2 章 半導体薄膜の結晶化機構	2
2.1 緒言	2
2.2 イオン注入シリコンの再結晶化	2
2.3 ヘテロエピタキシャル薄膜成長	9
2.4 ノンエピタキシャル薄膜成長	26
2.5 薄膜を用いた電子デバイスの作製	43
2.6 結言	46
第 3 章 装置開発	47
3.1 緒言	47
3.2 電磁波結合リモートプラズマラインソース CVD 装置	48
3.3 誘導結合リモートプラズマラインソース CVD 装置	54
3.4 結言	58

## 第 2 編 起業実践

第 1 章 序論	59
第 2 章 転換期にあるディスプレイ産業に関する研究	59
2.1 緒言	59
2.2 CRT と LCD の事業比較	60
2.3 CRT および LCD の事業展開	62
2.4 結言	65
付録：ビジネスシミュレーション	66
第 3 章 結論	69

参考文献	7 1
研究業績	7 3
学会講演	7 4
特許	7 6
謝辞	7 7

# 第1編 半導体薄膜界面の形成

## 第1章 序論

半導体薄膜は現在の半導体デバイスの最も重要な構成部材である。Si デバイスにおいてみると、LSI のバイポーラトランジスタにおいてはその PN 接合が薄膜のホモエピタキシャル成長をもちいて構成されているし MOS トランジスタにおいては熱酸化法による SiO<sub>2</sub> 薄膜の形成により、Si とのあいだの良好な界面状態を保ちつつゲート絶縁膜を構成することが可能となっている。バイポーラトランジスタの PN 接合においては少数キャリアを捕獲するトラップ準位はできるだけ少ない方がよい。そして空間的な接合の状態もできるだけ急峻であることが望まれる。MOS トランジスタの Si と SiO<sub>2</sub> の界面においては格子不整合のために欠陥準位の存在することはやむを得ないが、その密度は極力少ない方がよい。そして界面に近接する SiO<sub>2</sub> 内の固定電荷密度の低減も重要な課題である。

SIMOX に代表される SOI (Silicon On Insulator) デバイスにおいては、Si 中への酸素のイオン注入により形成された薄膜の SiO<sub>2</sub> が結果的に Si 単結晶中に埋め込まれることにより、薄膜単結晶 Si が表面に形成されることになる。

近年の TFT (Thin Film Transistor) は SOI デバイスの一種であると言えるが、基板がガラスや石英であり、Si が多結晶であるところが LSI の分野でいわれる SOI と異なった点である。この TFT はアクティブマトリクス型液晶表示装置や有機 EL 表示装置などの表示デバイスとして益々その重要性を増してきている。それは数十センチ四方の大型基板を扱い、LSI と同様な微細加工を施すことから、ジャイアントマイクロエレクトロニクスと呼ばれることがある。この TFT においては、Si が LSI の様な単結晶ではもはやないこと、および基板の耐熱性の限界から、SiO<sub>2</sub> の形成のために 1000 °C というような高温のプロセスを使用できないために、いかにしてガラス基板の歪点 (600 °C) 以下の温度プロセスで界面準位密度が低く、且、固定電荷密度が低く、電氣的信頼性の高い SiO<sub>2</sub> 薄膜を形成するかが最も重要なポイントの一つとなっている。

一方 GaAs に代表される化合物半導体においても界面は重要な意味を持っている。GaAs は高速動作のデバイス基板としてだけでなく、光デバイス基板として大変重要である。しかし、現在のところ、Si に匹敵するような良質で大型の基板はまだできていない。その為に、Si 基板上へのヘテロエピタキシャル成長が研究されている。

LED (Light Emitting Diode) やレーザダイオードのような光半導体デバイスでは AlGaAs/GaAs の様に半導体薄膜のヘテロエピタキシャル成で作りこまれた接合界面が重要な役割を演じている。近年ではサファイア基板上への GaN の成長が青色 LED にとって重要な技術となっている。

いずれにしても薄膜界面および表面が電氣的活性領域としてデバイスの主要な役割を演じている。そしてその形成されるエリアは近年の TFT のディスプレイ装置への応用により、LSI 用 Si ウエハーからディスプレイ生産用大型ガラス基板へと一気に大面積化しているのが現状である。従って薄膜および界面のを司る装置は大型基板を扱うことができ、しかも精緻な界面制御および薄膜結晶成長を行えるものでなければならなくなって来ている。

## 第2章 半導体薄膜の結晶化機構

### 2.1 緒言

薄膜半導体デバイスにおいて最も基本となるのが半導体薄膜の物性を理解することである。そしてそれを制御して所望のデバイスに仕上げることが半導体工業の礎となっている。従って薄膜の形成過程を基礎から独自の視点においてよりよく把握し、理解しておくことが薄膜デバイスに係る事業をベースにした起業化において重要な点の一つである。

薄膜の形成を下地となる基板との関係において分類すると、薄膜結晶と基板結晶が全く同じであるホモエピタキシャル成長と、薄膜結晶と基板結晶の結晶学的特性が異なるものの、基板結晶の結晶方位および対称性の影響を受けて成長するヘテロエピタキシャル成長と、そのような結晶学的関係は無く、薄膜か基板のどちらかがアモルファスである場合と、それら両方がアモルファスである場合の計4種類の場合が考えられる。本研究で取り上げるのはその内実用的に重要な前者3種類の場合である。

筆者はこれら薄膜成長過程においてマクロ的な定性的理解に留まっていた薄膜内部応力の成長に及ぼす影響に注目し、その原子レベルでのミクロな理解と結晶成長理論に基づいた定量的な把握を行い新事実を発見することができた。そしてこれらの新事実をもとに、1次元薄膜成長方式の有効性を予見し、新薄膜形成装置の概念を醸成することができた。

### 2.2 イオン注入シリコンの再結晶化

ホモエピタキシャル成長の典型的な例として Si 単結晶のエピタキシャル成長をあげることができる。バイポーラトランジスタは Si 単結晶基板の上にホモエピタキシャル薄膜層を形成し、そこにベース、エミッタ、コレクタの各活性領域を形成する。この成長には CVD(Chemical Vapor Deposition)法が用いられる。

他には、イオン注入によって破壊された領域を、未破壊の完全結晶を基板情報として引き継ぎながらアニールにより再び単結晶に回復させる工程がある。MOS トランジスタ製造工程で用いられているイオン注入と活性化のプロセスである。

いずれにおいても基礎的現象は種結晶表面における結晶核形成とそれに続く結晶成長であり、相違点は界面が固体と気体間にあるか、固体と固体間にあるかである。本研究では後者のイオン注入後の結晶化過程を対象として取り上げ、電子顕微鏡内でのその場観察による結晶化の動的観察をはじめ取り入れ、多くの新事実を見出した。

#### アモルファス Si のエピタキシャル再結晶成長

LSI に用いられている MOS トランジスタのソースおよびドレンの形成のためにイオン注入と、それに続く活性化アニールが行われる。LSI の高集積化に伴い、トランジスタのチャンネル長が短くなり、それに伴ってスケーリング則によりソース、ドレンの浅い接合が求められるようになった<sup>1)</sup>。浅い接合をつくるためには、活性化の熱処理中に注入され

た不純物が拡散せずに、できるだけ元の位置に留まることが必要になる。そうするための基本的な方法として、高温ではあるが、処理時間が極めて短いアニールを行う方法と、拡散係数の小さな不純物元素をドーパントとして用いる方法が考えられる。一方、浅い接合によるドレン端の電界強度を緩和するために低濃度の不純物ドーパ領域をチャンネル部とドレン部の間に設けることがある。それによりホットエレクトロンの、ゲート絶縁膜中への注入を防止することができる。これはLDD (Lightly Doped Drain) と呼ばれ、高耐圧 MOS トランジスタなどでも有効な手法となっている (図 2・2・1)<sup>2)</sup>。

従って最近では  $As^+$  によるソース・ドレン形成と LDD 構造をもちいた MOS トランジスタが主として用いられるようになった<sup>3), 4)</sup>。しかしながらこのイオン注入、活性化工程における結晶学的知見はまだ十分ではない<sup>5), 6)</sup>。特に結晶欠陥に関する知見とその制御は所望のデバイス特性を確保する上でも特に重要であると考えられている。

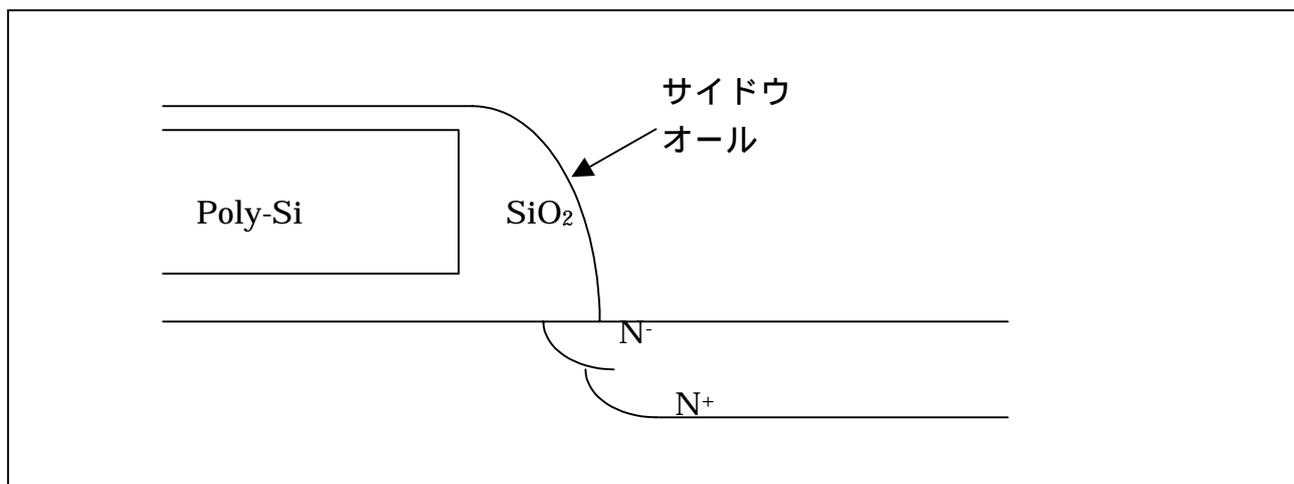


図 2・2・1 LDD NMOS トランジスタ

図 2・2・1 に示すような  $SiO_2$  のサイドウォールを有するポリシリコンゲート LDD N 型 MOS トランジスタを作製し、 $As^+$  注入後活性化熱処理時のドレン部の結晶化過程を透過電子顕微鏡によるその場観察を用いて行った。

実験条件および方法 : 試料

- Si 基板 : P 型 (001) 15 ~ 20
- $As^+$  注入 : 加速電圧 80 Kev、ドース量  $5 \times 10^{15} \text{ cm}^{-2}$
- ゲート酸化膜 :  $SiO_2$  500
- ゲート電極 :  $W_{Si} \times 2500$  / Poly Si 2500

## 実験条件および方法 : 透過電子顕微鏡観察

- ・ 透過型電子顕微鏡 : 明石製作所製 002B (200KV)
- ・ 熱処理 : 加熱用透過電子顕微鏡試料ホルダ、最高加熱温度 800
- ・ 透過電顕試料 : Si 基板スライスカット、断面方向にディンプルグラインド、  
Ar<sup>+</sup> イオンシニング
- ・ 電顕観察 : 加速電圧 200KeV、(110) 入射、  
試料最高加熱温度 800、  
真空度  $1 \times 10^{-6}$  Torr、  
明視野像を VTR に記録

## 実験結果

### 1) 結晶化過程

写真 2・2・1 に、As<sup>+</sup> 注入部の透過電子顕微鏡観察結果を示す。透過ビームによる明視野像で回折によるコントラストが形成されている。注入部は、SiO<sub>2</sub> のサイドウォール部と同じコントラストを示していることから非晶質化していることがわかる。写真 2・2・2 は結晶化過程を透過電顕の断面写真により時系列に示したものである。写真中、a は初期状態、f は結晶化完了状態を示している。写真から明らかなように、結晶化はアモルファスと結晶界面より開始し、表面に向けて垂直(縦)方向進行している。横方向の成長は縦方向に比べて遅く、表面近傍ではほとんど横方向の成長は進んでいないことが分かる。結晶化した層の厚さの時間変化をプロットしたのが図 2・2・2 である。3 分間の潜伏期間の後結晶化が開始され、急激に表面(001)に向けてその領域を拡大して行く。この時の成長速度は 350 /min であった。この間ほとんど横方向の結晶化は進行しない。固相反応によるホモエピタキシャル成長が起こっていることがわかる。この急激な成長は表面より約 800 の深さのところまで休止する。この深さはイオンの投影飛程(Rp)に一致する。休止期間は約 8 分であった。その後再び緩やかに成長が再開し、低速度で結晶領域は表面に到達する。この時の成長速度は 15 /min であった。このとき、横方向の成長も見られるが、最表面の結晶と非晶質境界点はピンニングされ、最表面層の横方向結晶成長は起こらない。

### 2) 結晶欠陥

結晶化が完了した後、多くの結晶欠陥が誘起されているのが分かる(写真 2・2・3)。欠陥は深さ方向に二列存在する。深い方の位置は最初のアモルファスと結晶の界面であり、浅い方は Rp に一致する。従ってこれらの欠陥列が形成されるとき結晶成長は停止することがわかる。形成された結晶欠陥には 2 種類あることがわかる。その内の一つは

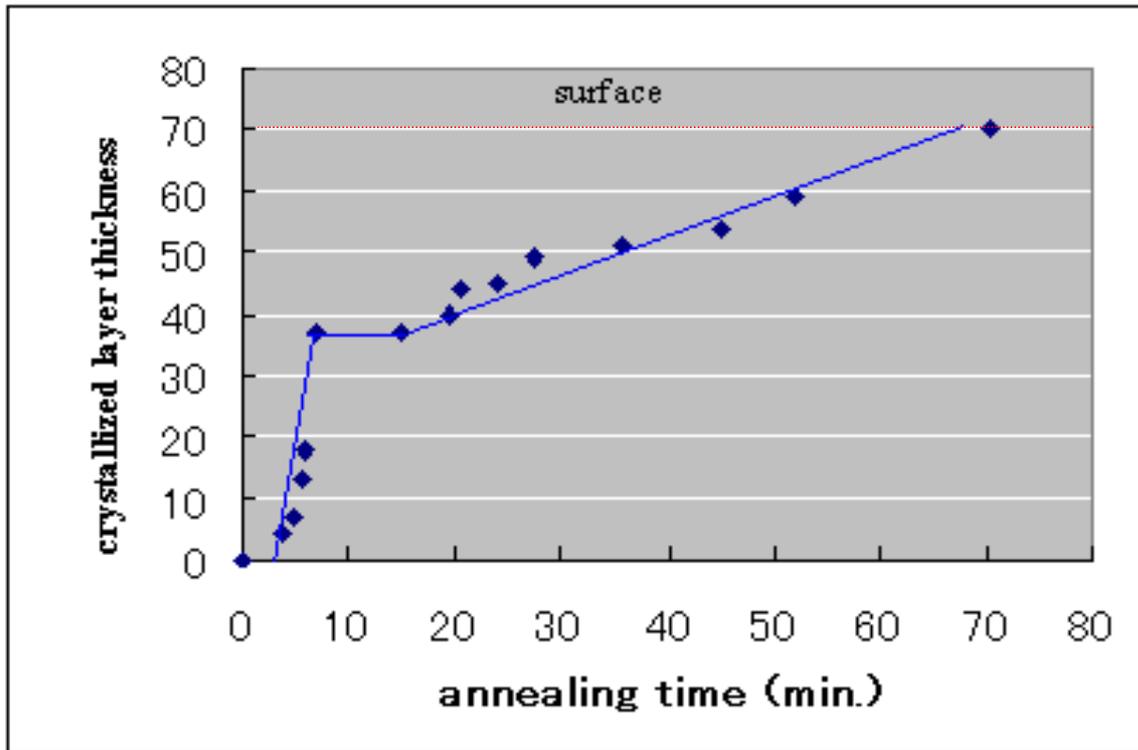


図 2・2・2 イオン注入層結晶化のアニール時間依存性

写真 2・2・3 中に D1 で示す積層欠陥である。それは (1 1 1) 面配列を示す高分解能格子像観察の結果写真 2・2・4 を見れば明らかである。他の一つは転位ループである(D2)。これらはいずれも不純物原子かあるいは空孔の析出に伴って形成されたものであろうと推察される。

一方、結晶化がピンニングされたサイドウォール直下の表面には大きな歪が存在していることが写真 2・2・6 の回折コントラストの不均一性から窺がわれる。試料を冷却後この部分を高分解能 2 ビーム法観察した結果が写真 2・2・5 である。これは拡張転位を示しており、加熱時の結晶成長直後には認められなかった。従って熱処理後の冷却期間に形成されたと推察される。

### 考察および結論

結晶基板との界面で核発生し成長するアモルファス Si の固相ホモエピタキシャル成長においてそのダイナミクスは結晶方位のみならず、局所的な応力場によっておおきな影響をうけると考えられる<sup>7), 8), 9), 10)</sup>。それは本実験で明示されたように、アモルファス・結晶界面とイオン注入の投影飛程の位置での欠陥形成<sup>11)</sup>時に結晶成長が停止することに示されている。それは不純物原子および空孔の再配列に伴う局所応力場の形成に起因するものである。また、マクロ構造に起因する局所応力が結晶成長に影響を及ぼしている事例として本実験で示された、サイドウォール直下での Si 表面の結晶化ピンニング現象をあげることができる。

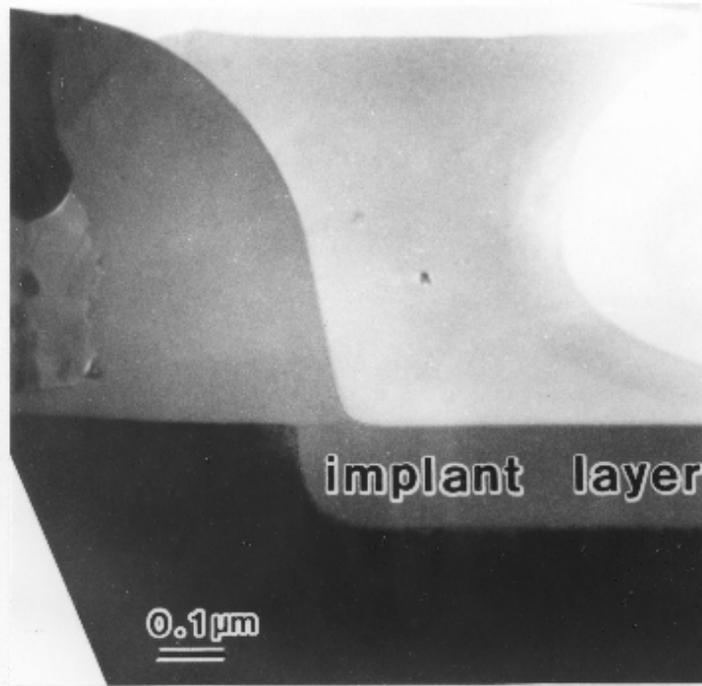


写真 2・2・1 As<sup>+</sup>注入層断面 TEM 象

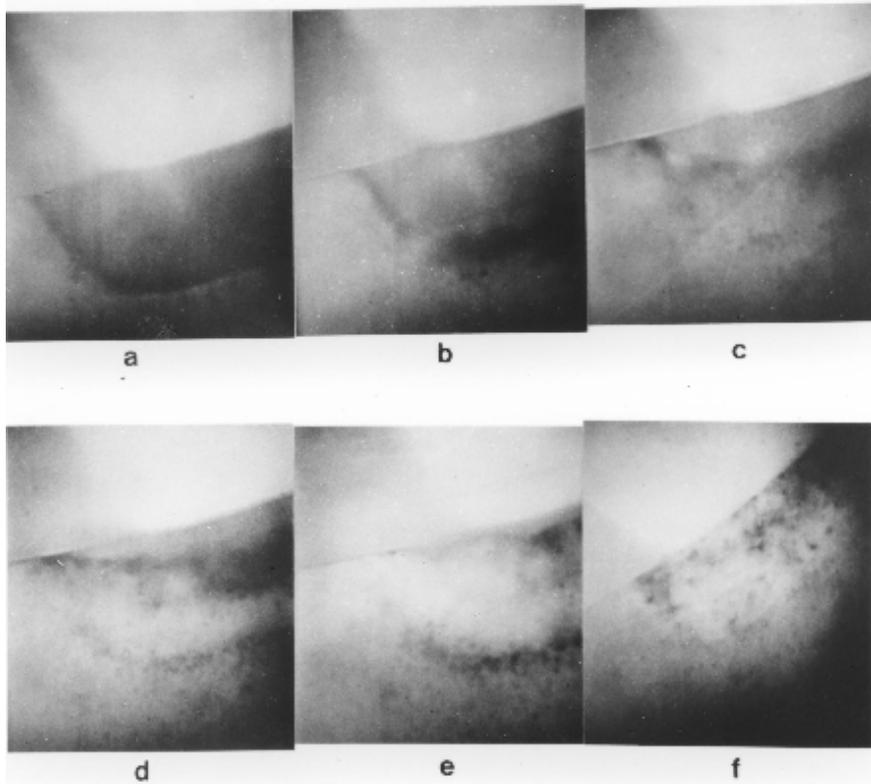


写真 2・2・2 As<sup>+</sup>注入層の活性化アニール経時変化  
a: 初期 → f: アニール完

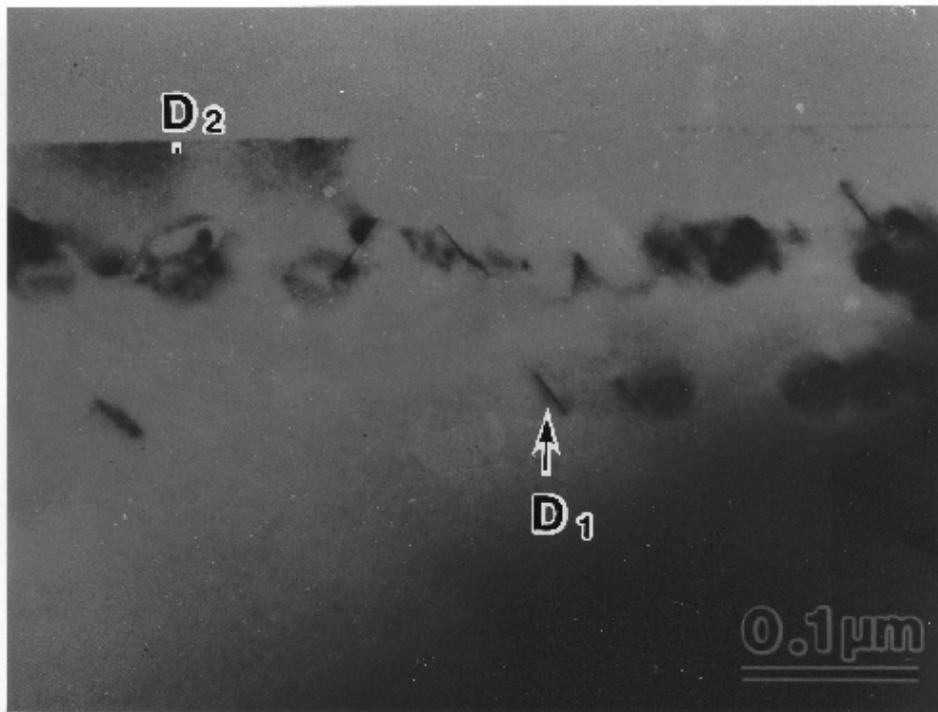


写真 2・2・3 As<sup>+</sup>注入層アニール後の残留欠陥

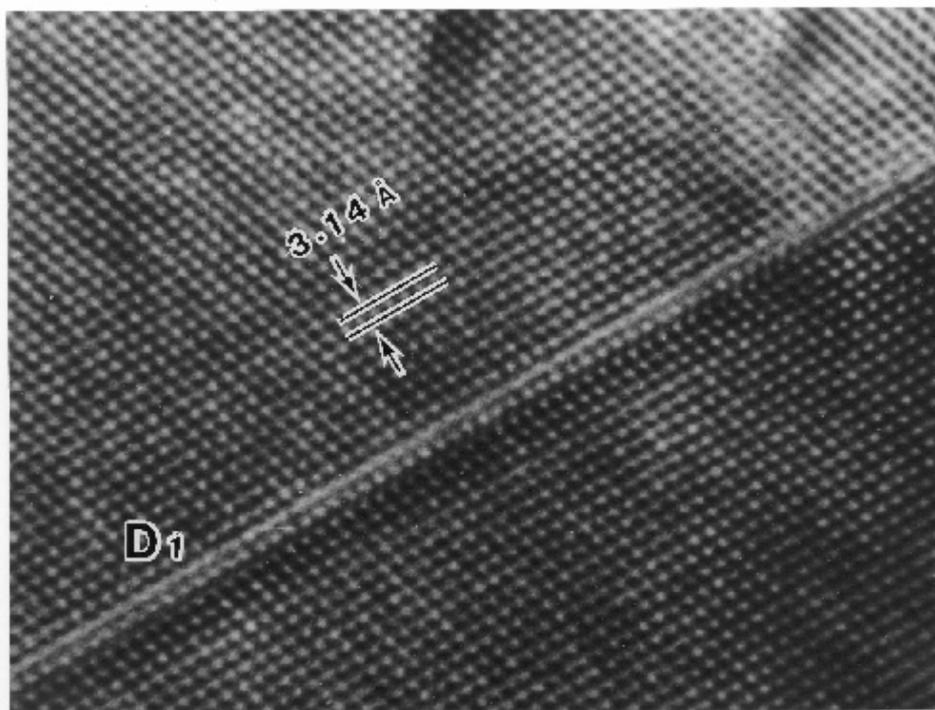


写真 2・2・4 積層欠陥を示す高分解能 TEM 象

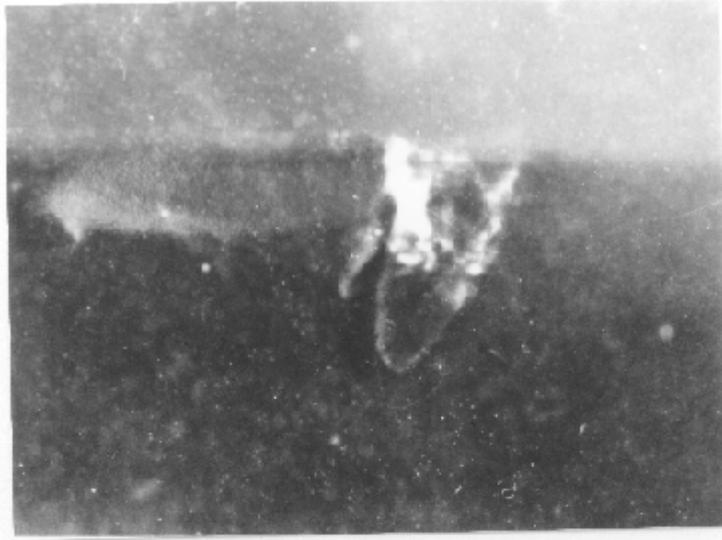


写真 2・2・5 サイドウォール端の欠陥 (ウイークビーム)



写真 2・2・6 サイドウォール端近辺の結晶化の様子

## 2.3 ヘテロエピタキシャル薄膜成長

### 1) Si 基板上の GaAs 結晶成長

GaAs 単結晶は大型化が困難なため、良質な大型 Si 単結晶基板を用いたヘテロエピタキシャル成長が試みられている。しかし Si と GaAs の格子定数の差、つまりミスフィットは約 4% もあり、それによるミスフィット転位の導入は回避することができない。またアンティフェーズドメイン発生の問題もある。しかしそれらの発生をできる限り低密度に抑え、さらにその存在領域を界面領域に限定することによって活性領域の結晶の品位を出来る限り高く保持することがこのヘテロエピタキシャル成長の目標となる。

具体的な応用としては太陽電池があげられる。GaAs 太陽電池は Si 太陽電池と比較して高効率で、優れた放射線照射特性を持っている。また温度特性などにおいても優位性を有する反面、重量、コスト、機械的強度の点において劣っている。すなわち、Si と比較して重く、高価で、機械的に脆弱である。これらの問題点を克服し、その長所を活かす方法として Si 基板上への GaAs のヘテロエピタキシャル成長技術に期待がかかる。

近年、MOCVD<sup>12)</sup> や MBE<sup>13)</sup> の 2 段階成長法によってアンティフェーズドメインのない GaAs を直接 Si 上に直接成長することが可能になった。一方成長機構についても解析が進み 2 段階成長法の有利な理由等が明にされてきている<sup>14) 15)</sup>。しかしまだミスフィット転位の詳細については不明な点が多く残されている。

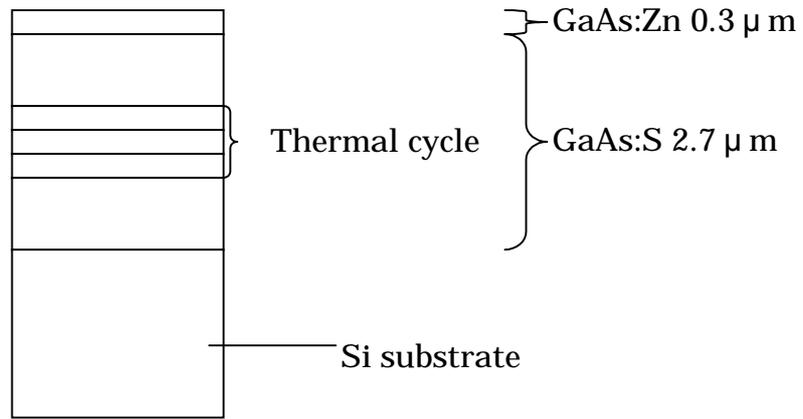
本研究では MOCVD 法により Si 基板上に直接 GaAs 層の成長を行い、シングルドメイン構造を有することを確認した上で、高分解能透過電子顕微鏡を用いてミスフィット転位に関する解析を行った。

実験条件および方法 : 試料

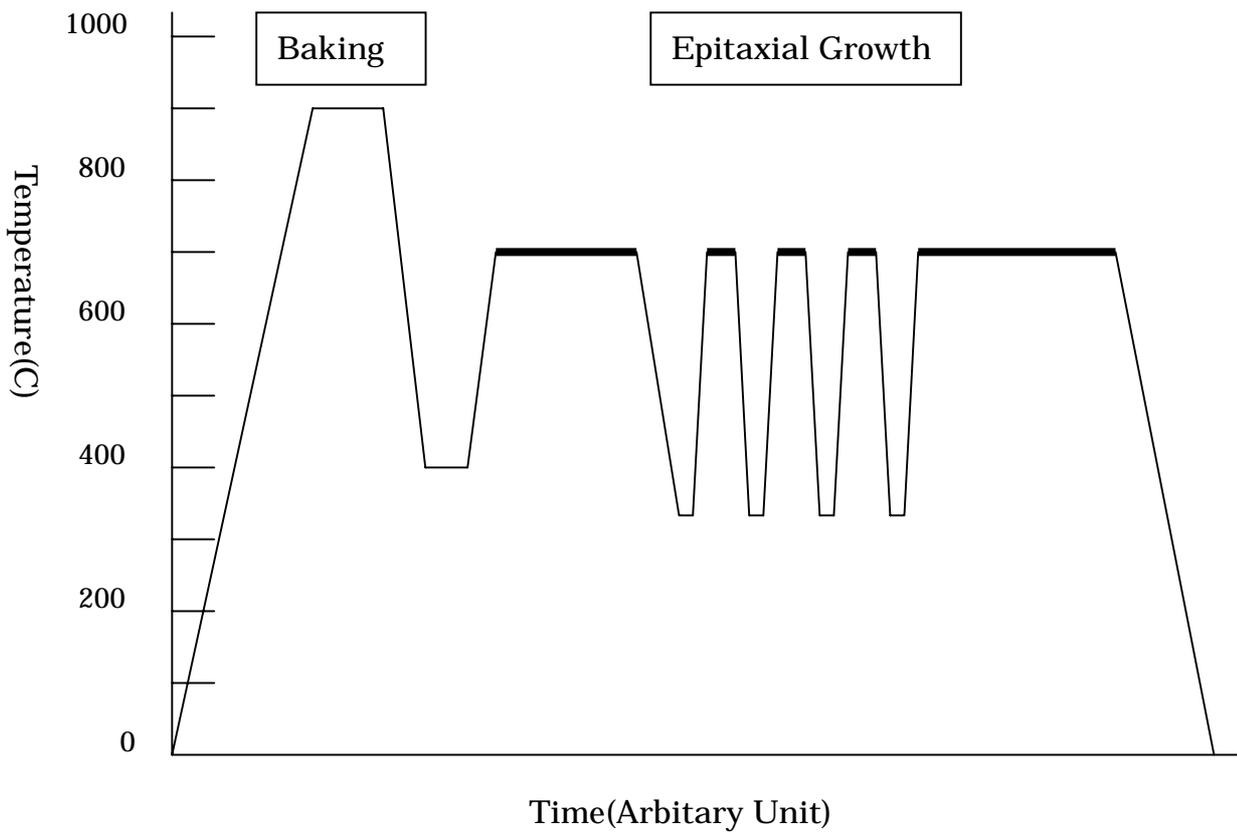
#### ・ MOCVD 成長条件

- 1) 原料 : TMG(Trimethyl Gallium), TMA(Trimethyl Aluminum),  
AsH<sub>3</sub>(Arsine, H<sub>2</sub>  
10% 希釈), DEZ(Diethyl Zinc), H<sub>2</sub>S(Hydrogen Sulfide)
- 2) 成長温度 : 400 (第一段階) 700 (第二段階)
- 3) 成長速度 : ~0.1 μm/min
- 4) 全ガス流量 : 12 l/min
- 5) 全圧力 : 100Torr
- 6) AsH<sub>3</sub> 分圧 : 0.4 ~ 0.6Torr
- 7) 基板 : Si (100) 2° off[011]

・層構造



・結晶成長シーケンス



## 実験条件および方法 : 評価

### ・透過電子顕微鏡観察

- 1) 電子顕微鏡 : 明石製作所製 EM-002B
- 2) 加速電圧 : 200 KeV
- 3) ビーム入射方向 : (011) 断面

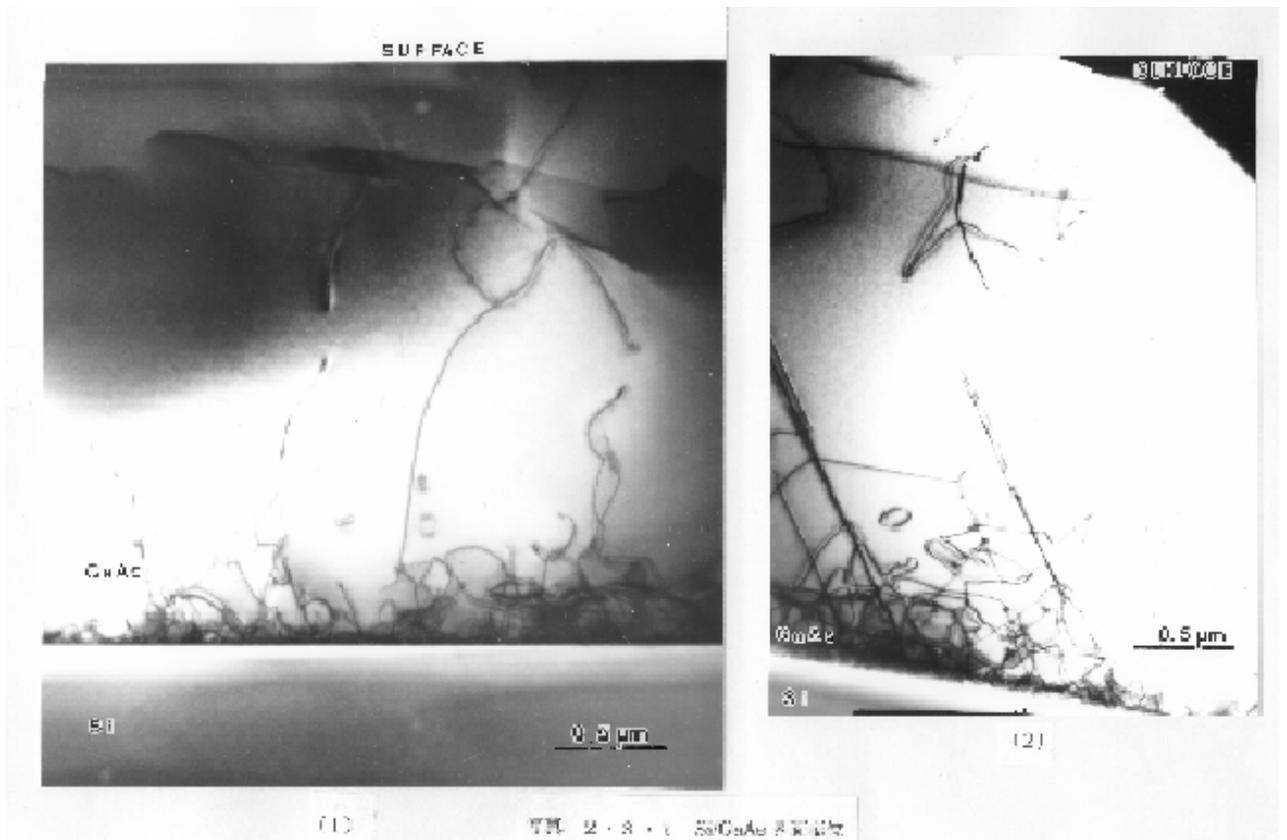
## 実験結果および考察

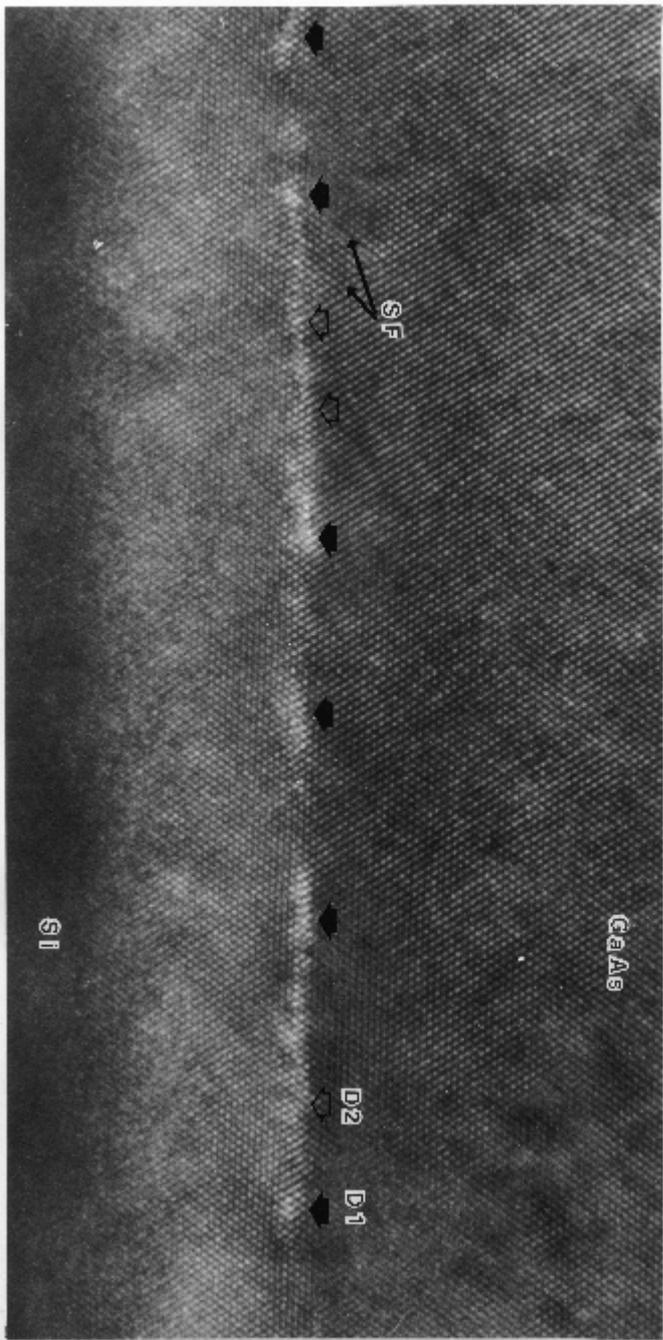
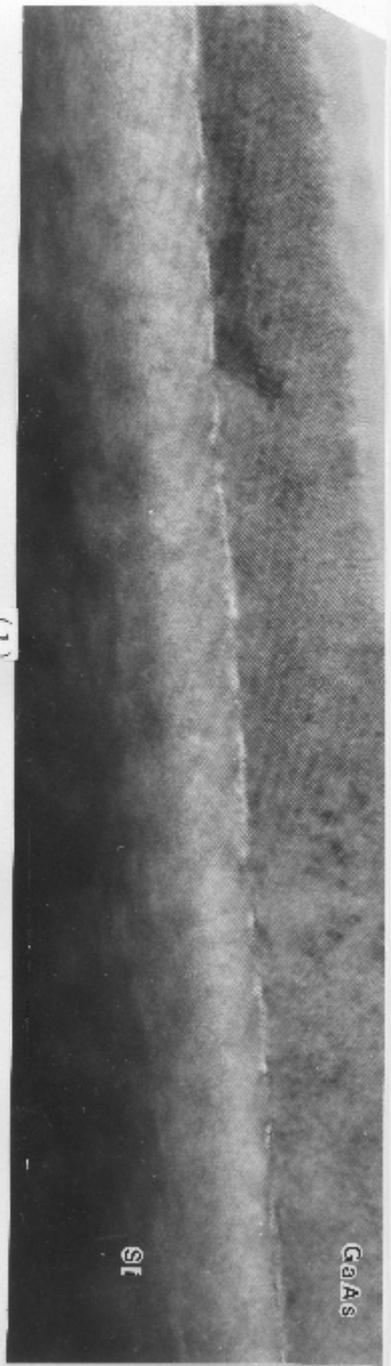
写真 2・3・1 (1), (2) に断面 TEM 明視野像を示す。Si と GaAs 界面に数多くの転位が集中して存在しているのがわかる。そして GaAs 層中に向かって成長している転位が発生しているのが観察される。しかし写真 (1) と (2) でその転位の形態の異なることが分かる。すなわち (1) では曲線的に GaAs 成長層へ伝播してゆく様が見られ、(2) ではそれとは対照的に (101) 方向に直線的に伝播した転位が認められる。(1) にみられる転位は成長に伴って導入されたらせん転位かミスフィット転位の拡張であると推察される。一方 (2) における転位は結晶方位の同定から ( ) 面内の (101) 方向へのすべり転位であることが分かる。

そこで界面の様子をさらに詳しくみるために高分解能観察を行った。写真 2・3・2 (1), (2) は写真 2・3・3 に示す回折波で結象させた、{111} 面の原子配列を示す高分解像である。(1) で長周期にわたって界面に欠陥に伴う歪場が形成されていることがわかる。さらに拡大した (2) の象から界面に横たわる欠陥には 3 種類存在することが明らかになった。一つは積層欠陥であり、写真中に SF で示されている。他はミスフィット転位であり、2 種類の転位の存在が明らかになった。一つは写真中 D1 で示される刃状転位であり、もう一つは D2 で示される  $60^\circ$  転位である。この原子配列を模式化して示したのが図 2・3・1 (1), (2) である。(1) は刃状転位を示しており、(2) は  $60^\circ$  転位を示している。これらミスフィット転位の存在する平均周期は 23 原子層に 1 層の割合であることがわかり、Si と GaAs との格子定数差 4% と極めてよく一致する。

## 結論

Si と GaAs の格子定数のミスマッチは周期的にミスフィット転位が導入されることによって応力緩和される。そのミスフィット転位は 2 種類存在し、一つは純粋な刃状転位であり、もう一つは  $60^\circ$  転位である。界面には積層欠陥も存在する。ミスフィット転位の存在領域は界面近傍に限られているが GaAs エピタキシャル層へ伝播する転位には 2 種類存在する。一つは結晶成長と共に引き継がれてゆく貫通らせん転位もしくはミスフィット転位からの拡張転位であり、他の一つは熱処理時の外部応力によって引き起こされた滑り転位である。いずれにしてもそれらの起点は界面の欠陥であり結晶成長時のこれら欠陥の動性を制御することがヘテロエピタキシャル技術の要点であると結論される。





(2)

(1)

写真 2・3・2 Si/GaAs 界面の高分解能 TEM 象

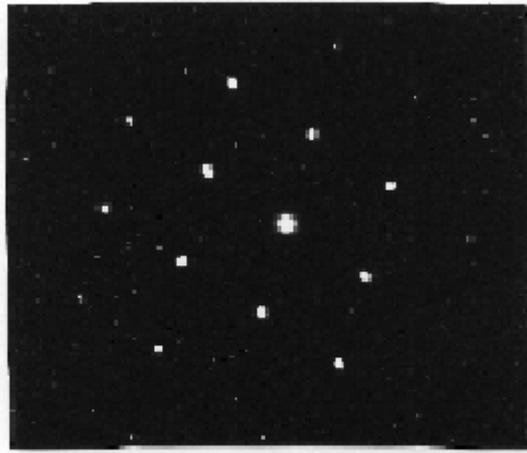


写真 2・3-2 HgCl<sub>2</sub>とAs 界面の電子線回折像

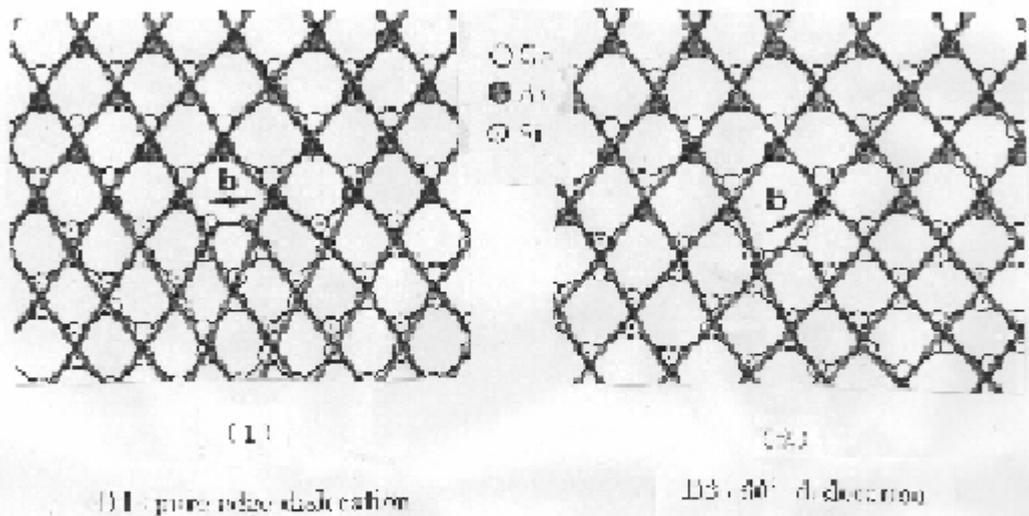


図 2・3・1 ミスマッチ位相模型

## 2) InGaAs/GaAs マルチレアエピタキシャル成長

Si 単結晶基板上に GaAs をヘテロエピタキシャル成長させる際、ミスフィット転位の導入されることは不可避である。しかしそれを界面近傍に閉じ込めることができれば電子的活性層として使用したい GaAs 表層は無欠陥状態になることが期待される。しかし現実には 2・3・1 に示したように成長層内に転位が導入されてしまう。ミスフィット転位の導入を防止する方法としてバッファ層を界面に挿入する方法<sup>16)</sup>や、超格子を導入する方法<sup>17),18)</sup>が提案されている。また、成長中の熱処理効果も報告されている<sup>19)</sup>。そこで格子定数の非常に近い InGaAs 層を GaAs 成長途中に複数層挿入することでその伝播を阻止しながら新たなミスフィット転位の発生を極力抑制することを目的に本実験を行った。

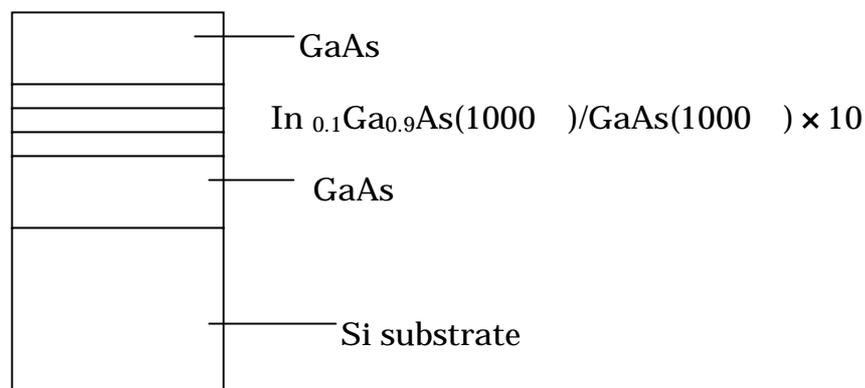
実験条件および方法 : 試料

### ・ MOCVD 成長条件

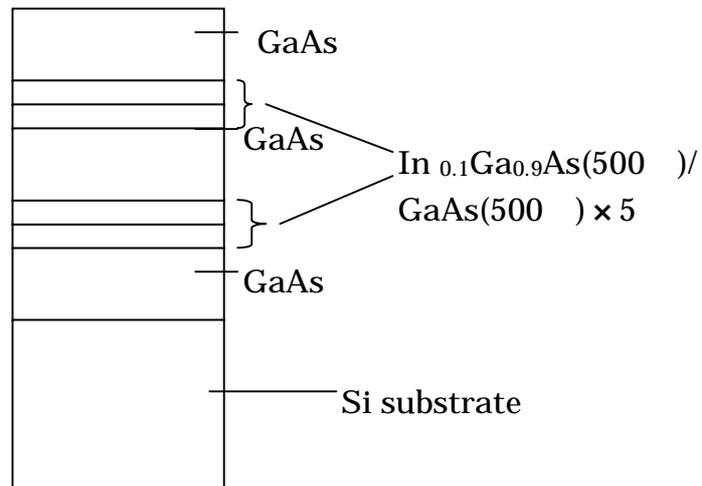
- 8) 原料 : TMG(Trimethyl Gallium), TMA(Trimethyl Aluminum), AsH<sub>3</sub>(Arsine, H<sub>2</sub> 10% 希釈), TMI(Trimethyl Indium)
- 9) 成長温度 : 400 (第一段階), 700 (第二段階)
- 10) 成長速度 : ~0.1 μm/min
- 11) 全ガス流量 : 12 l/min
- 12) 全圧力 : 100Torr
- 13) AsH<sub>3</sub> 分圧 : 0.4 ~ 0.6Torr
- 14) 基板 : Si (100) 2° off[011]

### ・ 層構造

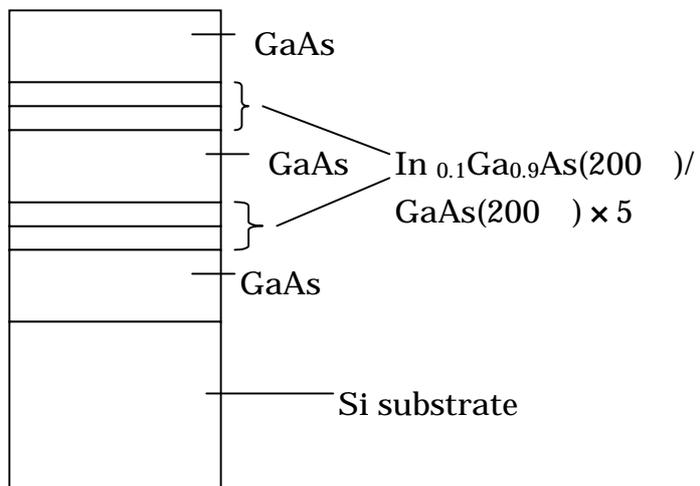
#1



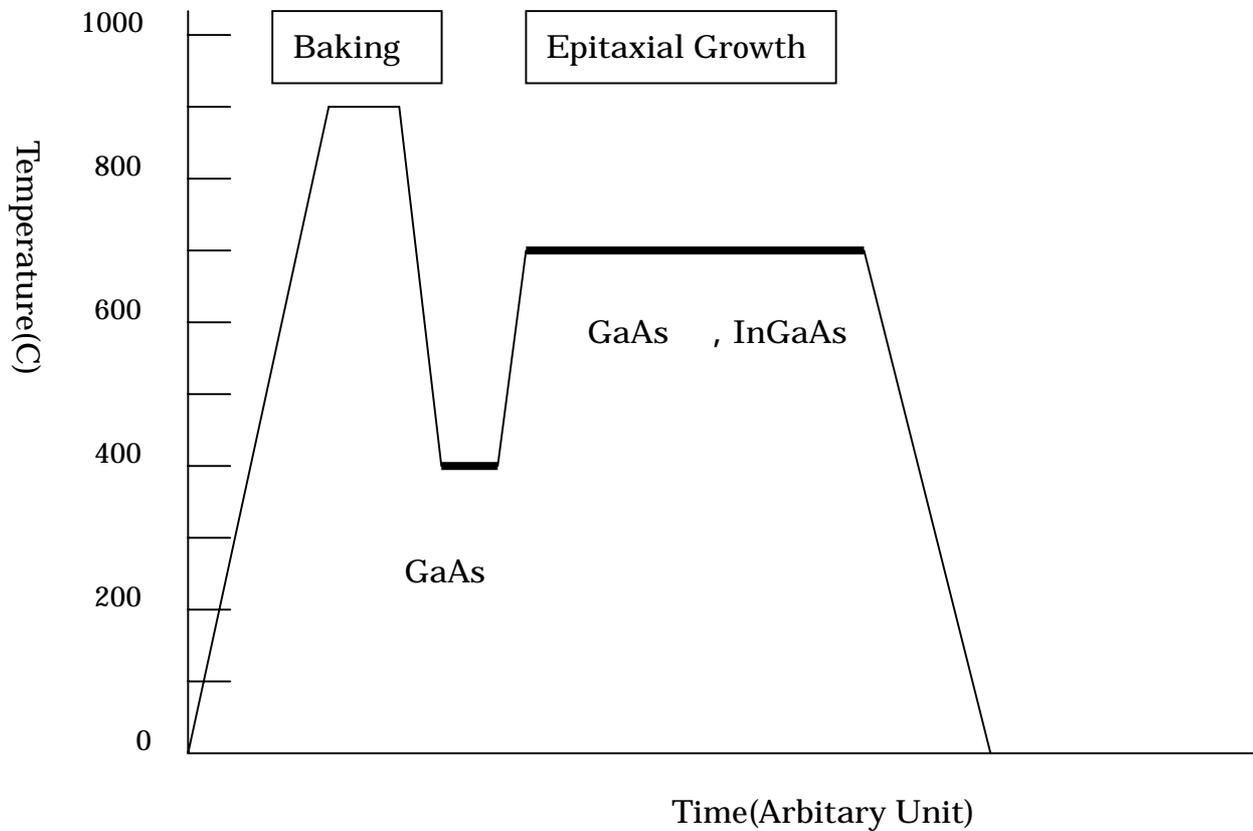
#2



#3



・結晶成長シーケンス



実験条件および方法 : 評価

・透過電子顕微鏡観察

- 1) 電子顕微鏡 : 明石製作所製 EM-002B
- 2) 加速電圧 : 200 KeV
- 3) ビーム入射方向 : (110) 断面 ±20°、(001) 平面
- 4) 転位消滅条件 :  $\mathbf{g} \cdot \mathbf{b} = 0$ 
  - $\mathbf{g}$  逆格子ベクトル
  - $\mathbf{b}$  バーガースベクトル

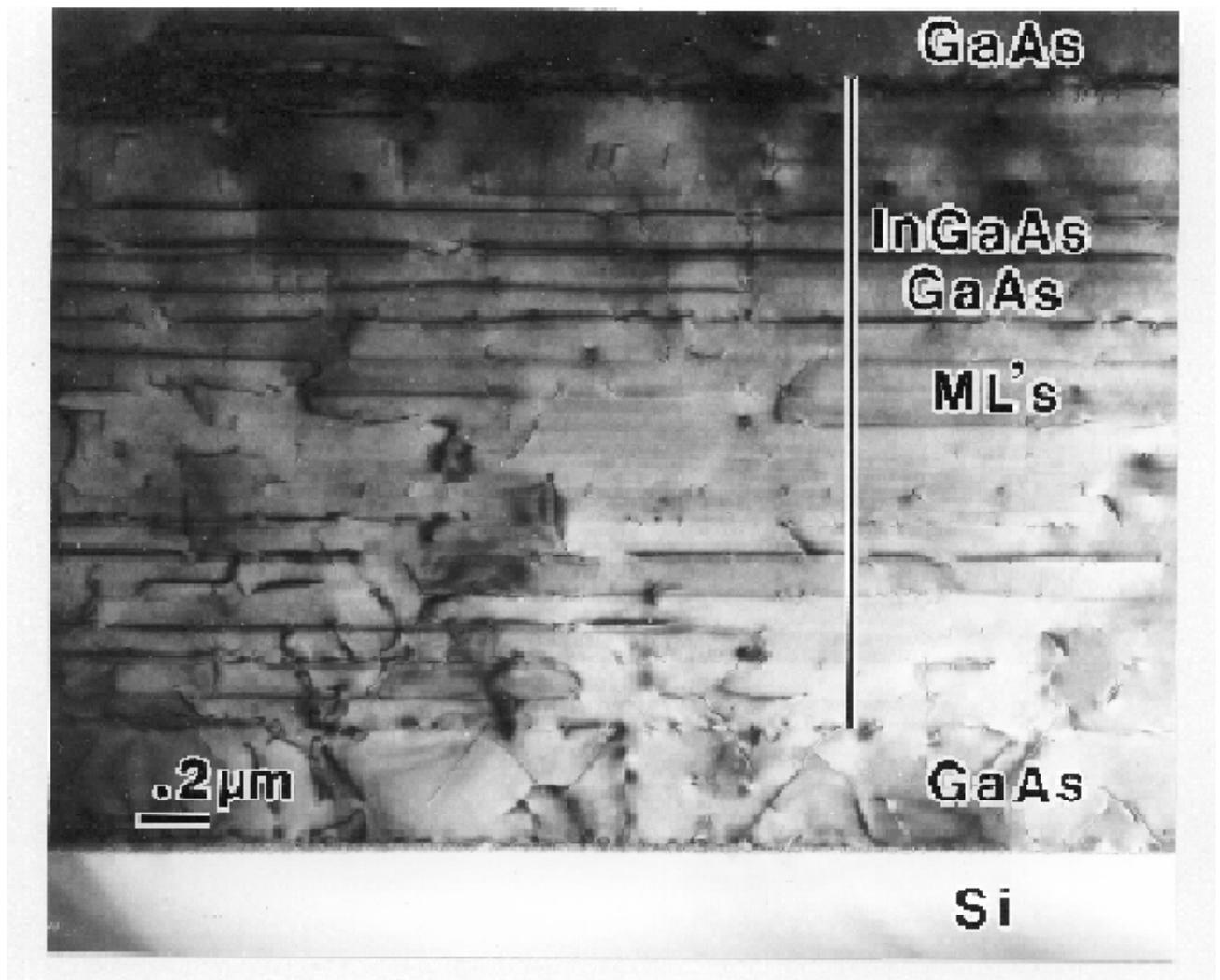


写真 2・3・4 Si 基板上の GaAs/InGaAs マルチレア(1000Å)断面 TEM 像

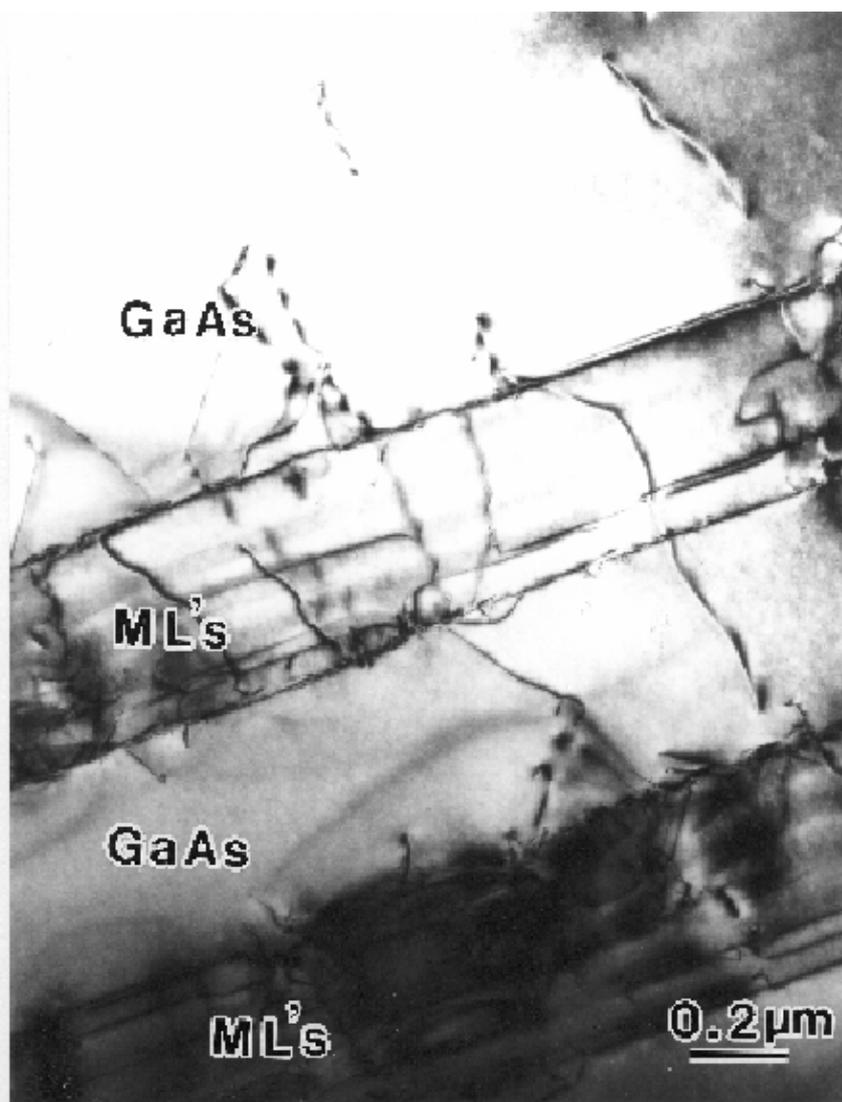


写真 2・3・5 Si 基板上の GaAs/InGaAs マルチレイア-(500Å)断面 TEM 象

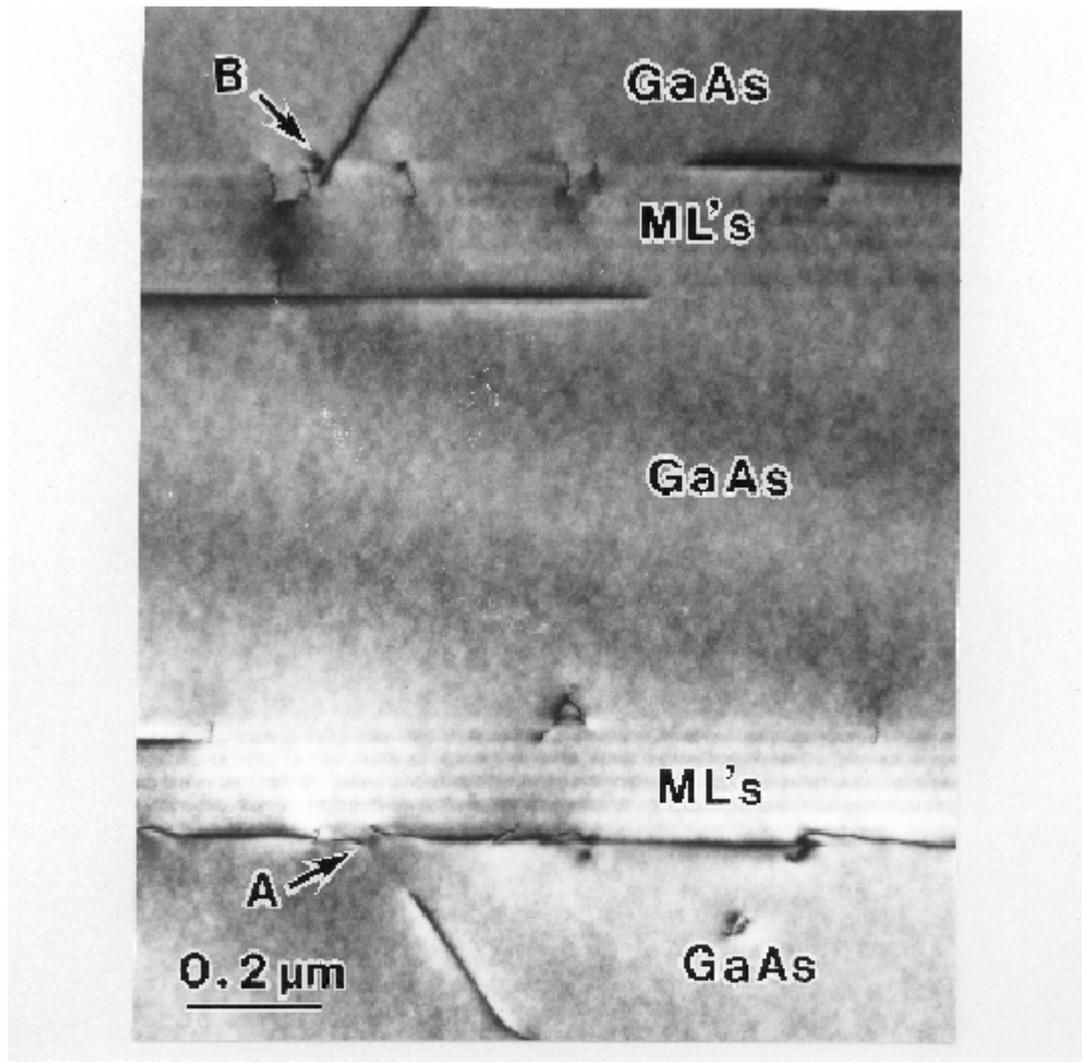


写真 2・3・6 Si 基板上の GaAs/InGaAs マルチレア(200 Å)断面 TEM 象

## 実験結果および考察

### 歪超格子の検証

写真 2・3・4、写真 2・3・5 および写真 2・3・6 に試料 # 1、# 2 および # 3 の断面透過電子顕微鏡による明視野象を示す。試料 # 1 および # 2 では GaAs 層中の転位は InGaAs マルチレア-中にも引き継がれており、マルチレア-が転位継承の阻止層としての機能を十分に果たしていないことが分かる。さらに GaAs と InGaAs との界面にミスフィット転位が形成されていることが分かる。ところが試料 # 3 では GaAs 層を貫通してきた転位は InGaAs、GaAs マルチレア-で貫通を阻止され、さらにマルチレア-中にミスフィット転位は発生していない。但し厚い GaAs 層 ( 、 、 ) との界面でミスフィット転位が発生している。また新たに貫通転位の発生が起こり得ることが分かる(写真中 B 点)。以上の結果を歪超格子の理論<sup>20)</sup>を用いて考察する。ミスフィット転位が導入される臨界膜厚 ( $h_c$ ) は次式 ( 1 ) で与えられる。

$$h_c = b/2 \cdot f \cdot (1 - \cos^2 \theta) / (1 + \cos \theta) \cdot (\ln h_c / b + 1) \dots\dots\dots ( 1 )$$

ここに、

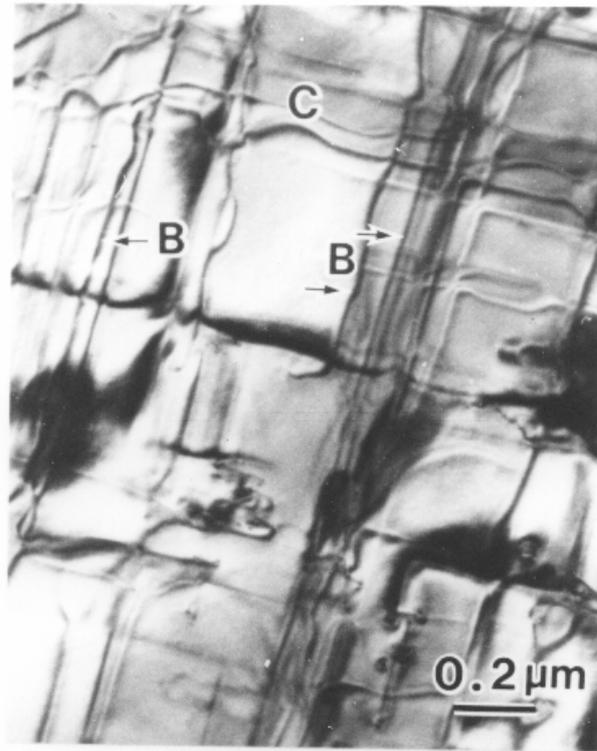
- b : バーガスベクトルの大きさ
- f : ミスフィット量
- : ポアソン比
- : バーガスベクトルと転位のなす角度
- : すべり方向とバーガスベクトルのなす角度

今、転位が純粋な刃状転位  $a/2 \cdot [110]$  である場合を考えると、 $\theta = 90^\circ$ 。  $\nu = 0.33$ 、GaAs の格子定数  $a = 5.6538$ 、InAs の格子定数  $a = 6.058$ 、ベガード則を適用すると  $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}$  の格子定数  $a = 5.6938$  となる。従ってミスフィット量  $f = 0.00715$  が求まる。これらを ( 1 ) 式に代入して  $h_c$  を求めると臨界膜厚 304 が求まる。

# 2 のマルチレア-の単層膜厚は 500 、 # 3 のそれは 200 なので、臨界膜厚はその中間に位置することになり、実験結果と一致する。

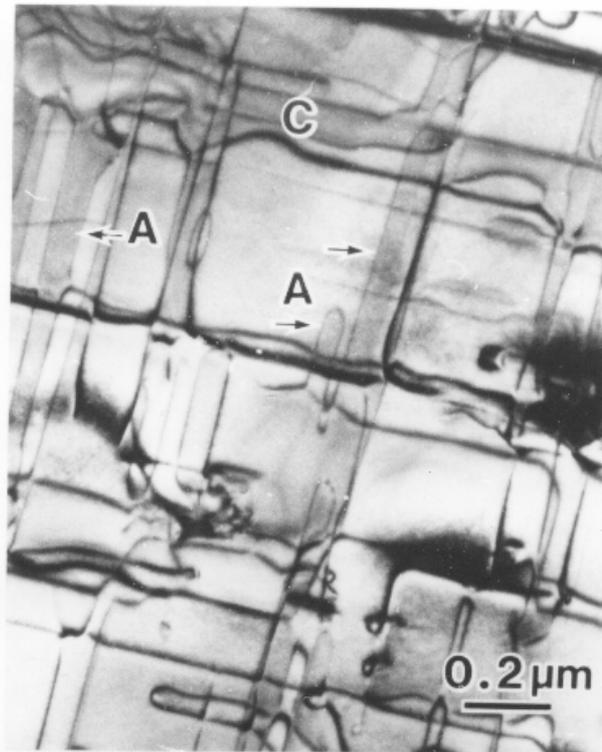
### ミスフィット転位

ミスフィット転位が形成され、それがエピタキシャル層内の転位に変貌するメカニズムに関する知見を得るため、試料 # 1 を用いて透過電顕によるさらに詳細な解析を行った<sup>21)</sup>。写真 2・3・7 ( 1 ) は透過ビームと 020 回折ビームで結象させた明視野象である。また写真 2・3・7 ( 2 ) は透過ビームと 220 回折ビームで結象させた明視野象である。写真 ( 1 ) 中 B で示された転位は写真 ( 2 ) 中では消えている。逆に写真 ( 2 ) 中に認められる転位 A は写真 ( 1 ) では認められない。回折波の逆格子ベクトルを  $\mathbf{g}$  とし、バーガスベクトルを  $\mathbf{b}$  とすると転位象の消滅則は  $\mathbf{g} \cdot \mathbf{b} = 0$  となる。これより転位 A は  $\mathbf{b} = \pm 1/2 \cdot a[101]$  または  $\mathbf{b} = \pm 1/2 \cdot a[0 \quad 0]$  であり、転位 B は  $\mathbf{b} = \pm 1/2 \cdot a[ \quad 0]$  と決定さ



(a)

(1)



(b)

(2)

写真 2・3・7 Si 基板上的 GaAs/InGaAs マルチレア-平面 TEM 象

れる。A および B 転位線の方向は[110]であり、従って転位 A の線方向とバーガースベクトルのなす角は  $60^\circ$ 、転位 B の線方向とバーガースベクトルのなす方向は  $90^\circ$  と求まることから、転位 A は  $60^\circ$  転位、転位 B は刃状転位であることが分かる。写真(1)(2)に共に認められる転位 C は  $\mathbf{b} = \pm 1/2 \cdot \mathbf{a}[110]$  となり、転位方向が[ ]となることから、刃状転位であることがわかる。写真 2・3・8 は(110)断面の明視野象である。ここに存在する転位は 3 種類に分類される。一つは写真中 A と示された転位は界面のミスフィット転位が部分的に膜厚方向に拡張し、その[001]方向となす角は約  $60^\circ$  である。二つ目 B はこれも界面に横たわるミスフィット転位であるが、部分的な界面からの離脱が近接した 2 本のミスフィット転位の会合点で発生している点が特徴である。三番目は界面の転位に係わらずマルチレアーを貫通して存在する転位 C である。この観察結果から図 3・2・2 および図 3・2・3 に示すメカニズムが働いていることが考察される。図 3・2・2 では、(100)界面上に横たわっている  $60^\circ$  ミスフィット転位が外部応力により(111)面上を交叉滑りを起こし、別の(100)面上に移っていく様子を示している。その結果写真 2・3・8 中 A に示す転位が存在することになる。図 3・2・3 では 2 本のミスフィット転位が界面上で出会い、お互いの内部応力場の影響を受け、転位が湾曲する。すると今まで純粋な刃状成分であったものに、らせん成分が発生することになる。つまり今まで界面上で不動転位であったものが自由に動ける状態が部分的に発生したことになる。図ではそれが(111)滑り面上を拡張している様子を示している。その結果が写真 2・3・8 中の B であると考えられる。

## 結論

歪超格子の理論で示される限界膜厚以下では界面のミスフィット転位は発生せず、弾性的に歪が蓄えられる。限界膜厚を超えると界面上にミスフィット転位が形成され歪は緩和される。そのミスフィット転位には  $60^\circ$  転位と刃状転位の 2 種類が存在する。 $60^\circ$  転位はらせん転位成分を含む交叉滑りを起こし、界面を離れることができるが、刃状転位は界面上で不動である。しかし、2 本の刃状転位が界面上で出会う時、互いの内部応力場で湾曲を起こし、らせん成分が発生し、その部位が交叉滑りを起こす。ヘテロエピタキシャル層内には以上 2 種類のミスフィット転位から派生した転位の他に、界面の存在とは係わりなく下地より受け継がれて行く貫通転位が存在する。

$60^\circ$  転位は普通拡張しており、積層欠陥を伴っている。逆に積層欠陥を発生するような汚染、欠陥などの不整を取り除けば  $60^\circ$  転位を低減できると考えられる。純粋な刃状転位として存在した方が歪の緩和に有効だからである。ミスフィットがある限り刃状転位の導入は不可避である。歪超格子で回避はできても、電子デバイスとしての活性層を得るためにはある程度の膜厚が必要である。しかしそのとき、導入された刃状転位を界面に閉じ込めておけば問題は無い。そうするためには平面上の異なる場所から発生した 2 本の刃状の出会いが起こらないようにすればよい。

そのための一方策として 1 次元的結晶成長を提案することができる。特にプラズマ CVD を用いる場合、プラズマソースをライン状にし、その下の基板を走査することによって 2 次元的成長を行う方法が有効であると考えられる。

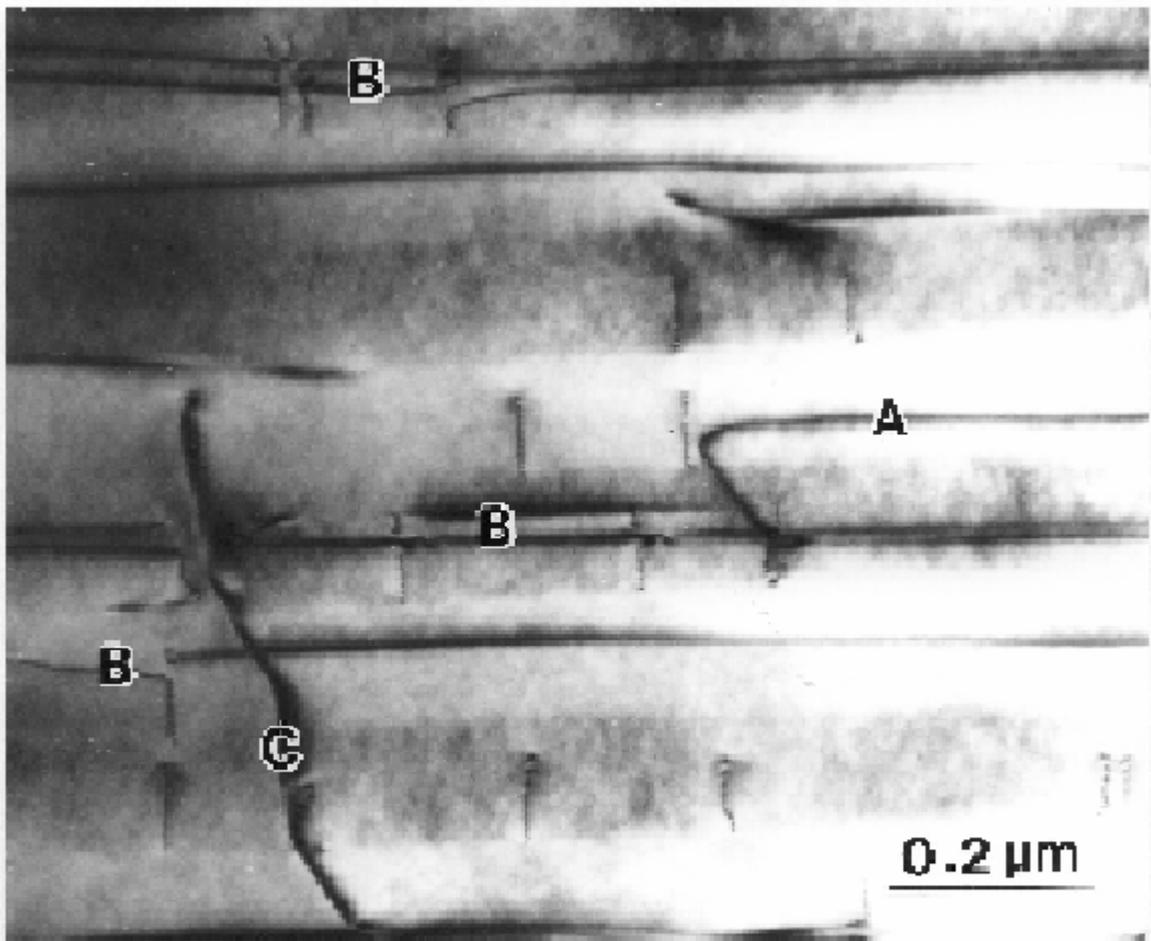


写真 2・8・8 GaAs/InGaAs マルチレイア中の界面転位

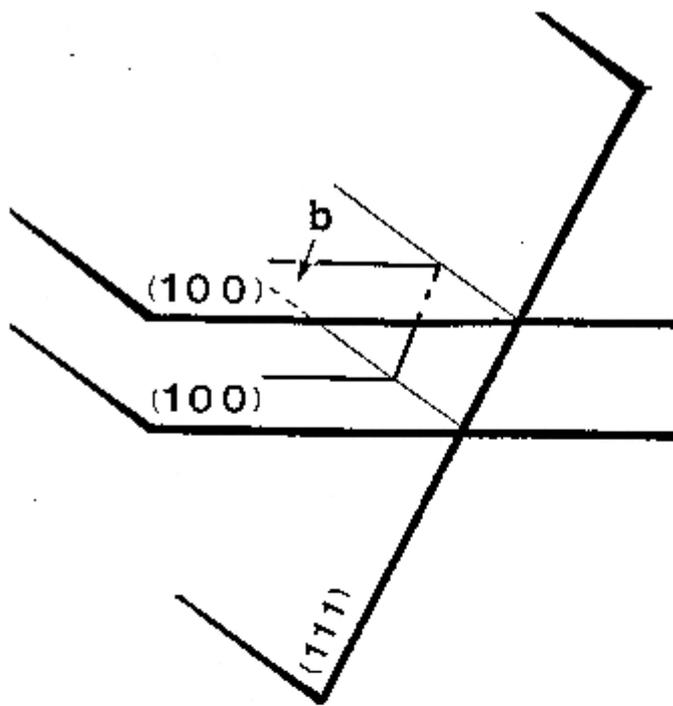


図 2・3・2 60° 転位の交叉すべり

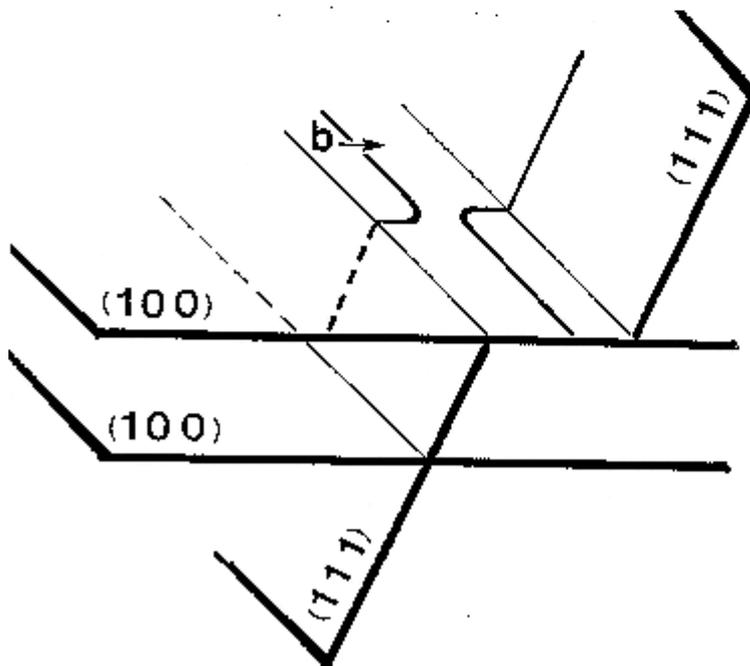


図 2・3・3 刃状転位会合部の交叉すべり

## 2.4 ノンエピタキシャル結晶成長

### 1) 低温固相反応による SiO<sub>2</sub> 上のアモルファス Si の結晶化

近年 SiO<sub>2</sub> 上の Si 薄膜の形成は多結晶 SiTFT の液晶表示装置 (LCD) や有機 EL 表示装置 (OLED) への適用によりますます重要な技術となってきている。それは単に結晶の品質を向上することのみではなく、大面積への対応と低温での形成が重要な要件となっているところが従来の LSI からの発想と異なるところである。大面積化は安価なガラスの使用を促し、そしてそれはプロセスの低温化を要求する。現在のところ 600 が現実的な上限とされている。所謂低温ポリシリコン TFT プロセスである。

低温ポリシリコン TFT プロセスについては 2.5 に詳述するが、プロセスの基礎となるのは Si 薄膜結晶の育成である。600 以下での Si 結晶育成の方法は大別して 3 つある。一つは前駆体となる Si 薄膜 (アモルファスまたは多結晶) を光ビームによって加熱し、結晶化もしくは再結晶化する方法である。これはエキシマレーザアニール (ELA) に代表される方法であり現在低温ポリシリコンプロセスの主流となっている。二つ目は CVD や蒸着により直接基板上にポリシリコン膜を形成する方法である。三つ目は CVD もしくは蒸着によりアモルファス Si 薄膜を形成しておき、その後低温熱処理により固相変態によりポリシリコンを得る方法である。

本項で示す研究結果は三番目の方法によるものである。本方式を用いて Si ウェーハ上の SiO<sub>2</sub> の一部にスルーホールを設け、下地の単結晶 Si と上部薄膜であるアモルファス Si を接続し、そこからのエピタキシャル成長によって大きな Si 結晶粒を得る方法が開発されている<sup>22), 23)</sup>。古典的核発生成長の理論に基づき固相成長に及ぼす応力場の影響を明らかにした。

### 実験方法

- ・ 基板：1) 熱酸化 SiO<sub>2</sub> (1000) / Si (100)  
2) PECVD・SiN (5000) / Si (100)
- ・ アモルファス Si：成膜方法：電子ビーム蒸着、真空度  $1 \times 10^{-9}$  Torr  
膜厚：5000
- ・ 結晶化分率の測定：X 線 Si (111) 回折ピーク強度の相対値 (飽和ピーク強度を 100% とした)
- ・ 形状観察：走査型電子顕微鏡
- ・ 結晶化熱処理：N<sub>2</sub> 雰囲気電気炉、等時熱処理および等温熱処理

### 実験結果

温度範囲が 600 から 1000 における 2 時間の等時アニールの結果を図 2.4.1 に示す。600 以上で結晶化は進み、高温になるほど成長速度ははやくな

る。温度依存性は2段階に分かれ、850以下では比較的ゆるやかに結晶化は進行し、それ以上では急激に進行する。これはSiO<sub>2</sub>上でもSiN上でも同じように起こる。アレニウスプロット(図2・4・2)から求めた活性化エネルギーはSiO<sub>2</sub>上で1.9eV、SiN上で1.5eVと求まる。写真2・4・1は各温度におけるポリシリコン表面モフォロジーのSEM観察結果である。SiN膜上で膜が連続的にならず、アイランド化しているのが特徴的である。写真2・4・2には結晶化後の断面観察結果を示した。

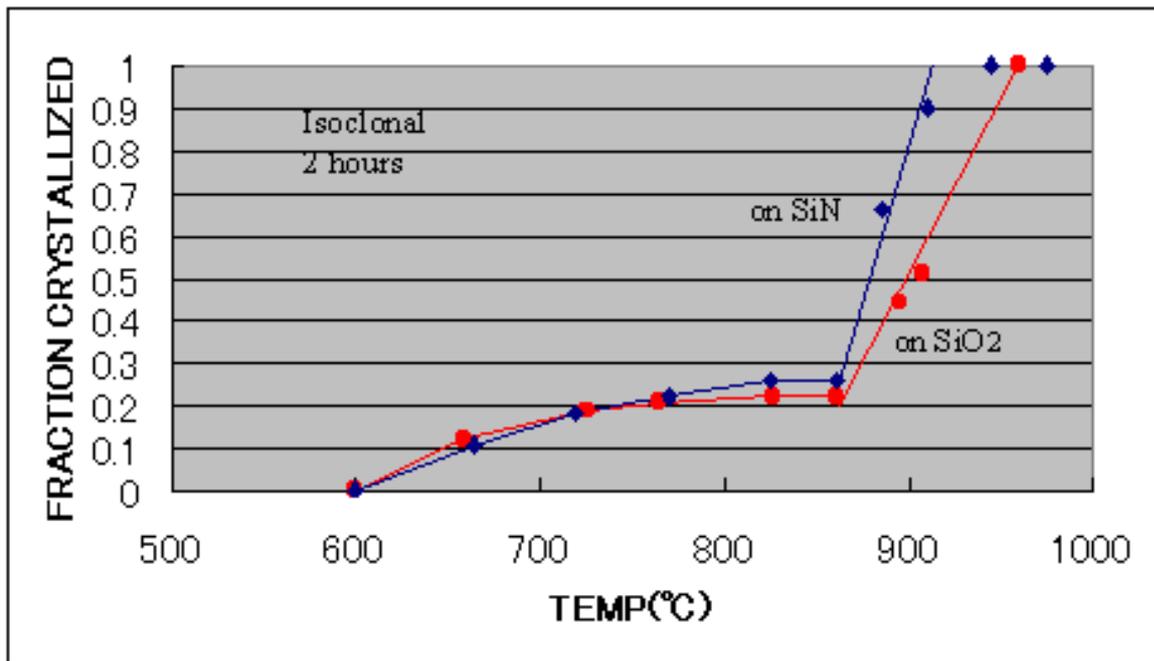


図2・4・1 等時アニルによる a-Si の結晶化

図2・4・3に等時アニルの結果を示す。結晶化分率を  $X_t$  とし  $\ln 1/(1-X_t)$  を縦軸に、時間  $t$  を横軸にプロットしたものである。これは Johnson-Mehl-Avrami の式(1)に基づいている<sup>24), 25)</sup>。

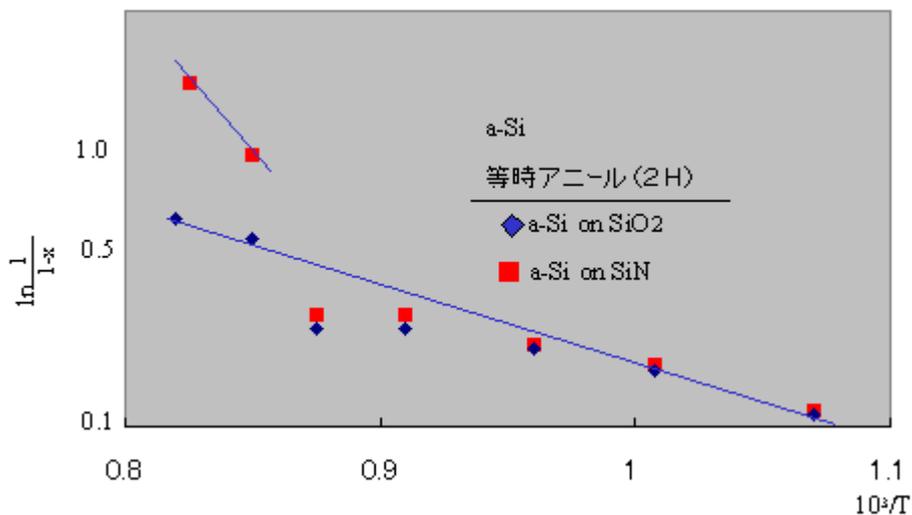


図2・4・2 結晶化のアレニウスプロット

$$X_t = 1 - \exp(-t/\tau)^m \quad \dots\dots\dots (1)$$

ここで  $\tau$  は緩和時間で (2) 式で与えられる。m は時間指数と呼ばれる。

$$1/\tau = C \cdot \exp(-Q/RT) \quad \dots\dots\dots (2)$$

ここで Q は反応の活性化エネルギー、R はガス定数、T は温度、C は定数である。

(2) 式を (1) に代入し、時間指数を求めるように変形すると (3) 式を得る。

$$(1/m) \cdot \ln \ln 1/(1-X_t) = \ln t - Q/RT + C \quad \dots\dots\dots (3)$$

以上の表現により時間指数をもとめると SiO<sub>2</sub> 上で m=0.37, SiN 上で m=1.2 となった。

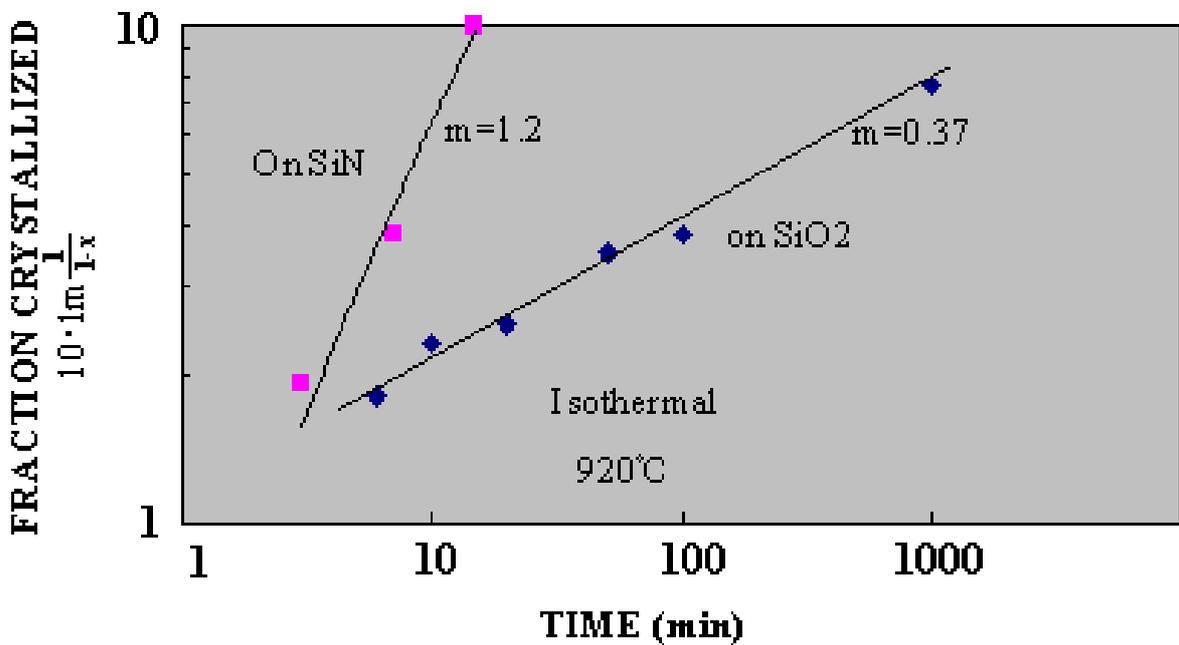


図 2・4・3 等温アニルによる a-Si の結晶化

## 考察

求めた活性化エネルギーの値は Si の自己拡散エネルギーのそれに近く、従ってここでは結晶内の自己拡散機構によって結晶化が進行するとして、時間指数 m に着目してそのメカニズムを考察する。

今、等方三次元的に拡散により結晶化が進むとすると、拡散係数を  $D$ 、結晶粒径を  $r$ 、経過時間を  $t$ 、幾何学的係数を  $g$  として結晶化分率は (4) 式のように表せる。

$$X_t = g \cdot n \cdot r^3(t) \quad \dots\dots\dots (4)$$

ここで、

$$r(t) = C(D \cdot t)^{1/2} \quad \dots\dots\dots (5)$$

である。

結晶化速度が残留アモルファス Si の量に比例すると考えられるから、それは (6) 式のように表される。

$$dX_t/dt = 3/2 \cdot g \cdot n \cdot (C \cdot D^{1/2})^3 \cdot t^{1/2} \cdot (1 - X_t) \quad \dots\dots\dots (6)$$

(6) 式を積分して (7) 式が得られる。

$$X_t = 1 - \exp(-A \cdot t^{3/2}) \quad \dots\dots\dots (7)$$

ここで  $A$  は (8) 式で与えられる。

$$A = 3/2 \cdot g \cdot n (C \cdot D^{1/2})^3 \quad \dots\dots\dots (8)$$

ここに (1) 式における時間係数  $m$  は 1.5 と求まる。これは SiN 上の結晶成長結果に近い値であり、従ってアモルファス Si 薄膜の固相結晶化は SiN 膜上で等方的に進行すると考えられる。

次に 1 次元の質量移動が生じている場合を考察する。

$x$  軸方向のポテンシャル場を  $V(x)$  とすると、 $D$  を定数として (9) 式で表される。

$$V(x) = - \frac{D}{x} \quad \dots\dots\dots (9)$$

また、結晶の体積は (10) 式で表される。

$$X_t = g \cdot n \cdot r(t) \quad \dots\dots\dots (10)$$

質量の流速を  $J$  とし、成長している結晶粒の断面積を  $S$  とすると結晶成長速度は (11) 式で与えられる。

$$dr(t)/dt = S \cdot J \quad \dots\dots\dots (11)$$

$J$  はポテンシャル場の勾配から次式 (12) で与えられる。

$$J = B \cdot c \cdot \frac{dV(x)}{dx} \quad \dots\dots\dots (12)$$

ここに  $c$  は結晶成長に関わる粒子の濃度であり、 $B$  はその移動度である。移動度  $B$  は次式 (13) で与えられる。

$$B = D/kT \quad \dots\dots\dots (13)$$

ここに  $k$  はボルツマン因子である。

(12) および (13) 式を (11) に代入し、次式 (14) を得る。

$$dr(t) = S \cdot D/k \cdot T \cdot c \cdot \sqrt{x} \cdot dt \quad \dots\dots\dots (14)$$

結晶成長方向を  $x$  軸にとると、 $x=r$  だから (14) 式を積分して (15) 式を得る。

$$r = (3 \cdot S \cdot c \cdot D \cdot \sqrt{x} / k \cdot T \cdot t)^{1/3} \quad \dots\dots\dots (15)$$

ここで結晶成長速度が残留アモルファス  $Si$  量に比例するとするとそれは次式 (16) で表される。

$$Xt = 1 - \exp(-K \cdot t^{1/3}) \quad \dots\dots\dots (16)$$

ここに、 $K = g \cdot n (3 \cdot S \cdot c \cdot D \cdot \sqrt{x} / k \cdot T)^{1/3}$  である。

従ってこの場合の時定数  $m$  は 0.33 となる。実験結果と比較するとこれは  $SiO_2$  上の結晶成長に対応することが分かる。

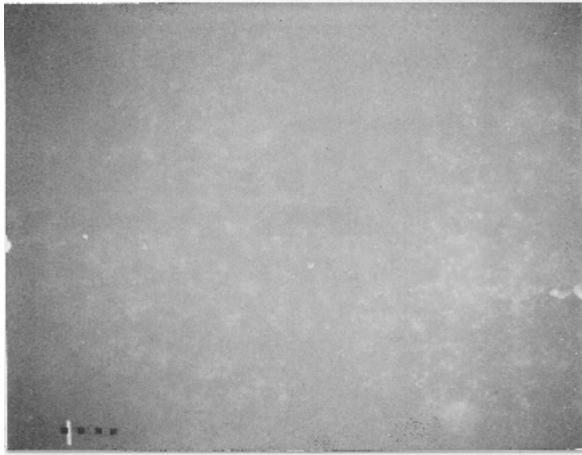
断面観察結果 (写真 2・4・2) を見ると、 $SiN$  上では等方的な結晶粒成長が窺がえるのに対し、 $SiO_2$  上では膜中央部に空隙が見られる。これは原子空孔および原子の 1 次元的な移動による結果であると推察される。

## 結論

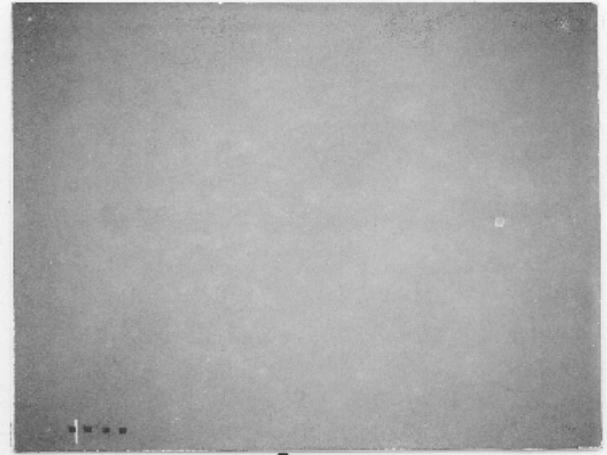
$Si$  ウエーハ上に形成された絶縁膜上のアモルファス  $Si$  の固相反応による結晶化は、絶縁膜の種類によりその振る舞いは大きく影響される。下地となる  $SiO_2$  と  $SiN$  膜の比較においては、 $SiN$  上では等方 3 次元的に比較的速い成長が進むのに対し、 $SiO_2$  上では 1 次元的な成長が見られ、その速度は比較的遅い。線熱膨張係数を比較してみると、 $SiO_2$  が  $5 \times 10^{-7}$ 、 $Si_3N_4$  が  $3 \times 10^{-6}$ 、そして  $Si$  が  $2.6 \times 10^{-6}$  であり、 $Si_3N_4$  と  $Si$  の線熱膨張係数は極めて近い。一方  $SiO_2$  と  $Si$  の差は一桁以上である。このことを併せて考慮すると、 $SiN$  上の  $Si$  膜は内部応力のない状態で 3 次元的な自由な結晶成長をすることができ、他方  $SiO_2$  上の  $Si$  は強い引っ張り 1 軸応力下での制限された結晶成長が起こっていると結論される。

a-Si on SiO<sub>2</sub>

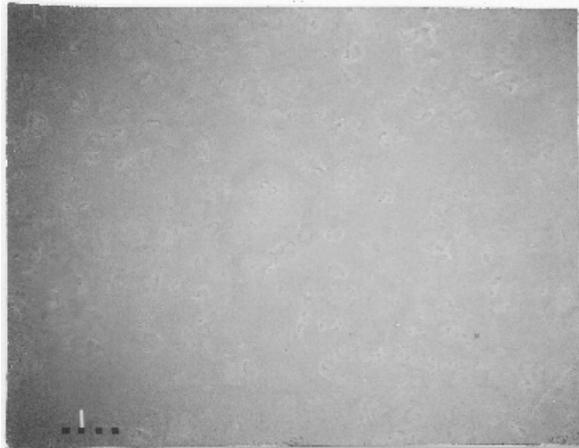
a-Si on SiN



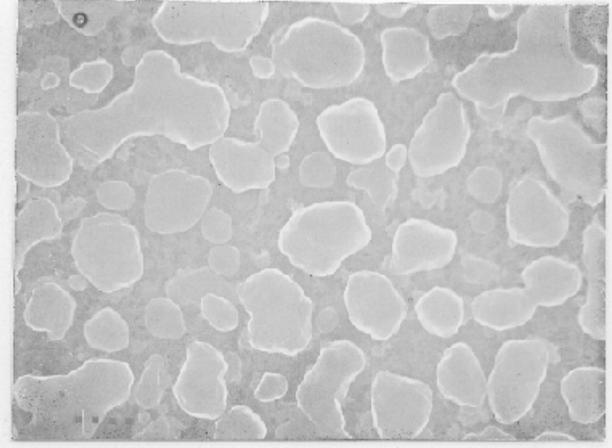
830 °C · 2h



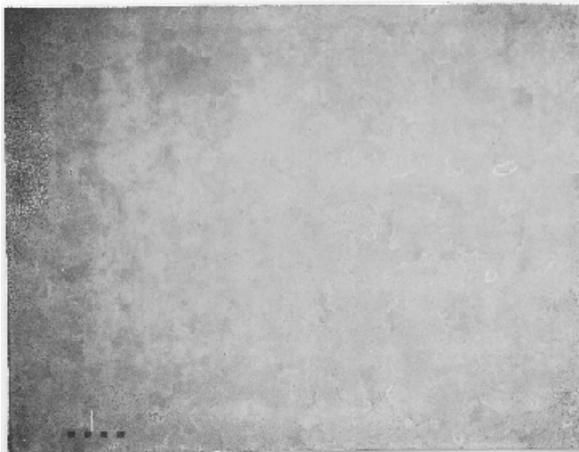
830 °C · 2h



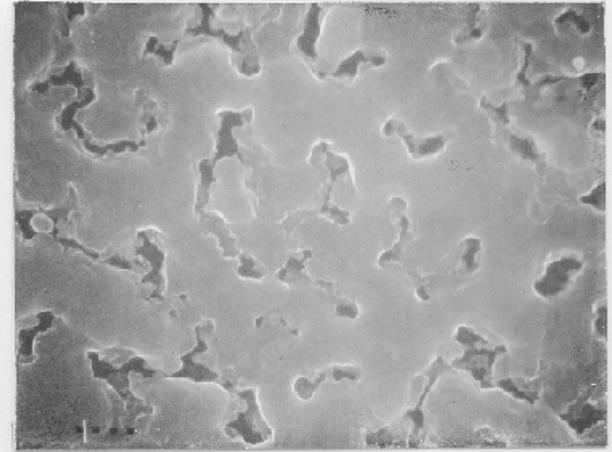
890 °C · 2h



890 °C · 2h



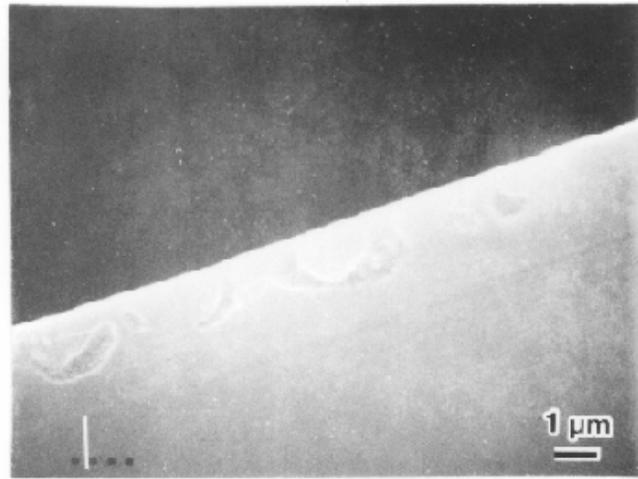
960 °C · 2h



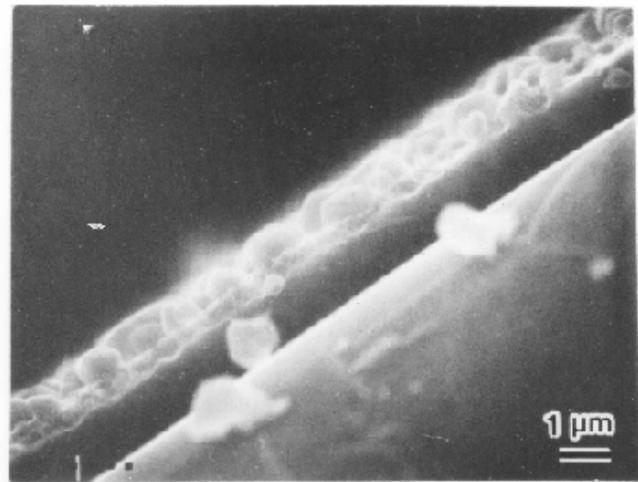
960 °C · 2h

1 μm

31



a



b

写真 2・4・2  $\text{SiO}_2$  および  $\text{SiN}$  上の固相成長後のポリシリコン層断面

## 2) Si 薄膜上の SiO<sub>2</sub> 薄膜の形成

前節で SiO<sub>2</sub> 上の Si 結晶の成長について議論した。本節では逆に Si 結晶上への SiO<sub>2</sub> 膜形成について議論する。それは MOS(Metal Oxide Semiconductor)型トランジスタのゲート Oxide 層の形成に対応する。

近年大型ガラス基板を用いたアクティブ型液晶ディスプレイの開発・生産が盛んになっている。そこにはアモルファス Si 薄膜を用いた薄膜トランジスタ(TFT)が用いられている。安価な大型ガラス(高歪点)を用いるために TFT 製造プロセスは 600 °C 以下の低温で行わなければならない。従ってゲート絶縁膜の形成プロセスも低温でなければならない。さらに最近ではアモルファス Si に代わって多結晶 Si(ポリシリコン)が用いられるようになってきた<sup>27), 28)</sup>。結晶内では電子およびホールの移動度が高くアモルファスの千倍にも達するため、高速なトランジスタ動作が期待でき、より高機能ディスプレイ装置の実現が可能となるからである。ここでもゲート絶縁膜は 600 °C 以下で、ポリシリコン膜の上に形成しなければならない。ここでとりあげる主題はこのポリシリコン薄膜上の TFT ゲート用低温 SiO<sub>2</sub> 薄膜の形成である。

主な 600 °C 以下の低温ゲート SiO<sub>2</sub> 成膜方法を図 2・4・4 に示す。現在実用に供せ

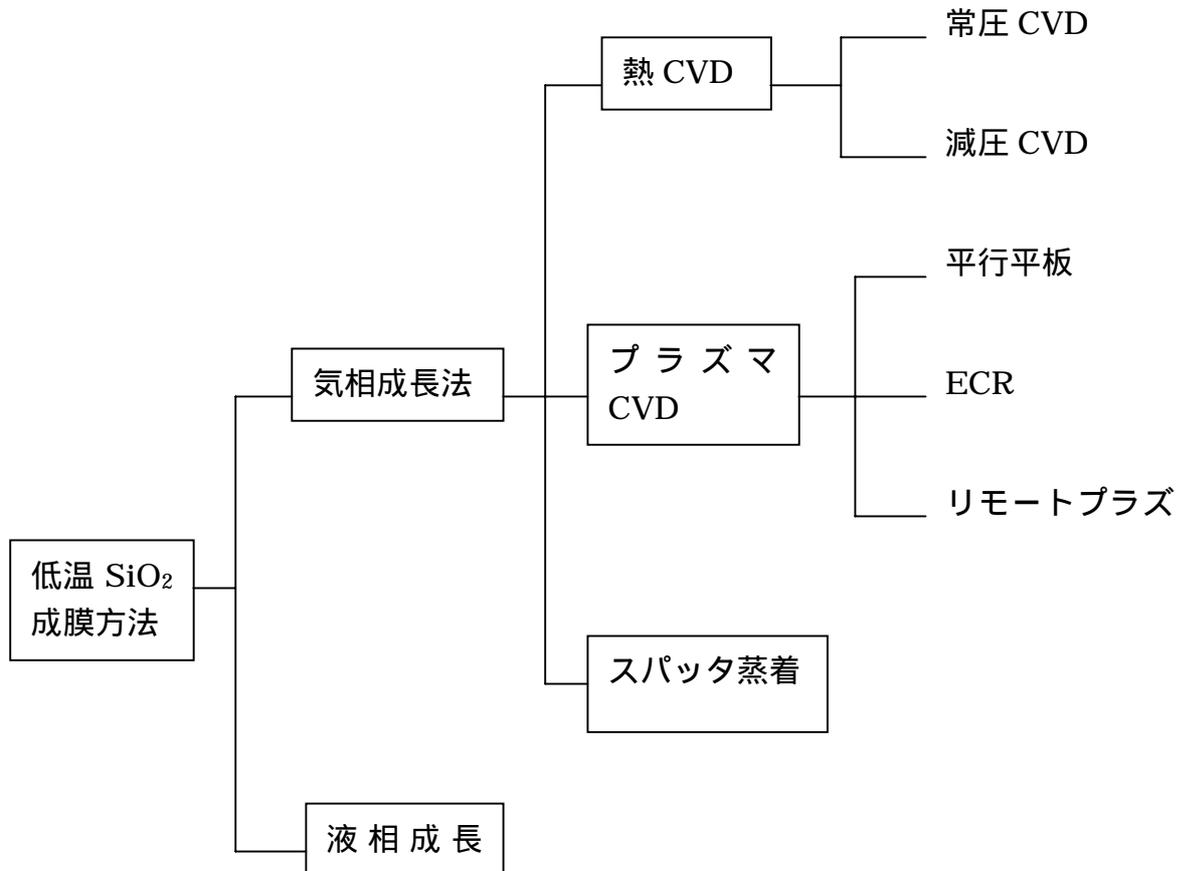


図 2・4・4 600 °C 以下の低温でのゲート用 SiO<sub>2</sub> 成膜方法

られているのは主として平行平板式プラズマ発生装置を用い、原料ガスとして  $\text{SiH}_4$  と  $\text{O}_2$  あるいは TEOS (Tetra-ethyl-orth-silicate) を用いる方法である<sup>29)30)31)</sup>。その他スパッタ蒸着法<sup>32)</sup>や液相 ( $\text{H}_2\text{SiF}_6\text{-H}_3\text{BO}_3\text{-H}_2\text{O}$ ) を用いる方法が試みられている<sup>33)34)</sup>。しかしながら TFT 特性の観点からは、このゲート絶縁膜形成過程における課題は数多く残されている。第一に界面準位の低減である。Si 結晶と  $\text{SiO}_2$  アモルファスと原子座標の不整合、Si 表面の格子欠陥、Si 表面の汚染などが電子やホールをトラップし、静電場を形成して TFT の閾値電圧を変動させたり散乱中心として働き、移動度を下げる結果となる。そのために界面準位の低減は TFT 工程において最も重要な事項の一つである。第二に  $\text{SiO}_2$  のバルク特性である。バルク中の固定電荷は TFT の閾値を変動させる。特に界面近傍に形成されるとその影響は大きい。また TFT からのホットキャリアの注入により固定電荷が容易に生じるような特性であっても都合が悪い。すなわち強固なバルク特性が要求される。第三に大面積にわたって、以上のような内的特性に加え、膜厚や表面凹凸のような外的特性の均一であることが必要である。LSI における MOS プロセスではこれらのことが高温 (1000 以上) での Si の熱酸化法で克服されおり、今日の IC 産業の隆盛をもたらした一因となっている。この熱酸化法に匹敵するような低温  $\text{SiO}_2$  成膜法の開発が望まれる。

本節ではよりゲート絶縁膜用 TEOS -  $\text{SiO}_2$  膜およびリモートプラズマ  $\text{SiO}_2$  形成法が上記観点において優れた膜および方法であることを明らかにした。

#### TEOS - $\text{SiO}_2$

従来 TEOS は LSI などの層間絶縁膜の形成に多く利用されてきた。それはその成膜機構が表面反応に支配されているため、段差被覆性が  $\text{SiH}_4$  を用いる場合に比べ格段によいためである。反面、膜中に多くの OH 基を含むため機能膜としては問題になることもある。

ゲート絶縁膜に TEOS を用いる場合、膜質を良くするためには、プラズマ CVD 法を用い、成膜条件の最適化が重要となる。すはわち、基板上に堆積した TEOS の中間生成物からの OH 基の離脱反応が促進されるように成膜パラメーターの設定が必要となる。

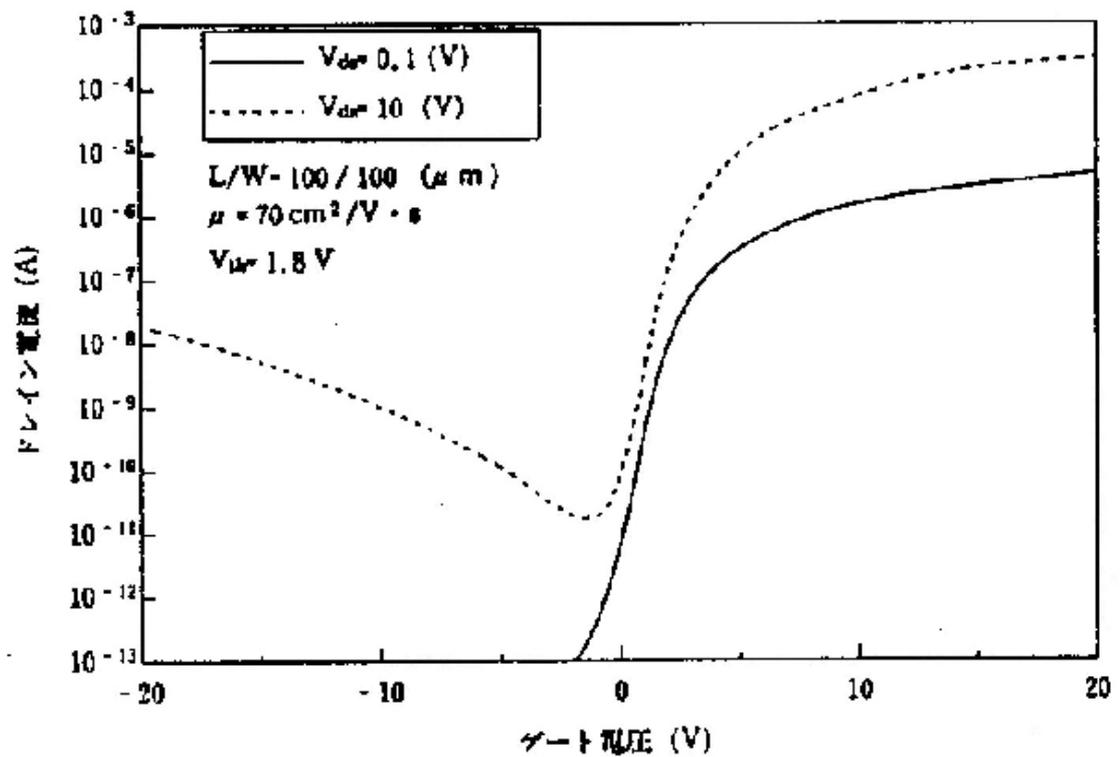
成膜条件を最適化し、表 2・4・1 に示す条件で実際に TEOS を低温に成膜した  $\text{SiO}_2$  膜で MOS キャパシターを作製した結果は、絶縁耐圧 8 MV/cm 以上、界面準位準位密度  $5 \times 10^{10} \text{cm}^2 \text{eV}^{-1}$  で熱酸化膜に匹敵する特性が得られた。そして poly-SiTFT のゲート絶縁膜に用いた結果、図 2・4・5 の Id-Vg 特性に示すような良好な結果が得られた。

サブスレッシュヨールドスロープ係数 (S 係数) 0.6V/dec、閾値電圧 1.8V、最大電界効果移動度  $70 \text{cm}^2/\text{V} \cdot \text{s}$ 、ドレン電流のオン・オフ比  $10^7$  以上は固相成長アニルによる poly-Si 膜を用いた TFT としては非常に良好な特性が得られている。このように成膜条件を最適化したプラズマ CVD 法による TEOS シリコン酸化膜はゲート絶縁膜にしようできる特性を有することが確認された。

以上のように、プラズマ TEOS シリコン酸化膜が低温 poly-SiTFT のゲート絶縁膜として有望であることが確認されたが、実用化に際しては大面積化における均一性の確保や信頼性の向上などの検討が必要である。

パラメーター	単位	数値
TEOS 流量	sccm	6
酸素流量	sccm	100
成膜圧力	Pa	131
成膜温度		315
RF パワー	W	250

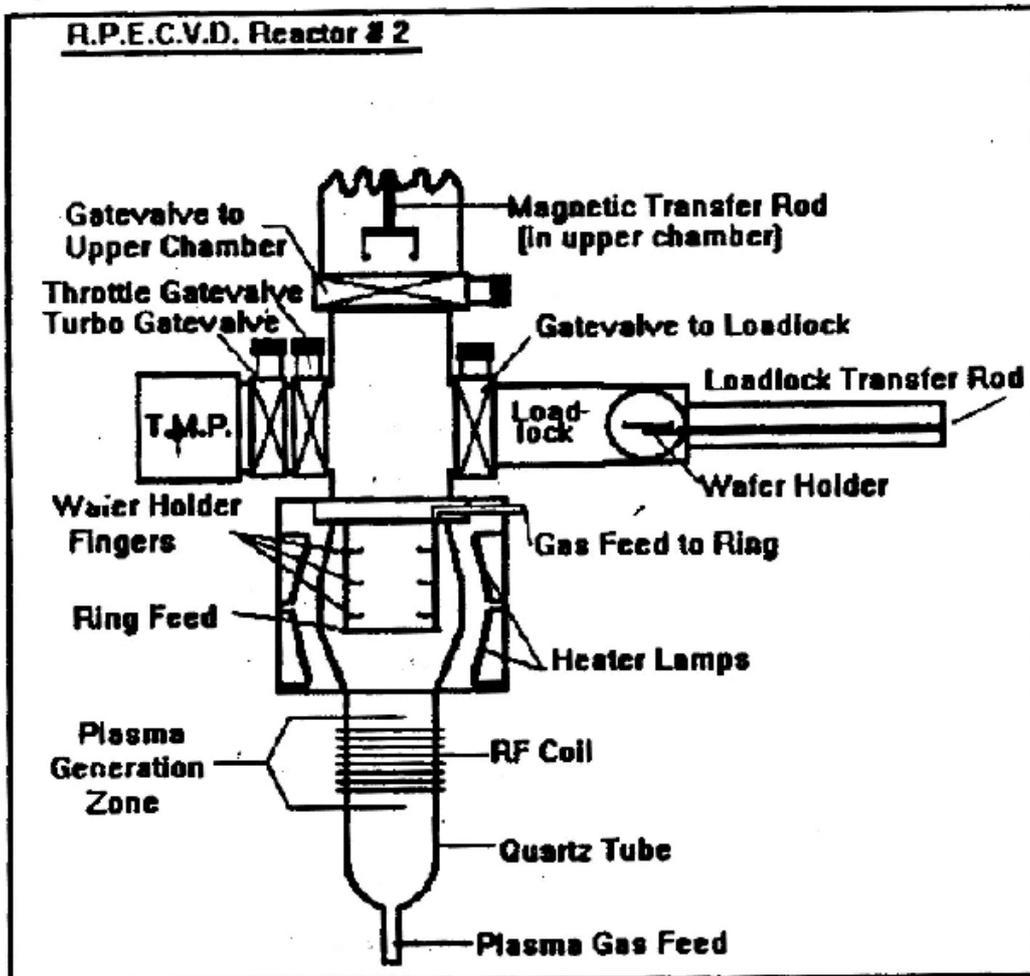
図 2・4・1 ゲート絶縁膜用 TEOS-CVD 条件



## リモートプラズマ CVD-SiO<sub>2</sub>

Si 表面にプラズマからのダメージを与えることなく SiO<sub>2</sub> 膜や SiN 膜を堆積し、良質な MIS(Metal Insulator Semiconductor)ゲート構造をつくる試みは、数多く行われてきており<sup>35)36)37)</sup>、成果をあげている。低温ポリシリコン TFT の分野でも、平行平板式リモートプラズマ発生装置を用い、優れた TFT 特性が報告されている<sup>38)</sup>。筆者らは低温ポリシリコン TFT プロセスへの適用を最終ターゲットにし、酸化膜、窒化膜、酸化膜 (ONO) 構造を含む、詳細なリモートプラズマ絶縁膜形成プロセスの研究を行った。

図 2・4・6 に実験に供した反応装置を示す。成膜室は石英で出来ており、試料(Si 基板)はフェイスダウンに設置され、外部からランプにより加熱される。試料温度は 5.3 μm 波長のオプティカルパイロメータ (IRCON 社製) を用いて測定された。



プラズマ励起用として、周波数 13.56MHz、および 100MHz、最大出力 1.2Kw の高周波電源を用い、プラズマ領域を収縮させたいときはコイル端を 180° 位相をずらすことでコイル中央を仮想グランドとしプラズマの拡がりをおさえることができた。酸化膜用プラズマ励起には Ar/O<sub>2</sub> 混合ガスを使用した。窒化膜用には He/NH<sub>3</sub> 混合ガスを用いた。反応ガスは He 希釈の SiH<sub>4</sub> ガスを用い、基板直下のリングから供給された。

1) ONO

p on p+ の Si エピウエハを基板として用い、表 2・4・2 に示す種類のゲート絶縁膜を作製し、後同じプロセスにより Al ゲートの MOS トランジスタを作製した。その基本特性結果を表 2・4・3 に示す。

sample	Interfacial oxide	Reoxidation	nitride	cap oxide
A	75 watts, 100mTorr, 300 , 700	-	-	-
B	75 watts, 100mTorr, 300 , 100	300 watts, 100mTorr, 10min, 300	-	75 watts, 100mTorr, 300 , 600
C	100 watts, 500mTorr, 300 , 100	-	-	75watts, 100mTorr, 300 , 700
D	100 watts, 500mTorr, 300 , 100	-	300 watts, 100mTorr, 400 , 100	75 watts, 100mTorr, 300 , 500

表 2・4・2 ONO ゲート絶縁膜試料

sample	insulator	max current factor*	peak mobility (cm <sup>2</sup> /Vsec)	standard mobility (cm <sup>2</sup> /Vsec)	Vth (V)	S (V/dec)
A	Baseline	1.04	663	260	0.00	0.19
B	Baseline with Reox	0.97	746	230	-0.98	0.20
C	500 mTorr ox interface	1.36	775	350	-0.53	0.27
D	ONO with 500 mTorr ox interface	1.20	837	280	-0.22	0.12

\*max current factor=(max current) × (gate length)/Cox :gate width is constant

表 2・4・3 ONO ゲート MOSFET 特性

デバイス特性は界面形成条件に強く依存していることがわかる。すなわち 75W 100mTorr で界面 SiO<sub>2</sub> が作製された場合、100W、500mTorr の場合より概して特性が良くない。それはプラズマ領域の拡がりに関連付けて考察することができる。すなわち前者の場合は後者の場合に比べてプラズマ領域がより拡がり、Si 表面のイオンダメージが相対的に大きいと考えられる。イオンダメージが原子オーダのモフォロジー的な界面凹凸を生じせしめているとしたらそれはキャリア移動度の低下を来たす。しかしながら試料 C で S 係数値は高く、界面準位密度はサンプル間でもっとも高いと考えられる。しかし同じ界面形成条件で作製した試料 D (ONO) では界面準位が最も小さいことを考えると、内部応力による界面準位の形成を考慮することが妥当と考えられる。測定結果によると SiO<sub>2</sub> では圧縮応力が働き、SiN では引張り応力が働く。イオン照射下で形成された膜は一般的にダメージは大きい反面、密度が高く硬い膜になりやすい。本実験で用いられたキャップ SiO<sub>2</sub> は全てこの硬い膜となっており、界面に大きなストレスを及ぼしていると考えられる。ところが C、D では界面にやわらかい SiO<sub>2</sub> が形成されており、このストレスに抗しきれず Si との結合手を切ってこれを緩和することになる。それが C で界面準位密度が高い理由になっていると考えられる。ところが D ではそれら 2 種類の SiO<sub>2</sub> の間に SiN 膜が挿入されており、応力が緩和されることになる。その結果、界面にダングリングボンドは形成されず、しかもイオンダメージもなく、試料間で最も高移動度で、界面準位密度も低い FET が形成される結果となったと考えられる。

次にガラス (コーニング #1733、厚さ 1.1mm) 上の、a-Si の固相成長により得られたポリシリコン薄膜に適用し、TFT の評価を行ったが、イオンダメージの回避および ONO 構造によるストレスの緩和の効果は確認できなかった。特に ONO ではトランスコンダクタンス特性にヒステリシスが見られた。このことから、ポリシリコン表面は単結晶表面と比べ非常にセンシティブで同じ CVD 条件ではリモートプラズマ効果は得られないことが分かった。

#### 4) Ar/O<sub>2</sub> と He/O<sub>2</sub> の比較

ポリシリコンを用いた場合 Ar/O<sub>2</sub> プラズマでは効果が認められなかった。そこで He/O<sub>2</sub> を用い、Ar/O<sub>2</sub> の場合と比較検討を行った。表 2・4・4 はその結果である。

Smple	Plasma	Slope(V/dec) (norm 100nm)	Mobility (cm <sup>2</sup> /Vsec)	V threshold (V) (norm 100nm)
E	He/O <sub>2</sub> Not Confined	1.41	50	-1.86
F	He/O <sub>2</sub> Confined	1.09	72	1.74
G	Ar/O <sub>2</sub> Confined	1.24	64	3.35
H	Ar/O <sub>2</sub> Confined	1.51	67	-1.46

表 2・4・4 Ar/O<sub>2</sub> と He/O<sub>2</sub> の TFT 特性による比較

この結果よりポリシリコンを用いた場合でもプラズマ励起ガスに He を用いることによりイオンダメージを回避しリモートプラズマの効果を期待できることが明らかになった。

### 5) プラズマ励起周波数の影響

100MHz の高周波でプラズマを励起してゲート SiO<sub>2</sub> を形成しその効果を固相成長ポリシリコン(SPC)およびレーザーアニールポリシリコンの双方を用いて TFT 特性により評価した。この TFT 特性として特に電氣的ストレス試験を用いた。ストレス条件は次の通りである。

TFT サイズ : L/W = 50/1000 μm

オフストレス条件 ;

ストレス付加時間 : 30 分

n-ch TFT : V<sub>ds</sub>=17V, V<sub>gs</sub>=-17V

p-ch TFT : V<sub>ds</sub>=-17V, V<sub>gs</sub>=17V

オンストレス条件 ;

ストレス付加時間 : 30 分

n-ch TFT : I<sub>d</sub>=1mA, V<sub>gs</sub>=17V

p-ch TFT : I<sub>d</sub>=1mA, V<sub>gs</sub>=-17V

結果を表 2・4・5 から表 2・4・12 に示す。

Sample	Mobility (cm <sup>2</sup> /Vsec)	V <sub>th</sub> (V)	S(V/Dec)
Before Stress	62	2.51	0.62
After Stress	62	2.61	0.66
Change	0	0.10	0.04

表 2・4・5 固相成長ポリシリコン n-chTFT の OFF ストレストテスト結果

Sample	Mobility (cm <sup>2</sup> /Vsec)	V <sub>th</sub> (V)	S(V/Dec)
Before Stress	62	3.67	0.74
After 1mA On Stress	62	3.78	0.74
Change	0	0.11	0
After 2mA On Stress	63	3.73	0.73
Change	1	0.06	0.01

表 2・4・6 固相成長ポリシリコン n-chTFT の ON ストレストテスト結果

Sample	Mobility (cm <sup>2</sup> /Vsec)	Vth(V)	S(V/Dec)
Before Stress	38	-13.24	0.93
After Stress	37	-13.6	0.89
Change	1	-0.36	-0.04

表 2・4・7 固相成長ポリシリコン p-chTFT の OFF ストレストテスト結果

Sample	Mobility (cm <sup>2</sup> /Vsec)	Vth(V)	S(V/Dec)
Before Stress	38	-13.24	0.93
After 1mA On Stress	37.5	-13.83	1.13
Change	0.5	0.59	0.2

表 2・4・8 固相成長ポリシリコン p-chTFT の ON ストレストテスト結果

Sample	Mobility (cm <sup>2</sup> /Vsec)	Vth(V)	S(V/Dec)
Before Stress	104	0.15	0.33
After Stress	103	0.14	0.33
Change	-1	-0.04	0

表 2・4・9 レーザアニルポリシリコン n-chTFT の OFF ストレストテスト結果

Sample	Mobility (cm <sup>2</sup> /Vsec)	Vth(V)	S(V/Dec)
Before Stress	104	0.15	0.33
After 1mA On Stress	103	0.14	0.33
Change	-1	-0.01	0
After 2mA On Stress	103	0.16	0.34
Change	-1	0.01	0.01
After 3mA On Stress	103	0.16	0.34
Change	-1	0.01	0.01

表 2・4・10 レーザアニルポリシリコン n-chTFT の ON ストレストテスト結果

Sample	Mobility (cm <sup>2</sup> /Vsec)	Vth(V)	S(V/Dec)
Before Stress	47	-5.6	0.35
After Stress	48	-5.4	0.34
Change	1	0.2	0.01

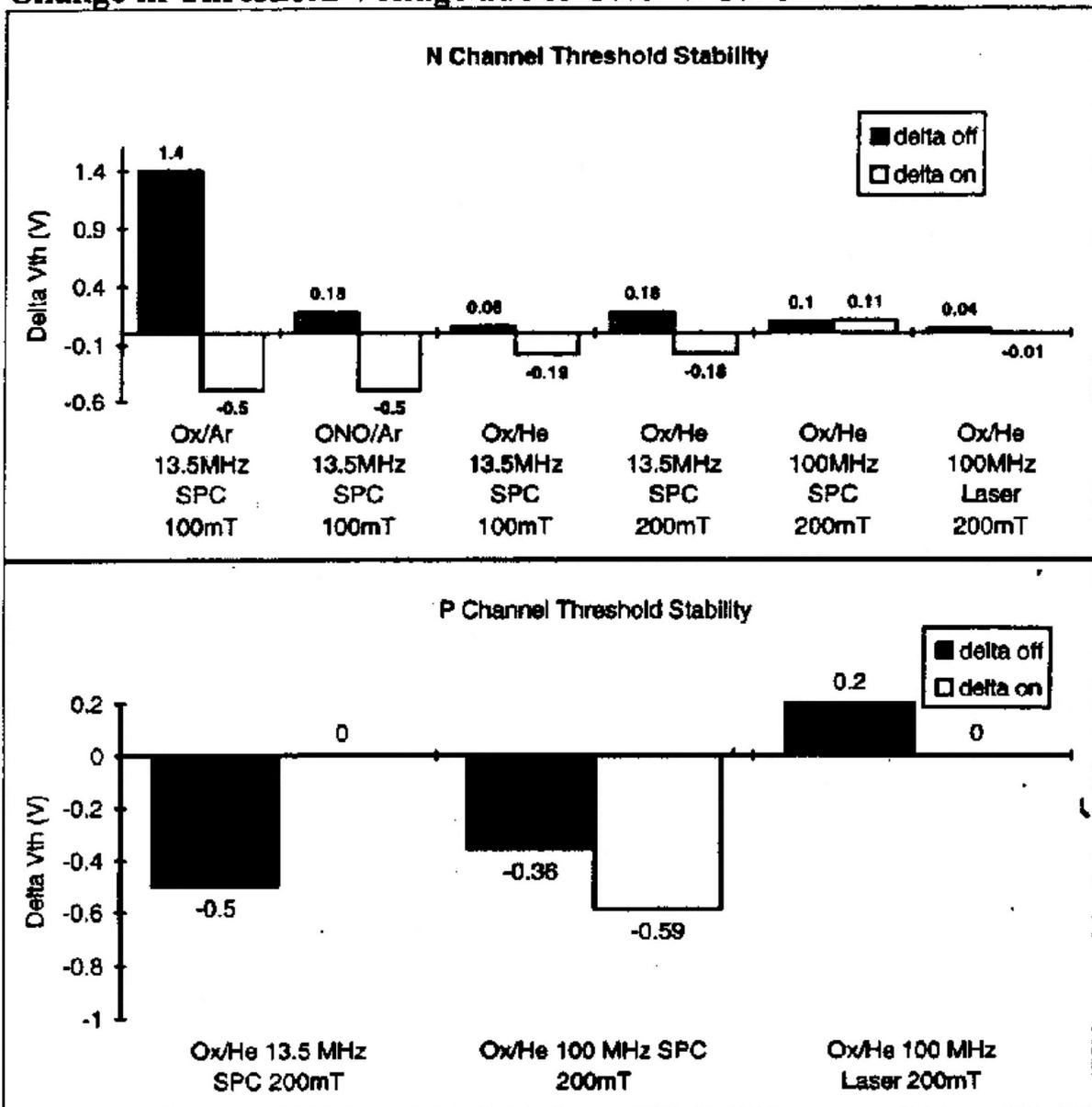
表 2・4・11 レーザアニルポリシリコン p-chTFT の OFF ストレストテスト結果

Sample	Mobility (cm <sup>2</sup> /Vsec)	Vth(V)	S(V/Dec)
Before Stress	43	-5.3	0.32
After 1mA On Stress	48	-5.3	0.55
Change	5	0	0.23

表 2・4・12 レーザアニルポリシリコン p-chTFT の ON ストレストテスト結果

VHF(100MHz)励起の特徴はストレス試験に対して安定である点である。これを明確にするために 13.56MHz 励起を含む各種条件下での ON/OFF ストレス試験結果(Vth の変化)をまとめて図 2・4・7 に示す。

### Change in Threshold Voltage due to On and Off Stress



この結果からアルゴン/酸素系よりもヘリウム/酸素系が、そして 13.56MHz 励起よりも 100MHz 励起の方が TFT 特性は電気的ストレスに対して安定であることが明らかになった。またトランスコンダクタンス特性におけるヒステリシスも上記安定化に伴って消滅することも明らかになった。

## 2.5 薄膜を用いた電子デバイスの作製

薄膜を用いた電子デバイスとして今最も注目されているのが 600 以下の低温プロセスによるポリシリコン TFT である。それは現在隆盛を極めている液晶ディスプレイ用アモルファスシリコン (a-Si) TFT を凌駕しさらに新しいディスプレイや回路への適用が期待されるからである。本研究の最終目標が起業である限り基礎研究応用分野は産業界の動向に注意を払いながら適切に決めていかなければならない。本項ではそれに最も適切と考えられる低温ポリシリコン TFT プロセスを取り上げその研究成果を記述する。

### 低温ポリシリコン TFT プロセスの開発

アクティブマトリクス液晶ディスプレイが a-SiTFT の出現<sup>40)</sup>を得て一大産業に成長してきた。そして最近では更なる高性能、高機能化と製造コストの削減を目指してポリシリコン TFT の研究開発および実用化の試みが活発である<sup>41)</sup>。プロセスを 600 と低温に保つことで、従来の製造ラインを大きく変更することなく、ポリシリコン TFT の作製が可能となる。TFT をポリシリコンにすることにより移動度は 2 桁以上向上し、ON/OFF 比も改善される。そして最も期待されるのが周辺回路のガラス基板上への取り込みであり、すでに駆動回路のモノリシック化は実用レベルに達している<sup>42)43)</sup>。駆動回路のモノリシック化により回路実装をフォトリソグラフィーに置き換えることができ、高精細ディスプレイの製作が可能になる。TFT のコンダクタンスが向上することから TFT サイズを小さくすることができ、開口率が上がり、明るくなると共にバックライトの利用効率が向上し、低消費電力化に貢献する。

さらに最近では電流駆動の有機 EL ディスプレイ<sup>44)</sup>が出現してきて、低温ポリシリコンの重要性は益々高まってきている。本項では筆者らが独自に開発した自己整合 A1 ゲートプロセスの研究成果について記述する<sup>45)</sup>。このプロセスが可能となったのは筆者らが発見し、命名した自己活性化現象による<sup>46)</sup>。

#### 1) TFT 作製プロセス

作製プロセスフローを図 2・5・1 に示す。まずガラス基板上に SiO<sub>2</sub> をバッファ層として形成する。これにはリモートプラズマ CVD を用いる。堆積温度は 400、膜厚は 1000 である。プラズマ励起ガスは He/O<sub>2</sub> であり、使用高周波は 13.56MHz である。次にアモルファス Si 層を 1000、Si<sub>2</sub>H<sub>6</sub> を用いた LPCVD 法で形成する。堆積温度は 430 である。これを 600 で N<sub>2</sub> 中 24 時間アニールして、固相成長によりポリシリコンに変換する。その後再びリモートプラズマ法によりゲート SiO<sub>2</sub> 膜を 1000 形成する。条件はバッファ層と同じである。これまでの工程が図中 a) b) に示されている。次にスパッタ蒸着法により Al を室温で蒸着し、ゲート電極にパターンニングする。そしてそれをマスクとしてリンおよびボロンをイオン注入する。条件は P の場合、加速電圧 90Kev、ドーズ量  $6 \times 10^{15} \text{cm}^{-2}$  ボロンの場合、加速電圧 33Kev、ドーズ量  $6 \times 10^{15} \text{cm}^{-2}$  であった。イオン注入には

質量非分離型装置を用いた。従ってプラズマで乖離したイオン種は全て注入されることになる。そしてその大半は水素イオンであることが分かっている。上記 P,B のドースに対して水素イオンは  $1.4 \times 10^{16} \text{ cm}^{-2}$  打ち込まれる。図 2・5・2 および図 2・5・3 にリンおよびボロンのドース量の変化に伴うポリシリコンのシート抵抗の変化を示す。図中参照として行った活性化アニールは  $600 \times 24$  時間であった。

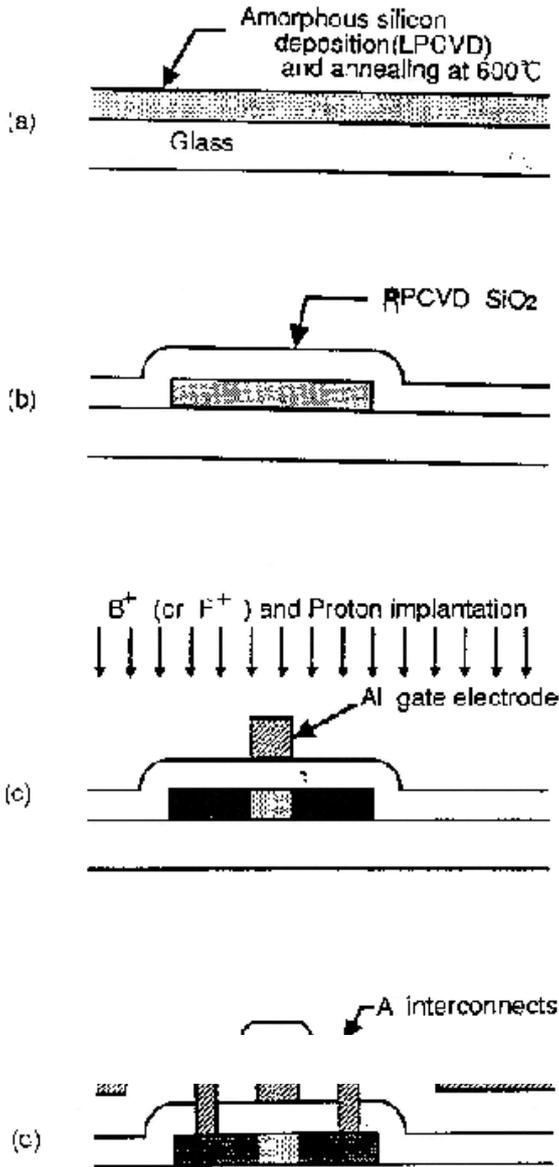


図 2・5・1 低温 poly-SiTFT プロセスフロー

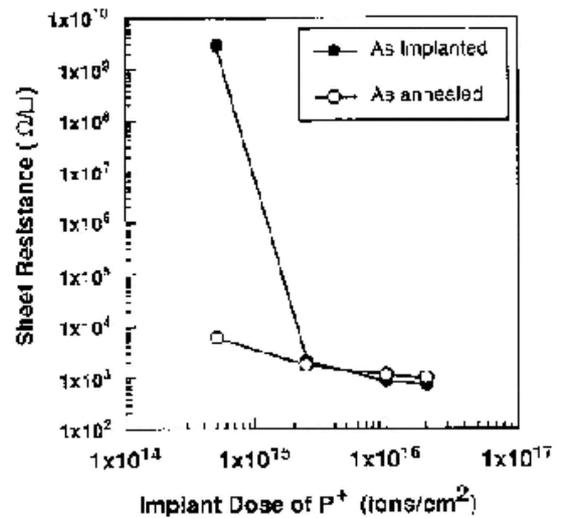


図 2・5・2

シート抵抗の P<sup>+</sup> イオンドープ量依存性

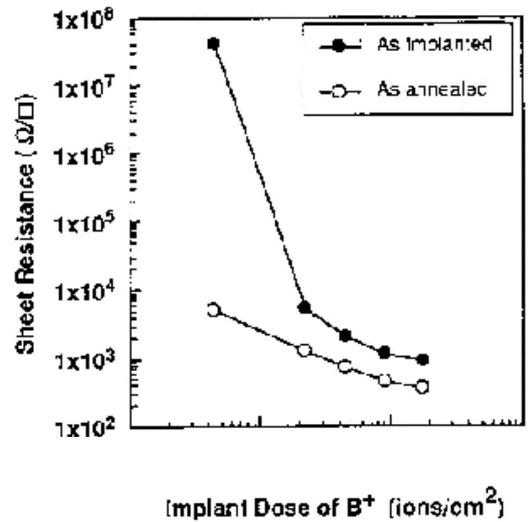


図 2・5・3

シート抵抗の B<sup>+</sup> イオンドープ量依存性

ドーシング量が  $5 \times 10^{14} \text{ cm}^{-2}$  以上になるとシート抵抗は急激に減少し、 $2 \times 10^{15} \text{ cm}^{-2}$  以上では活性化アニールの結果と殆ど変わらなくなる。透過電子顕微鏡でそのときの Si 膜を観察すると直径 500 程度の多結晶粒が認められる。すなわち、B や P と共に注入された水素イオンが Si 原子を活性化（拡散容易化）し、イオン注入により非晶質化するところを、自発的に結晶化を誘起したと考えられる。こうして自己活性化によるソース、ドレンの形成後、TEOS - CVD により層間絶縁膜としての SiO<sub>2</sub> を 5000 Å 形成し、Al 配線を図 2・5・1 d) のように施して TFT 作製工程を修了する。

2) TFT 特性およびそれを用いた回路機能

表 2・5・1 に TFT 特性を示す。

	N-ch TFT	P-ch TFT
移動度(cm <sup>2</sup> /Vsec)	53	34
閾値 (V)	2.4	-9.5
S (V/dec)	1.1	0.9

表 2・5・1 TFT(L/W=15/50 μm)の V<sub>ds</sub>=0.5V での特性

また図 2・5・4 には図 2・5・5 に示す CMOS 走査駆動回路の出力・周波数特性を示す。走査回路は 28 段で構成されており、負荷容量は約 15pF である。

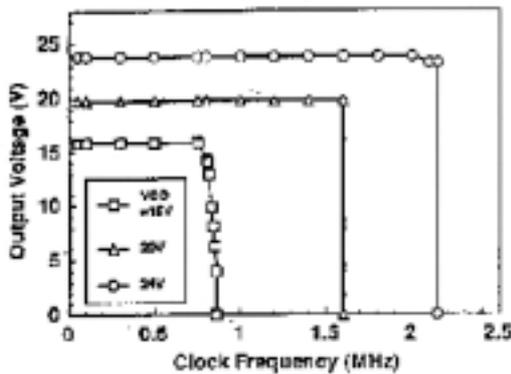


図 2・5・4 28 段走査回路の周波数・出力特性

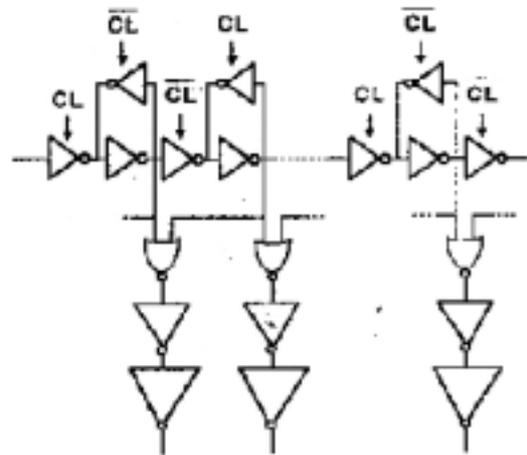


図 2・5・5 CMOS 走査回路のゲート構成

動作電圧 24V 時の最大動作周波数は 2.0MHz であった。

### 3) TFT 構造と信頼性

MOS - FET でホットキャリア劣化現象が問題になる。TFT の場合も同様であるが  $V_{gs} < V_{ds}$  のときに発生するドレンアバランシェホットキャリア(DAHC)に最も注意すべきである。それは閾値電圧や相互コンダクタンス(gm)を変化させる。これの対策として LSI では LDD 構造が用いられている。ディスプレイ用 TFT でも同様に、工程の複雑化を厭わずこの構造が特に N - ch で用いられている。しかしながら基本的にはホットキャリアに対して耐性の高い界面および絶縁膜を作るのが優先されるべきである。

先に示したリモートプラズマ CVD 法によるゲート絶縁膜の形成はこの考え方に立脚して大いに意義がある。言い換えれば、TFT の使用される条件によっては通常 LDD 構造の必要なところ、これを省略し、プロセスを簡略化すると共に素子の寸法も小さくすることができる。従って工業的な意味を付与するためには大面積に亘ってこのリモートプラズマ CVD 法を可能にする装置を実現しなければならない。

## 2.6 結 言

半導体薄膜結晶成長の基本であるエピタキシャル成長に関する基礎的な研究および MOS 型トランジスタの中核である  $\text{SiO}_2/\text{Si}$  界面に関する基礎的な研究の結果、独自に新規成膜方式であるリモートプラズマラインソース CVD 法の着想に到達した。それは工業的にも現時点で十分意義のあることを TFT デバイスの応用的研究を通して示すことができた。

この新規装置を実現することにより、技術的に競争優位をもった、低温ポリシリコン TFT プロセスを構築することができ、それ故にビジネスへの展開の端緒を開くことができると考えられる。

## 第3章 装置開発

### 3.1 緒言

第2章の薄膜物性に関する研究結果から、その作製方法として有効な新しい基本的概念が醸成される。それは1次元結晶成長とプラズマダメージフリーなリモートプラズマCVD法である。1次元結晶成長はヘテロエピタキシャル成長におけるミスフィット転位の核発生サイトを限定することによってそれら同士の会合をなくし、膜の成長方向への転位の導入を減らすことができると考えられる。一方リモートプラズマ法はポリシリコンTFTにおいてもHe/O<sub>2</sub>系VHF励起を用いることにより嘗て無い優れた特性の得られることが実証された。

1次元成長を実現させるためには線状に成膜原料もしくは成膜に必要なエネルギーを注入することが必要となる。他方TFTが必要とされるディスプレイ産業分野では大面積に均一に良質のTFTが作製されることが望まれ、そのためにはリモートプラズマ法によるゲート絶縁膜の作製は不可欠である。

以上のような状況を背景にして筆者が創出した装置がリモートプラズマラインソースCVD装置である。従って開発の目標として、VHF帯の高周波励起プラズマがライン状に励起できること、そしてその長さが300cm以上見込めること、しかもプラズマ励起領域はできる限り小さいこと、基板もしくはプラズマ源がラインソースと垂直方向に走査でき、少なくとも400cm×300cmの基板上に薄膜の形成が可能であること、既存の商用量産CVD装置に比して、均一性、成膜速度、タクトタイム、保守容易性、占有面積等々において遜色のないことなどが目標設定された。

本装置開発は、基礎よりはじめた研究の独創的結果を集大成し、それを実用に供するための手段、言い方を変えれば、ビジネスの端緒を開くものであるといえる。

高周波放電は放電電極から与えられる電磁界によって電子を加速しプラズマを維持している。そしてアンテナのまわりの電磁界は次式に示され<sup>39)</sup>、アンテナからの距離をrとして、1/rに比例する項は電磁波、1/r<sup>2</sup>に比例する項は誘導電界、1/r<sup>3</sup>に比例する項は静電界によるものである。すなわちこれら3種類のいずれかの結合によりプラズマを励

$$E=A\{-1/kr+i/(kr)^2+1/(kr)^3\}Idz/4 \cdot \sin e^{-ikr}$$

起することが必要となる。しかし容量結合型高周波放電では、電極とプラズマ間の電位差が大きく、イオンが電極に持ち去るエネルギーが大きいためプラズマの高密度化は困難である。また有磁場やマイクロ波を用いることは長いラインソースという形状の特殊性から困難が予想され、検討の対象外とした。

以上の事由により、電磁波結合法と、誘導結合法をとりあげリモートプラズマラインソースCVD装置を開発した。

### 3.2 電磁波結合リモートプラズマラインソース CVD 装置

#### 4) システム構成

図3・2・1にシステム構成とバルブ配置を示す。構成はロードロック、プロセスチャンバー、ラインプラズマソース源、試料ヒータ、制御装置から成り立っている。ロードロック室の到達真空度は  $2 \times 10^{-7}$  Torr、プラズマは 100MHz 10KW まで励起可能である。ヒータ最高温度は 500 でそのときガラス基板温度は 200mTorr 下で 400 である。

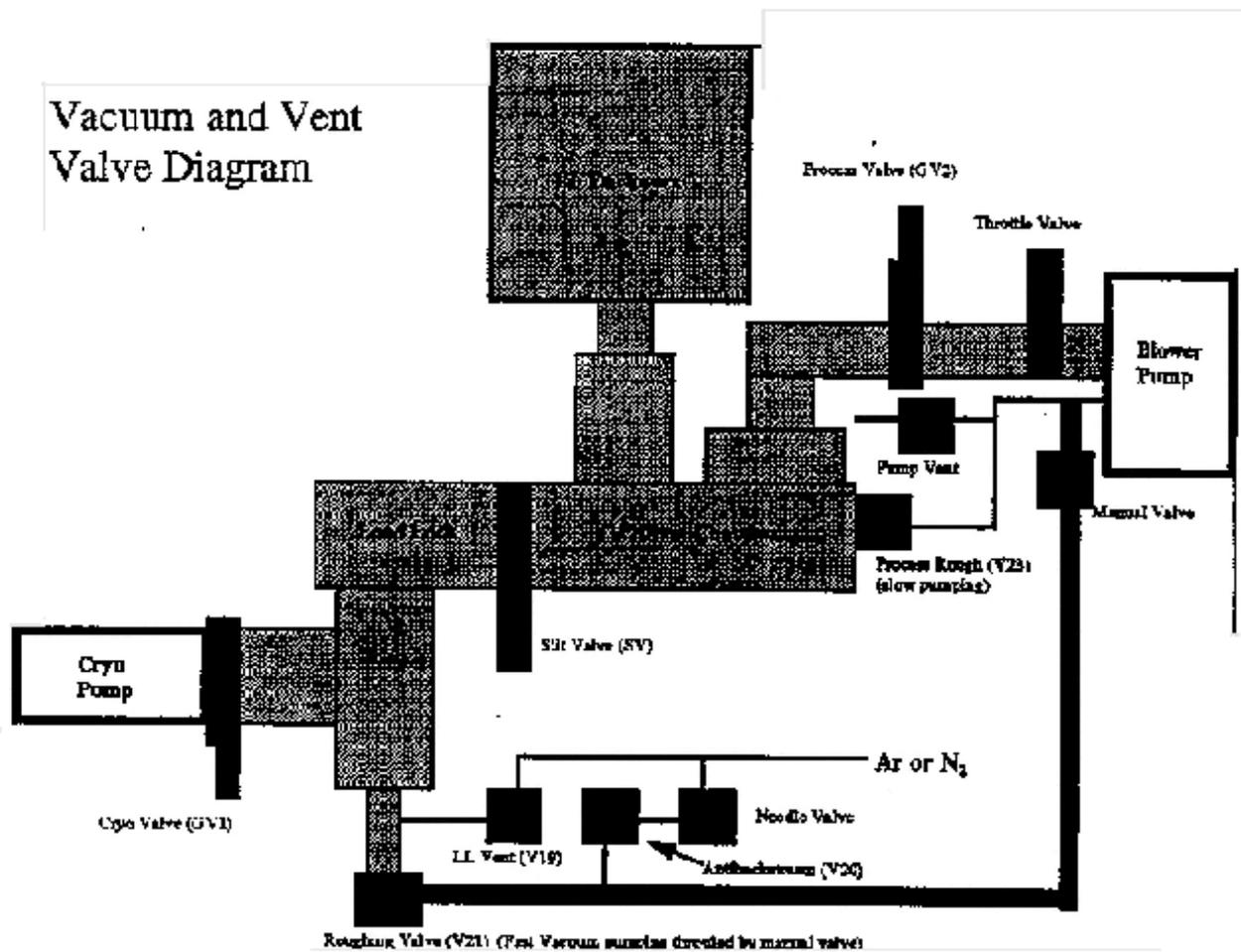


図 3・2・1 大面積リモートプラズマ CVD 装置の構成図

### 5) プラズマ発生部

プラズマ発生部はプラズマ形成部と VHF 導入部とから構成されている。プラズマ形成部は一对のパイレックス窓から電磁波が導入されプラズマが励起される。図 2 3・2・2 に 1/2 波長プラズマ励起システムを示す。二つの電極間に仮想グランドが形成され、チャンバーのステンレス壁とアーキングを起こすことなく安定して 3 KW の電力を投入することができた。

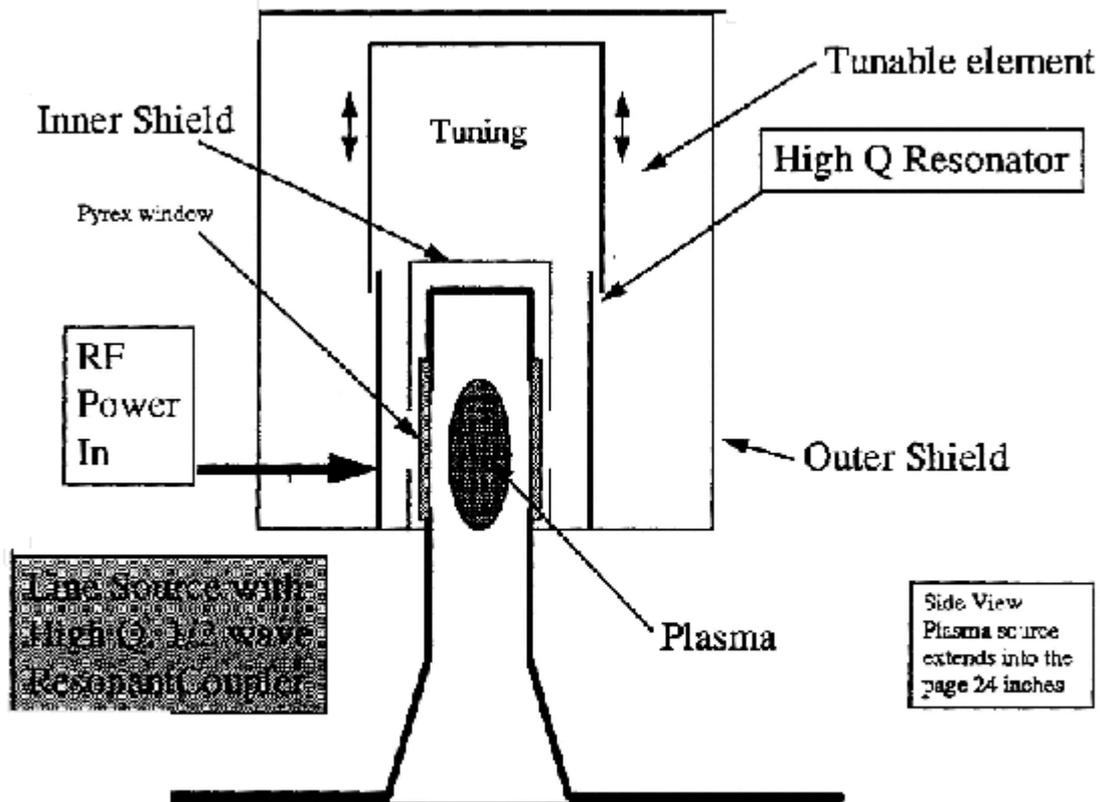


図 3・2・2 ラインソースプラズマ発生部の基本構成

6) VHF 発生システム

図3・2・3にVHF発生システムのブロック図を示す。本高周波システムは全て空冷である。

7) 排気の流れ

図3・2・4に排気ポンプへの気流を示した。プロセスチャンバー内にデッドスペースが形成され、そこでわずかに成膜が進行するため膜厚の均一性を損ねることが分かった。これを防止するためにロードロック室からパージガスとしてHeを供給することが必要であった。

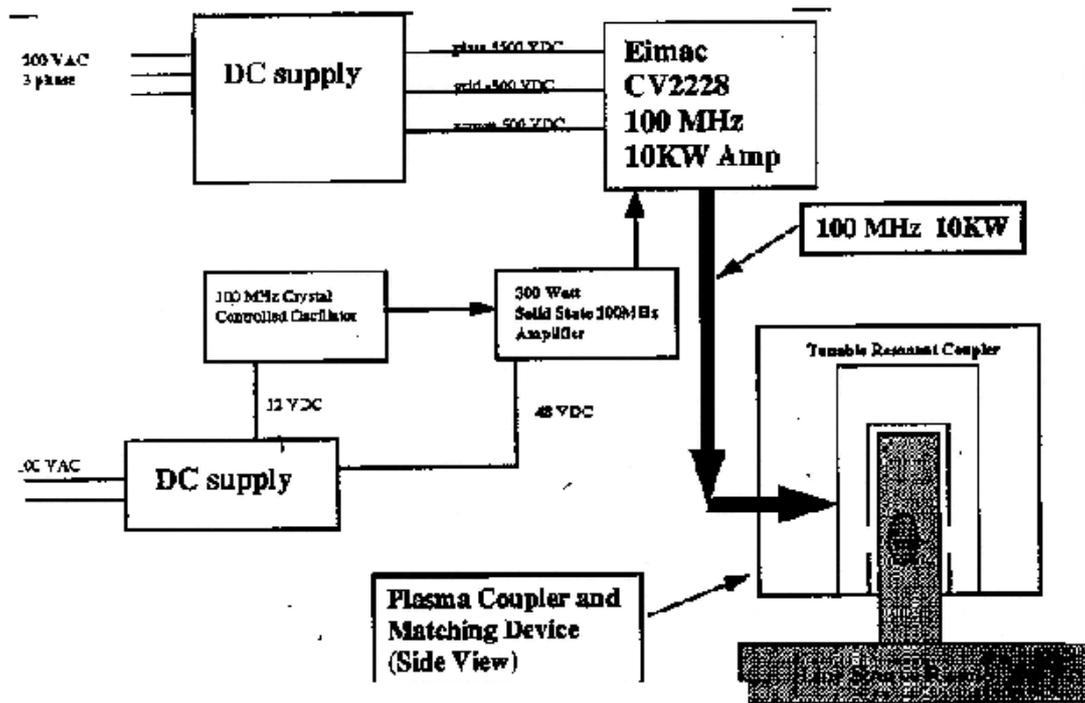


図 3・2・3 プラズマ CVD 装置の高周波発生部

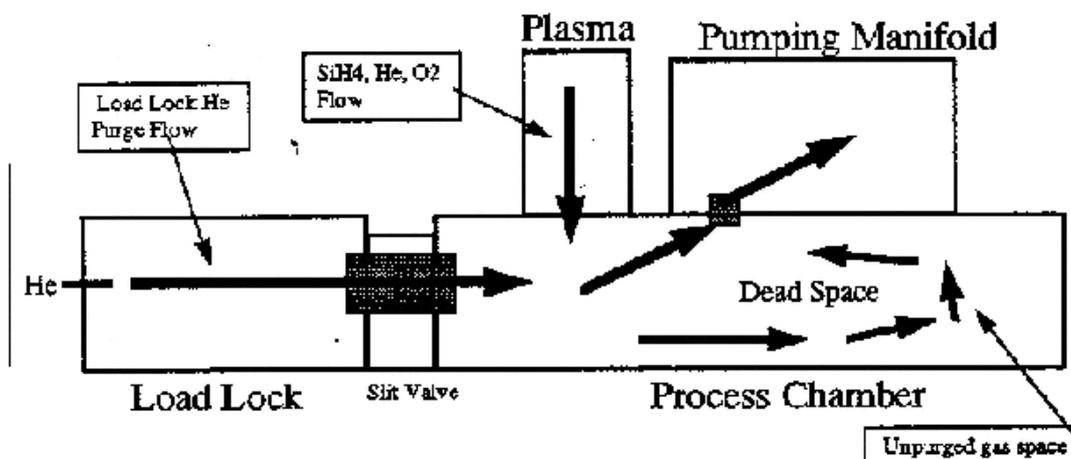


図 3・2・4 プラズマ CVD 装置内の排気流

5) 試料加熱特性

図3・2・5にヒータステージ温度とそのときのステージ上の基板温度の測定結果をガラスと石英とSiの3種類の基板について示す。このときの雰囲気はHe気流の250mTorrであった。基板による温度差は赤外線吸収効果率と熱伝導率の差によるものと考えられる。

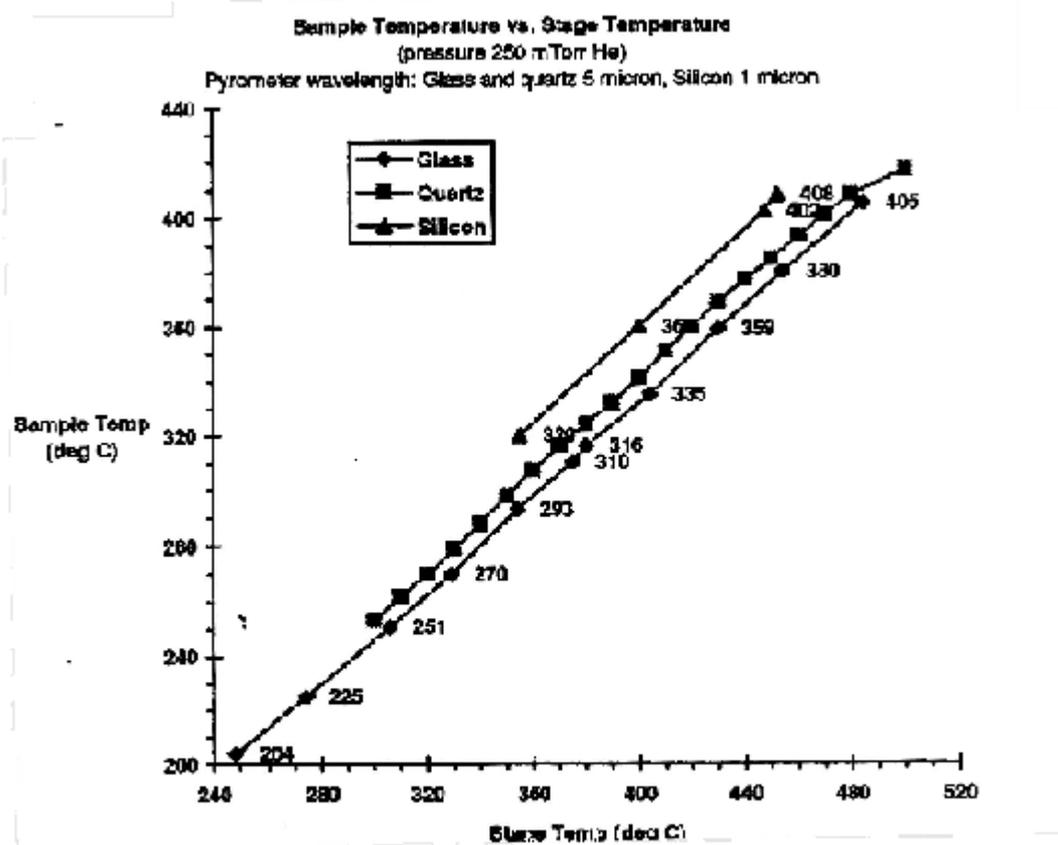


図 3・2・5 基板加熱ヒータと基板との温度相関

6) SiO<sub>2</sub> 膜の形成

図 3・2・6 および図 3・2・7 に膜厚分布と屈折率分布の結果を示す。いずれも初期の目標に対して十分なものであった。

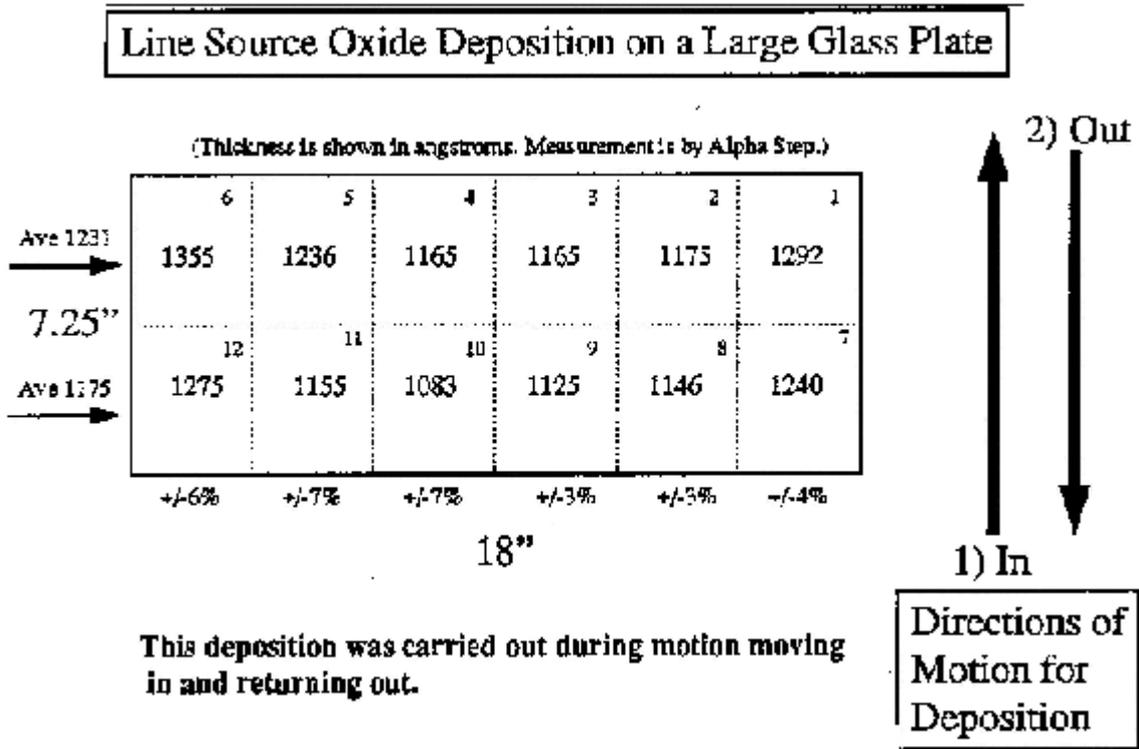


図 3・2・6 プラズマ CVDSiO<sub>2</sub> 膜の膜厚分布

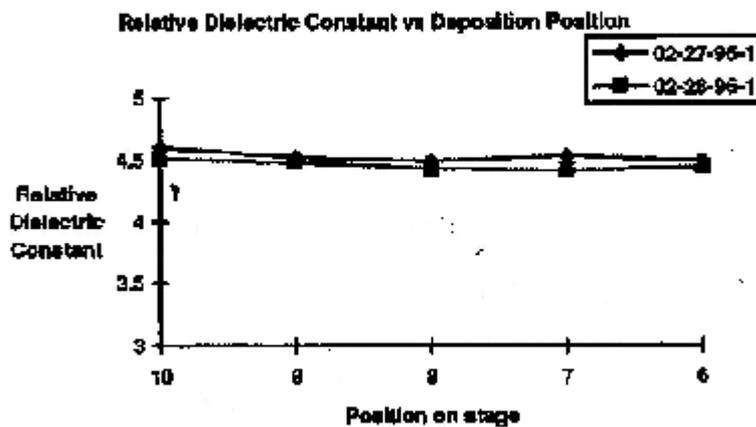


図 3・2・7 プラズマ CVDSiO<sub>2</sub> 膜の屈折率分布

### 7) TFT 評価結果

図 3・2・8 に本装置を用いて作製した n 型 TFT の ON/OFF ストレス結果を示す。主な成膜条件は、成膜速度 700 /min、プラズマ投入電力 1KW、基板温度 400 であった。ストレス条件は 2 章に記載した通りである。閾値電圧、S 係数、移動度ともに非常に安定した結果が得られている。すなわちストレス印加後、移動度の変化はゼロであり、閾値の変化は 3 %、S 係数の変化は 2 . 5 % である。リモートプラズマの効果が大面积の成膜においても十分発揮されたことがわかる。

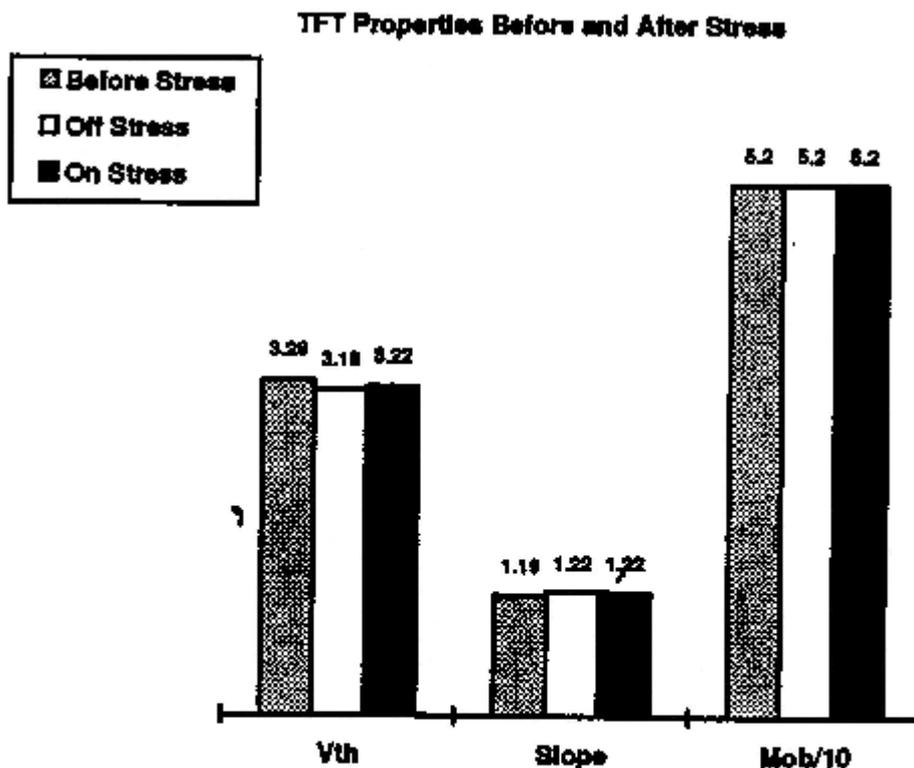


図 3・2・8 ストレス印加後の TFT 特性変化

### 3.3 誘導結合リモートプラズマラインソース CVD 装置

前項で電磁波結合により大面積に所望のリモートプラズマの優れた特性を有したゲート SiO<sub>2</sub> の形成できることを示した。しかし電力投入部が大きく、それに伴って装置の設置面積も大きくなったこと、そして排気流にデッドスペースが生じ、それを回避するためにガスパージを必要とし、それがさらに排気ポンプの大容量化につながり、大掛かりな装置に仕上がる結果となった。

そこで本項ではよりプラズマ励起効率のよい誘導結合リモートプラズマラインソース CVD 装置を開発した。

#### 1) 装置仕様

##### RPCVD装置スペック

RPCVD-MIIM α タイプ

##### 1) 基板サイズ

370mm × 470mm

##### 2) 装置構成

ロードロックチャンバー	SUS	1
反応室	SUS	1
プラズマ生成室	石英	1
排気系	(別項参照)	
ガス導入系	(別項参照)	

##### 3) チャンバ

	到達真空度	容積(L)
反応室	10 <sup>-7</sup> Torr	249
ロードロック室	10 <sup>-7</sup> Torr	206

##### 4) 真空排気系統

	ポンプ	実効排気速度	到達圧力	備考
反応室	ドライポンプ	1300L/min	0.8Pa	
	メカニカルブースタ	330m <sup>3</sup> /h	—	大気圧駆動型
	Turbo Molecular Pump	2200L/sec		大流量磁気軸受
ロードロック室	ドライポンプ	850L/min	1.0Pa	
	Turbo Molecular Pump	1500L/sec		

##### 5) 基板加熱

ガラス基板	最大400℃	±10℃以下
ヒータ自身	最大600℃	—

##### 6) ガス系統

導入可能ガス種	最大流量(SCCM)
Ar	200

He	200
O2	200
SiH4	200
H2	200

7) 高周波電力

周波数	60~100 MHz
パワー	最大1000W

成膜スペック(SiO2)

- 1) デポレート  
800Å/min. (プラズマ生成室直下)
- 2) 均一性  
±10%以下
- 3) 膜特性  
VFB -1V~2V
- 4) 屈折率  
1.45 ~ 1.47
- 5) 比誘電率  
3.9 ~ 4.1

2) プラズマ励起状態

図3・3・1にプラズマ励起状態を示す。70MHz、400Wで200mTorrのHe/O2ガスを励起した例である。

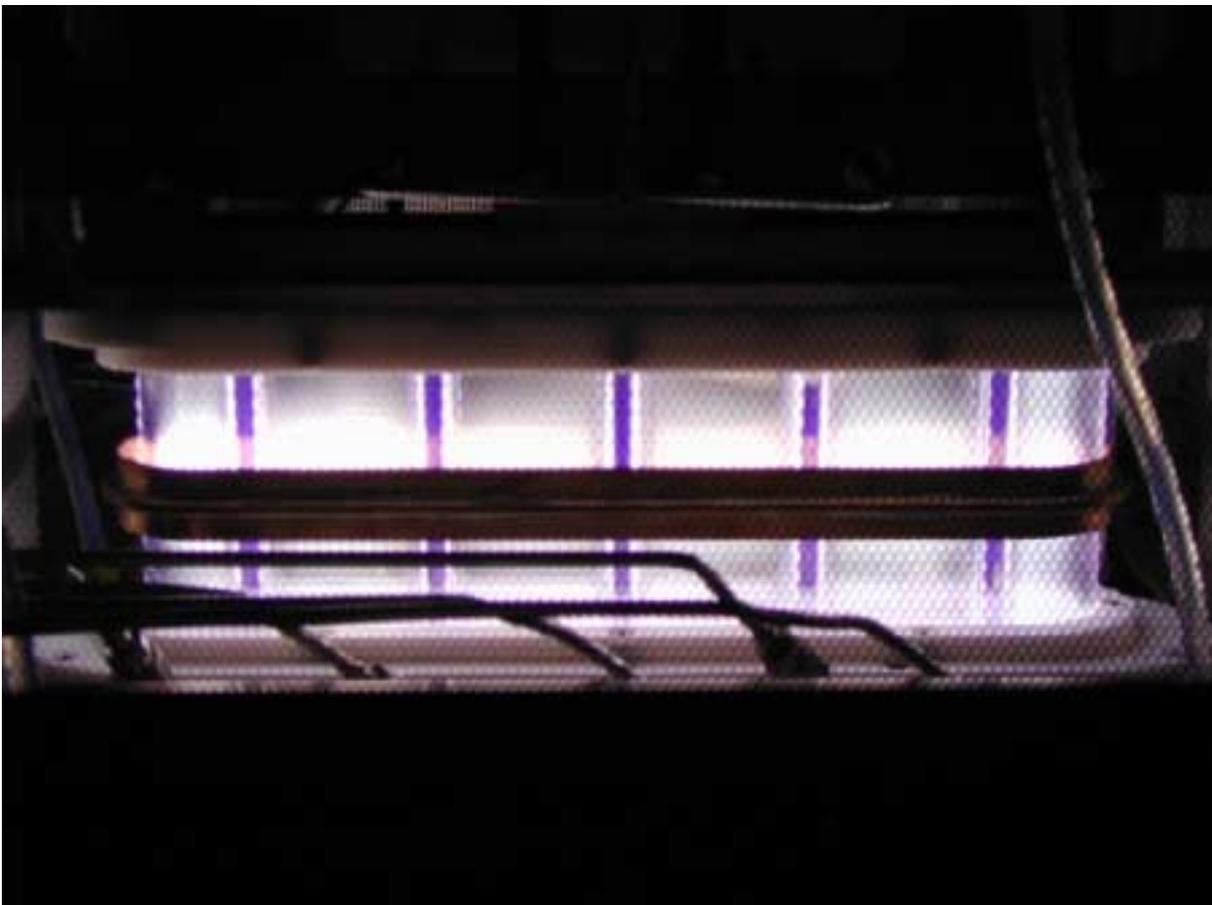


図3・3・1 誘導励起ライン状プラズマ

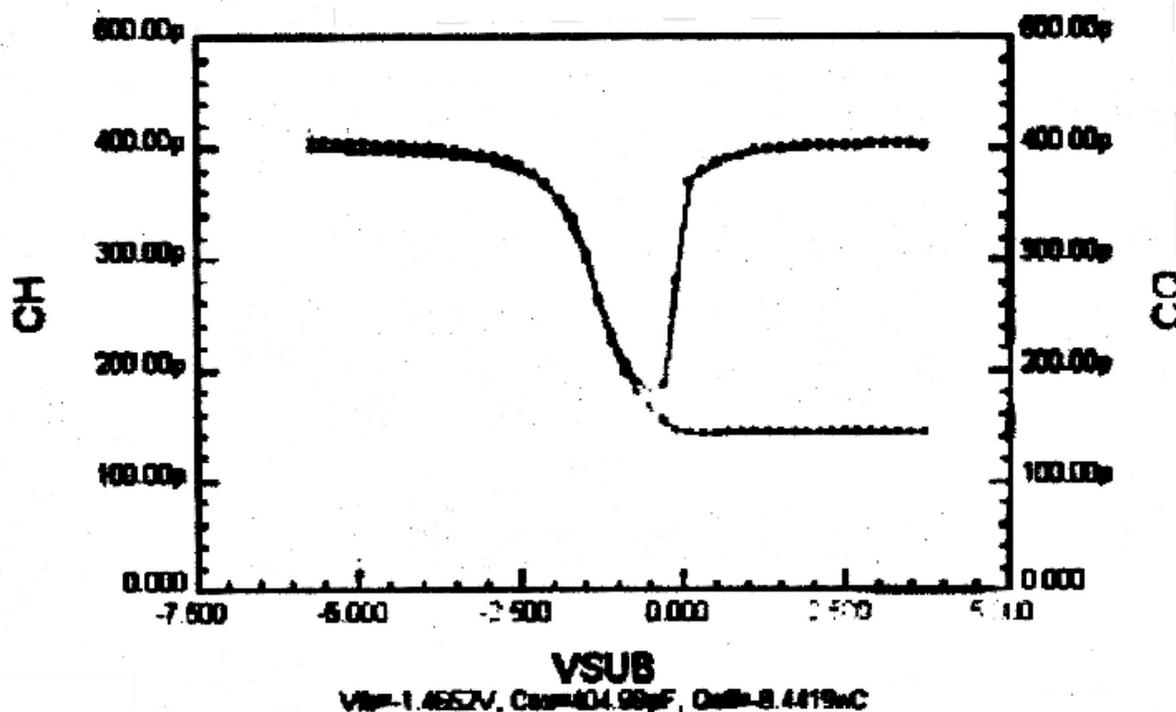
### 3) C-V 特性による評価

本装置を用い Si ウエーハ上に SiO<sub>2</sub> 膜を作製しゲート絶縁膜としての特性を評価した。図 3・3・2 にその測定結果を示す。低周波測定の結果において通常の低温 CVD 膜には見られないような少数キャリアの長寿命化が認められる。これはリモートプラズマによる効果を示すもので<sup>49)</sup>、本装置の基本的性能の達成を示している。

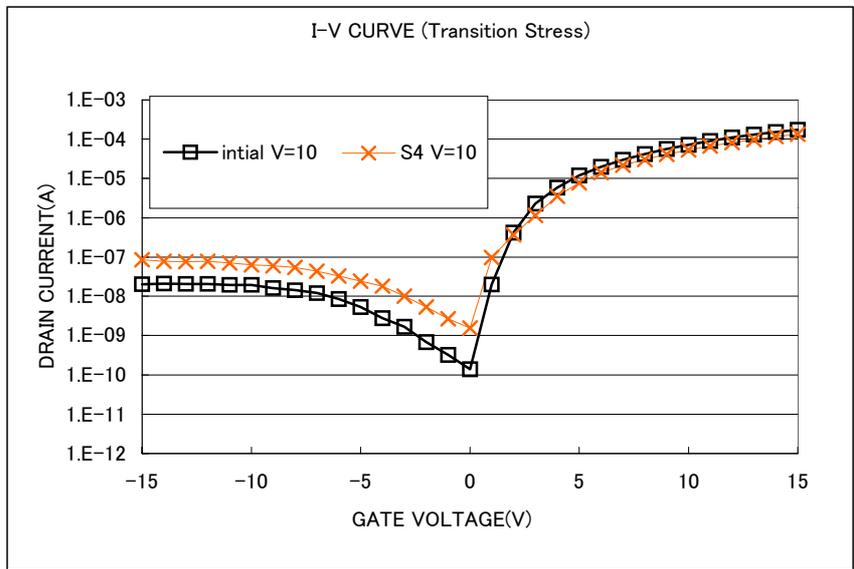
### 4) TFT 特性

図 3・3・3 に本装置によるゲート SiO<sub>2</sub> を用いて作製した TFT の電氣的ストレス結果を市販の TEOS-CVD 装置で作製したゲート SiO<sub>2</sub> との比較において示す。ストレス条件は V<sub>gs</sub> = 10V、V<sub>ds</sub> = 25V、ストレス時間は 20 分である。ストレス印加前後でリモートプラズマ CVD (PRCVD) の素子特性に大きな変化は見られないのに対し、TEOS-CVD の素子特性において閾値電圧が大きくプラス側にシフトしているのが分かる。またコンダクタンスも劣化しており、移動度の低下が起こっていると考えられる。

以上の結果から本装置はリモートプラズマラインソース CVD 装置として初期の目標適うものであることが証明された。



### RPCVD



### TEOS

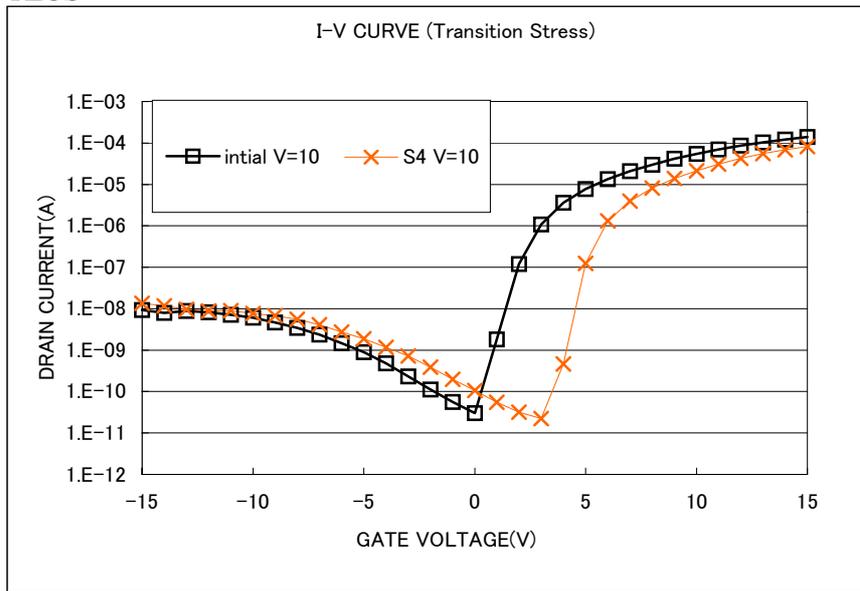


図 3・3・3 ストレス印加後の TFT 特性変化

## 結言

第2章での基礎研究成果に立脚し、起業への足がかりを構築すべく進めてきた新装置の開発は初期の思惑に違わず所望の成果が得られた。新装置が低温ポリシリコン TFT プロセスに対して極めて有効であり、これを用いることによって他に見られない高信頼性を有した TFT を大面積基板上に作製できること実証することができた。量産を考慮した実用ベースに立っても、十分に評価に耐え得る装置であることがわかった。低温ポリシリコン TFT の需要の急激な拡大が見込まれる状況において、これを資産、そして武器として起業化を進めることが可能であると考えられる。

しかし起業実践のためには技術的視野に留まらず、当該産業分野の実態分析やマーケティング、ファイナンス等々経営、起業工学的分析検討が必要となる。

次編にてその研究成果を記述する。

## 第2編 起業実践

### 第1章 序論

第1編第2章の基礎的研究において新 CVD 法を着想し、同第3章の装置開発研究において工業的応用に耐え得る試作装置を完成させた。これの活用対象としては大面積 TFT 作製工程が第一に考えられ、従って産業分野は液晶を中心とした平面ディスプレイとなる。しかしかには新規装置で技術的に意義があっても、当該産業の状況を経営的視点をもって研究、分析しておくことが不可欠である。本編ではおよそ半世紀に亘ってディスプレイ市場を独占して来た CRT と最近急速に台頭してきた液晶ディスプレイを対比させながら転換期にあるディスプレイ産業を論じ、起業実践としての株式会社クリスタージュの創業を論じて結論とした。

### 第2章 転換期にあるディスプレイ産業

#### 2.1 緒言

近年の液晶ディスプレイ(LCD)の発展により、市場は CRT(Cathode Lay Tube)のバルキーで重い不自由さから開放され、手軽に使い、多目的、多用途に映像を楽しめる時代に入って来た。そしてそれはさらなる平面ディスプレイの開発を促し、プラズマディスプレイ(PDP)、無機および有機エレクトロルミネッセンスディスプレイ(EL)、フィールドエミッションディスプレイ(FED)、さらに最近では $\mu$ カプセルの電気泳動を利用したもの(e-ink)等々が登場してきている。

これら技術の革新的な発展をみるとき共通してあるのは異なる産業分野における要素技術の取り込みとその展開である。LCD は IC・LSI の技術を取り込み、それを Si ウェーハからガラス基板へと大面積に展開し得たことによって今日の隆盛をみた。そしてそれは新たな表示機能を用いたディスプレイデバイスへの道をも切り拓こうとしている。そして今開発途上にある EL ディスプレイや e-ink は LCD で用いられる TFT 技術を用いることによってその表示性能の確保が約束される。PDP や FED は蛍光体を用いる点で CRT の技術を継承していると言えるが、PDP における薄膜形成技術や FED における微細加工技術は LSI をベースに発展してきた要素技術そのものである。

一方このような技術革新によってもたらされた新生産品の登場は当該産業の構造にも変革をもたらそうとしている。それは液晶ディスプレイの TFT 基板に代表されるようなキーとなる部品の高機能化とそれに伴う高額な設備投資である。それは LSI のシステムのものリシック化と同様である。従来の CRT においては部品といえば偏向ヨーク、機構部品、電子銃、シャドーマスク、容器等々で、どの部品もシステム化の方向に進化することは無かった。従ってそれらを組み上げディスプレイセットとする製造部門に大きな設備投資と資源が投入されてきた。こうした変化を最近のバイオやナノテクノロジーへの関心の強さとあわせて考えてみると、システムが部品へ、そしてそれがさらに材料へと回帰して行く

傾向がみてとれる。かつてはその逆方向が産業を創設し、生活の向上をさせてきた。こうした変化を認識するとき、変化をビジネスチャンスと捉える具体的方策として材料を創り出す方式、装置に工夫と知恵を集め新規提案を行うことが有効であると考えられる。

本編では従来型ディスプレイである CRT 事業を新型ディスプレイである LCD 事業との比較において議論し、それに基づいた CRT 事業発展のためのビジネスモデルと LCD 事業の新展開のありかたを提案した。そして、既に起業化した(株)クリスタージュの事業を記述することにより結論とした。

## 2.2 CRT と LCD の事業比較

図 2.2.1 にディスプレイデバイスの市場規模を示す。1995 年から 2000 年にかけて CRT は年 5%の成長に留まったのに対し、LCD は年平均 17%の成長を見せた。すなわち、CRT は既に成熟期にあるのに対し、LCD は安定性長期入っていることが示されている。CRT は事業の大半を TV 市場に依存してきたが、近年のパーソナルコンピュータ(PC)の普及によりモニターとしての需要拡大が期待され、積極的な設備投資も行われてきた。一方 LCD はノート型パーソナルコンピュータへの応用により事業の立ち上げが成功し、その後平面で軽量、低消費電力などの特徴を活かし、急速に新しい応用分野を開拓してきた。それに伴って CRT の応用分野にも進出が行われるようになり、PC モニター分野で厳しい競争摩擦が生じている。そのために CRT の事業拡大が新しい応用分野の出現にも係わらず進展せず、平面化などの改良努力にもかかわらず成熟状況から脱しきれない原因がある。

新型ディスプレイデバイスの登場によりその応用範囲は大きく広がってきているが、大きさと画素数によるディスプレイデバイスの棲み分けを示すと図 2.2.2 のようになる。新しい方式は CRT の適用困難な領域に起点をおきつつも従来の CRT の領域に侵入して来ていることが分かる。

次に原価構成を比較してみると図 2.2.3 に示すように、CRT、LCD とともに材料費の比率が原価の半分以上を占めている。CRT の場合、バルブ、蛍光体、マスク、電子銃、偏向ヨークなど主要部品材料でありこれを外部調達し自社内で組み立てることになる。一方 LCD では主な外部調達主要部品材料はカラーフィルターと実装部品、すなわち LSI、偏向板、コントロール基板、バックライト、ベゼルなどである。しかし実装工程は社外で行われることが一般で、自社内作業に用いられる材料費比率にすると CRT で 58%と変わらないのに対し、LCD で 21%とかなり低い値になる。これを労務費に対する比率で見ると CRT で 3.2、LCD で 1.2 となり、LCD の方が労働あるいは工場操業による付加価値創造比率の高いことがわかる。そして CRT 型工程である実装部分は社外委託の形態をとることが多い。

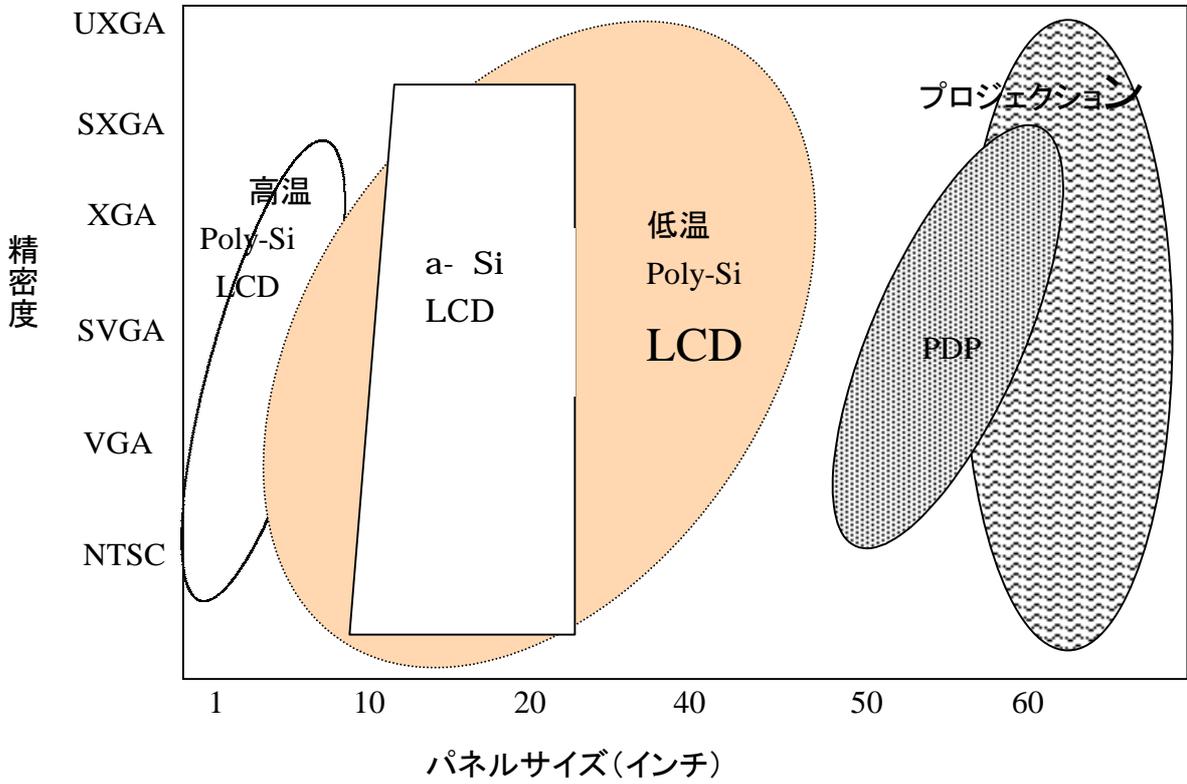


図 2・2・2 近未来のディスプレイデバイスの棲み分け

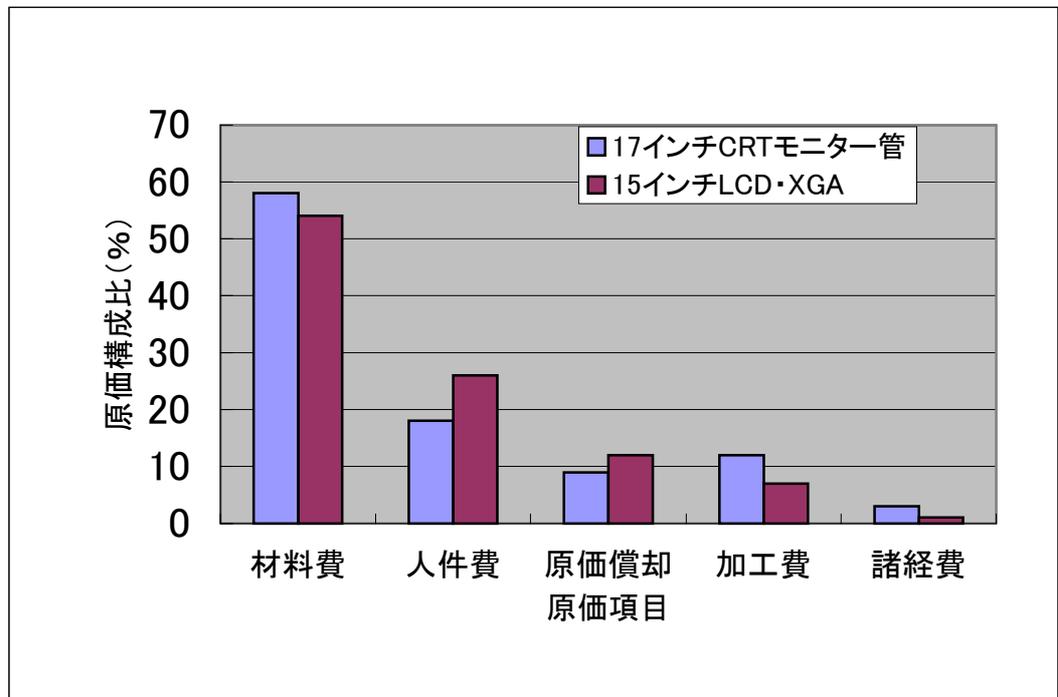


図 2・2・3 CRT と LCD の原価構成比較

## 2.3 CRT および LCD の事業展開

前節で見たように、原価における労働あるいは操業付加価値の比率は低い。そこで、成熟期にある CRT 事業に転換を求める一つの方策として R&D と新規設備投資による新製品開発を想定し、現実の事業実態に基づいてどの程度の規模の新事業プロジェクトが可能であるかをシミュレーションした。イアン・C・マクミランによる「Dr. Plan for DDP プロ」を用いて行い、その詳細は付録に記載した。

### 新製品設定

HDTV 対応のデジタルインターフェース TV で大型の下記 3 種類を設定した。

1. 新 32 型 TV
2. 新 28 型 TV
3. 新 21 型 TV

以上 3 種類の TV セットのたの CRT 製造事業が本シミュレーションの対象である。

### 販売見込

(台)

	1 年目	2 年目	3 年目	4 年目	5 年目
21 型	0	100	89,447	447,235	89,447
28 型	0	100	107,336	536,680	1,073,360
32 型	0	100	82,180	410,900	821,800

### 事業設定

開発期間	2 年
R&D 投資	10 億円
新規設備投資	10 億円
既存設備転用	4 億円
直接製造材料費	既存同型の 2 割増し
一般管理費	1 台当たりのコストで既存同型と同じ

### 経営目標とプロジェクト目標

経営目標		プロジェクト目標	
ROS	ROA	IRR	PBP
7.4%	9.0%	10%	3 年

ROS(売上高総利益率)、ROA(総資産利益率)、IRR(内部収益率)、PBP(回収期間)

## 結果

		目標	結果
経営	ROS	7.4%	10%
	ROA	9.0%	27%
プロジェクト	IRR	10%	34%
	PBP	3年	4.3年

本事業設定は経営目標を達成し、プロジェクトとしても、内部収益率が現在の日本の電機機器業界の平均的資本コスト(8%)を超えることから合理的であると結論される。ただし要求売上高総利益率は新規設備投資に最も影響を受けることに注意しなければならない。

事業体質の変革を求めめるために材料以外による価値創造を高める方法は、新規設備の導入あるいは設備の改良、R&Dによる成果、であるが長期的経営を考えれば固定費の掛からない R&D に成果を求めることが最良である。生産設備の更新はそのコスト感度の敏感なことを考えると、材料費の削減を同時に行うことが賢明である。

一方、いま安定成長期に入った LCD は日本企業の先導、寡占状態を脱却し、韓国、台湾と、その製造中心地域を移しつつある。図 2・2・4 に最近(2001年)の TFT 液晶の売上実績を日本、韓国、台湾の各企業について比較した結果を示す。

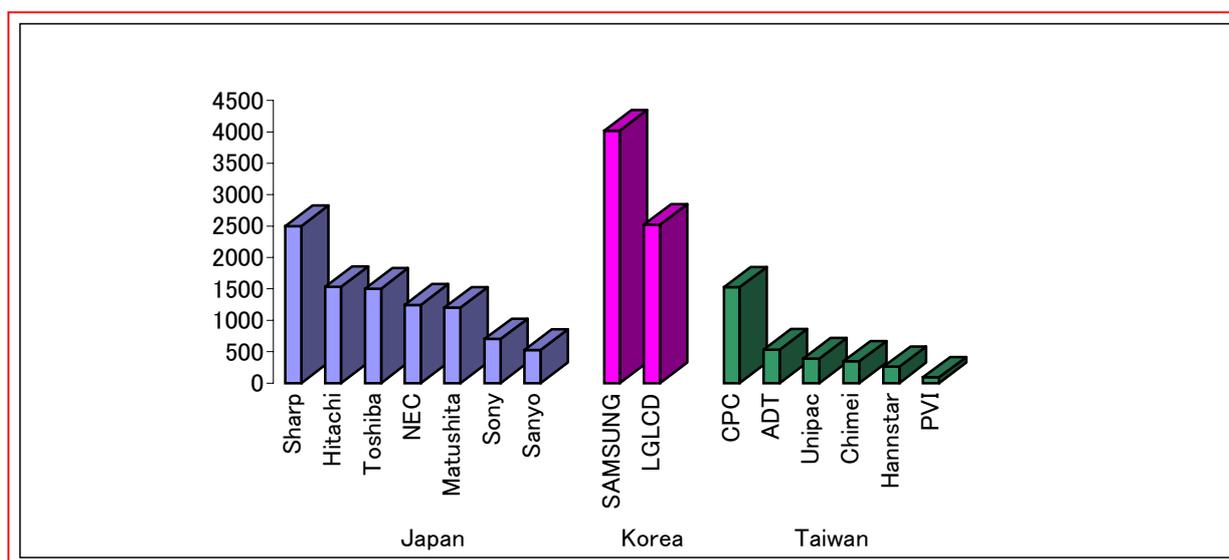


図 2・2・4 2001年の日本、韓国、台湾各LCDメーカーの売上実績

このように総売上高一位、二位は韓国企業であり、台湾の台頭も著しい。また最近 CPC と ADT の合併が行われ、群雄割拠から巨大メーカーの寡占が始まろうとしているかに見受けられる。しかしながら LCD 製造のための主要部材の供給を同じ国別で比較すると図 2・2・5 のようになる。

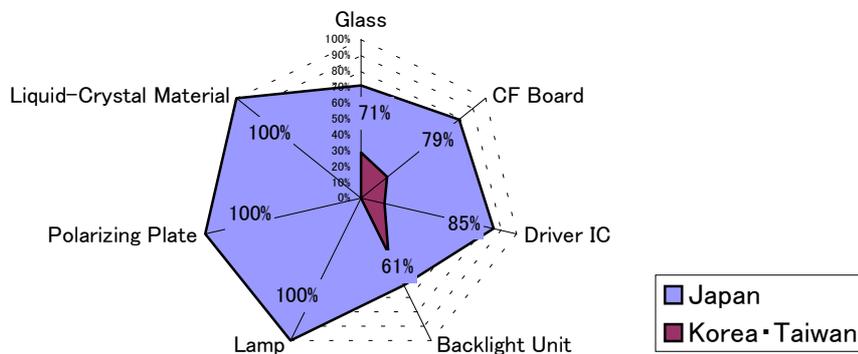


図 2・2・5 主要 LCD 部材の国別供給状況の比較

この結果から主要部材に関しては依然として日本の寡占状態にあることが分かる。集中的資本投下による設備依存の組み立て工程から、比較的安い労働賃金を背景することにキャッチアップを図ろうとする後進国の構図が、LSI のみならずここでも見ることができる。

液晶ディスプレイは a-SiTFT 製造技術を育てあげた。そしてそれはさらに低温プロセスポリシリコン TFT というさらに高機能化したデバイスへと進化しようとしている。他方平面ディスプレイは LCD の欠点の一つともなる非発光性を克服が急速に開発されてきている。なかでも有機 EL に多大の関心が集中してきており参画企業数は LCD に比肩するものとおもわれる。その理由のひとつに低温ポリシリコン TFT 技術の発展がある。有機 EL は電流駆動方式であるため従来の a-SiTFT では駆動が困難なため、電流駆動能力の高いポリシリコン TFT が必要とされるためである。つまり LCD が育んだ要素技術が進化し、次の新しい装置の進化をもたらそうとしているのである。

## 2.4 結言

今なにがディスプレイ産業の中で変わろうとしているのか。従来のバルキーな CRT からフラットな LCD へそしてそのフラットディスプレイが自ら発光するデバイスへとさらに進化していこうとしている。図 2・2・6 にそれを図式化して示した。これが変化の第一である。この変化のなかでキーテクノロジーとなるのが低温ポリシリコン TFT 技術である。

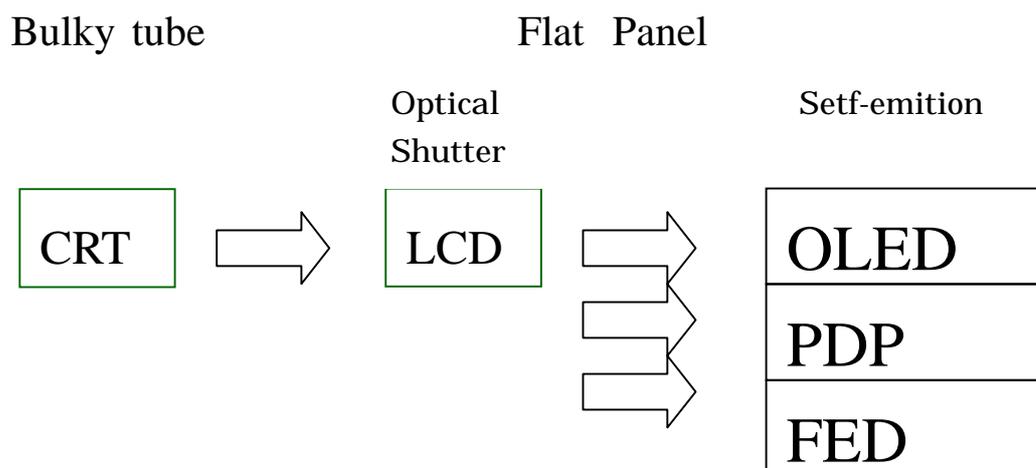


図 2・2・6 ディスプレイ装置の進化

変化の第二は LCD における台湾、韓国の台頭さらに中国への展開である。すなわち LSI において見られたように、LCD においてもファンドリビジネスが成り立ち成熟して行くのかも知れない。しかしそのためには明確に企画、設計でビジネスを組み立てることが必要である。企画、設計には多額の資本は不要である。知的財産があればよい。そこに起業のチャンスがある。こうした構図のなかで重要な事業戦略となるのが、すぐれたファンドリの確保である。そのために、最先端の TFT 技術をファンドリに移植することが有効である。

すぐれた TFT 基板は、それだけでもビジネスになり得ると考えられる。LSI の Si ウエーハのように TFT 基板専門のビジネスがあってもよい。

そこで本章の付録として、ポリシリコン TFT 基板ビジネスのシミュレーション結果を示した。

# 付録：低温ポリシリコン用基板製造販売ビジネスモデル

## 1) 初期投資

建物・土地・・・・・・・・・・ 40億円

生産および評価設備・・・・・・・・ 50億円

## 2) 基板仕様項目

基板サイズ

Poly - Si

膜厚、平均粒径、結晶方位、表面モフォロジー、ダスト  
SiO<sub>2</sub>

膜厚、屈折率、TDDB

デバイス

界面準位密度、Hall 移動度

### 3 ) 生産計画

#### Production Plan

Year	2002	2003	2004	2005	2006
First Phase:sheets/day	31	50	100	150	150
First Phase:sheets/year	7,440	12,000	24,000	24,000	24,000
:lines	1	1	1	1	1
Second Phase:sheets/day	0	0	10	100	300
Second Phase:sheets/year	0	0	2,400	24,000	72,000
:lines	0	0	1	1	1

sheet:360 × 470mm<sup>2</sup>

First Phase: As deposited & Laser Annealed Poly-Si

Second Phase: As deposited Poly-Si

### 4 ) 売上計画

#### Price and Sales

\$=¥105

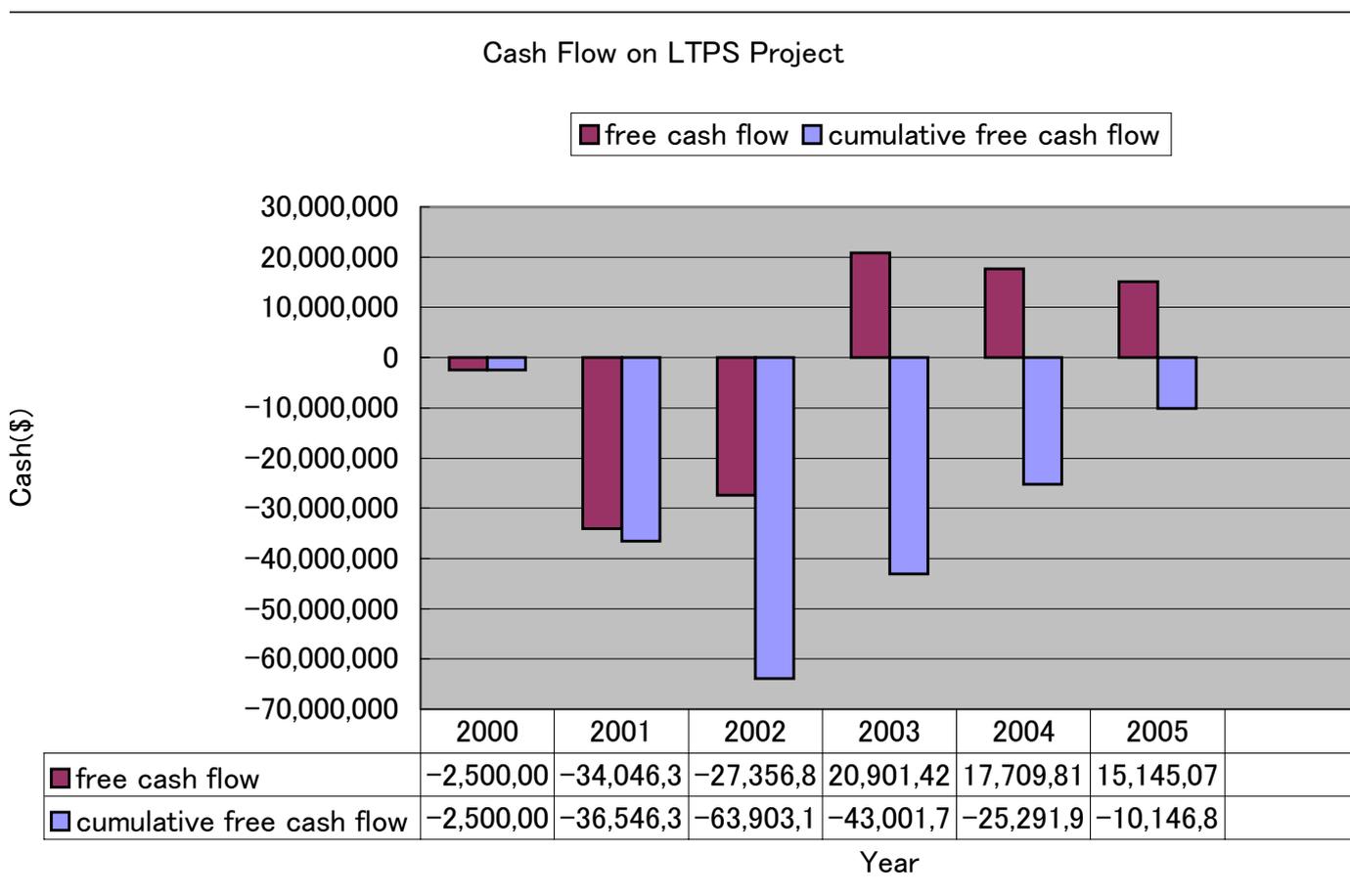
Year		2002	2003	2004	2005	2006
Phase I	Yen/cm2	180	150	120	100	100
	Yen/sheet	304,560	253,800	203,040	169,200	169,200
	sales(Yen)	2,265,926,400	3,045,600,000	4,872,960,000	4,060,800,000	4,060,800,000
	sales(\$)	21,580,251	29,005,714	46,409,143	38,674,286	38,674,286
Phase II	Yen/cm2	50	45	40	35	35
	Yen/sheet	84,600	76,140	67,680	59,220	59,220
	sales(Yen)	0	0	162,432,000	1,421,280,000	4,263,840,000
	sales(\$)	0	0	1,546,971	13,536,000	40,608,000
Total Sales a year(Yen)		2,265,926,400	3,045,600,000	5,035,392,000	5,482,080,000	8,324,640,000
Total Sales a year(\$)		21,580,251	29,005,714	47,956,114	52,210,286	79,282,286

## 5 ) キャッシュフロー計画

### Cash Flow(\$)

	2000	2001	2002	2003	2004	2005
R&D	2,500,000					
fixed investment	0	40,000,000	50,000,000	0	0	0
working capital inclement	0	4,046,300	2,751,917	1,350,000	5,529,214	6,345,000
depreciation	0	10,000,000	20,000,000	15,000,000	11,250,000	8,437,500
sales	0	0	21,580,251	29,005,714	47,956,114	52,210,286
profit	0	0	5,395,063	7,251,429	11,989,029	13,052,571
free cash flow	-2,500,000	-34,046,300	-27,356,854	20,901,429	17,709,815	15,145,071
cumulative free cash flow	-2,500,000	-36,546,300	-63,903,154	-43,001,726	-25,291,911	-10,146,840

Profit margin 25%



### 第3章 結論

技術的基礎研究から始まり、新技術概念の創出、それに基づく装置の発明開発、そしてそれを実用化し起業とするための経営・産業論的研究を経て新会社、株式会社クリスタージュの発足に至ったのであるが、この道程を通じて一つのこだわりがある。それはどの段階においても起業化への志向が背後に存在する。言い換えれば、その志向あって生まれた基礎技術研究であり、装置開発であり、そして経営論的研究であった。

本研究は工学的色彩の強いものであるが、そうした意味において起業工学と称される分野にカテゴライズされるべきものであるのかも知れない。

#### 株式会社クリスタージュの発足

クリスタージュの基本的戦略は図2・2・7に示すように国際スタートアップである。台湾のLCDメーカーと提携し技術供与をし、製品の提供を受け、顧客にはニーズに応じたソリューションを提供することが骨子である。

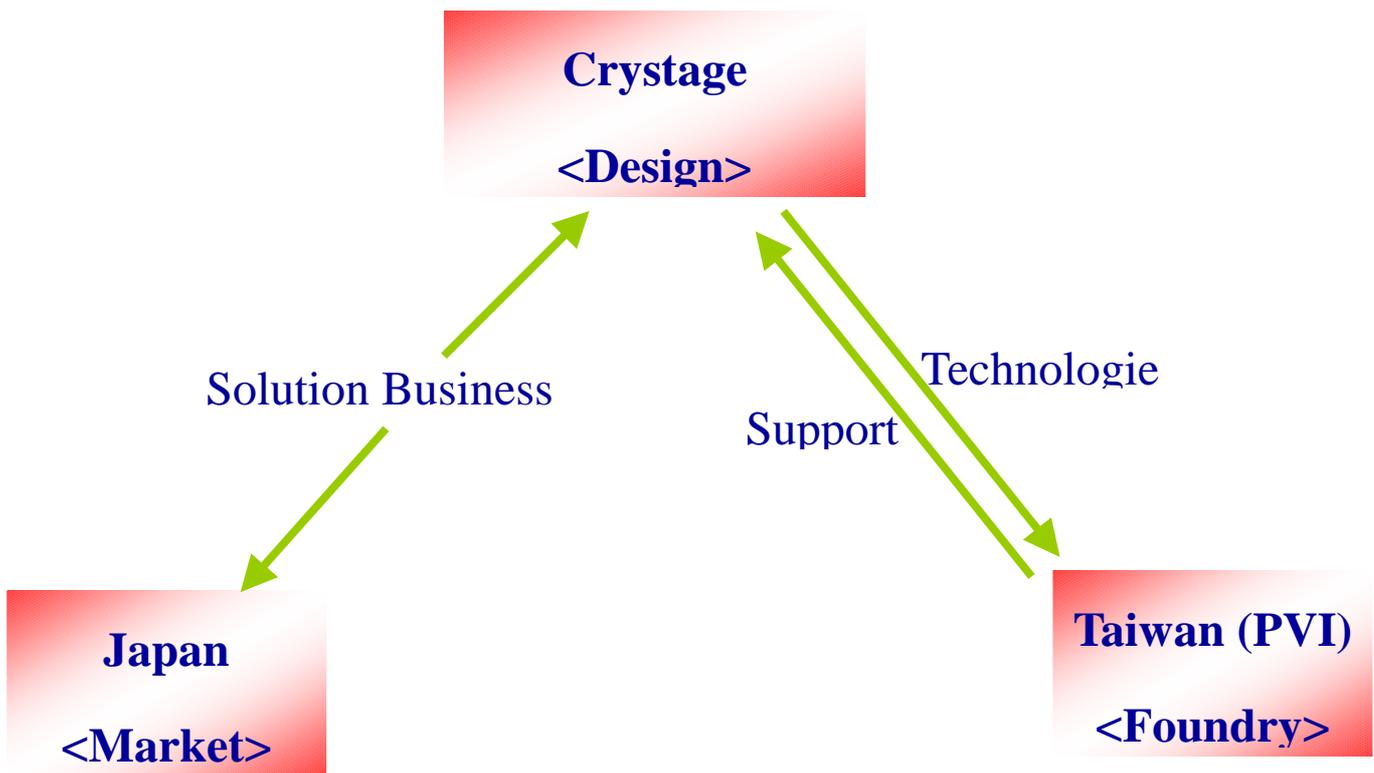


図2・2・7(株)クリスタージュのビジネスフォーメーション

そして図2・2・8にビジネスモデルを示した。すなわちIPを中心にモジュールデザインおよびパネルデザインを手がけ、モジュール生産およびテスト工程のほう包含へとビジネスを拡大して行きたいと考えている。

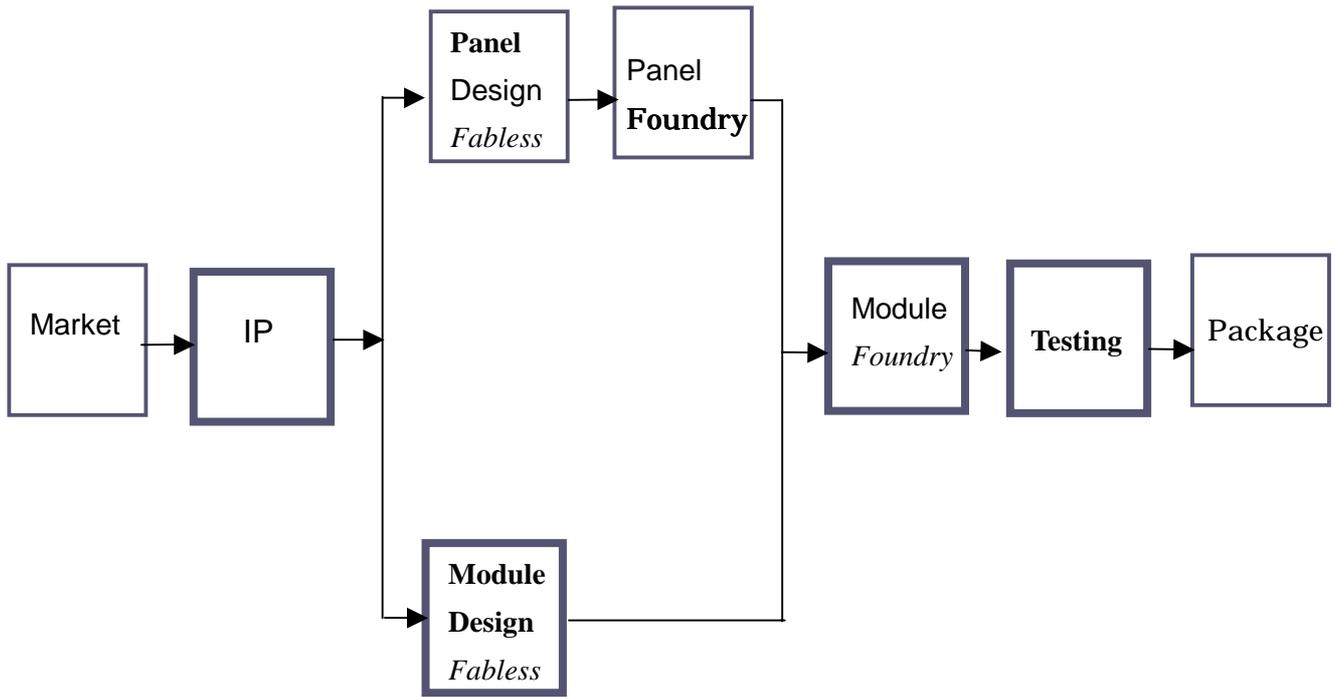


図 2・2・8 クリスタージュの描くビジネスモデル

## 参 考 文 献

- 1 ) R.H.Dennard, et al., IEEE J.of Solid-State Circuits SC-9, 5,256(1974)
- 2 ) S.M.Sze, *Semiconductor Devices, Physics and Technology*, John Wiley & Sons(1985)
- 3) R.O.Schwener, E.S.Pan and R.F.Lever, J.Appl.Phys.42, 3195(1971)
- 4) R.B.Fair and G.R.Weber, J.Appl.Phys.44, 273(1973)
- 5) L.Csepregi, J.W.Mayer and T.W.Sigmon, Phys.Lett.A54, 157(1975)
- 6) J.S.Williams, R.G.Elliman, W.L.Brown and T.E.Seidel, Phys.Rev.Lett.55, 1482(1985)
- 7) L.Csepregi, E.F.Kennedy, T.J.Gallagher, J.W.Mayer and T.W.Sigmon, J.Appl.Phys.48, 4234(1977)
- 8) S.U.Campisano, Appl.Phys.A29, 147(1982)
- 9) E.Nygren, M.J.Aziz, D.Turnbull, J.M.Poate, D.C.Jacobson and R.Hull, Appl.Phys.Lett.47, 232(1985)
- 10) E.F.Kennedy, L.Csepregi, J.W.Mayer and T.W.Sgmon, J.Appl.Phys.48, 4241(1977)
- 11) M.Tamura and M.Horiuchi, Extended Abst.of the 19<sup>th</sup> Conf.on Solid State Devices and Materials, Tokyo, 507(1987)
- 12) M.Akiyama Y.Kawarada and K.Kaminishi, Jpn.J.Appl.Phys.23, L843(1984)
- 13) K.Nishi et al., Jpn.J.Appl.Phys.24, L391(1985)
- 14) K.Ishida et al., Jpn.J.Appl.Phys.25, L288(1986)
- 15) 石田宏一 日本學術振興会第 125・145 委員会合同研究会試料, 7 頁 12 月 12 日( 1986 )
- 16) R.Fisher, W.T.Masselink, J.Klem, T.C.McGlenn, M.V.Klein, H.Morko and J.Washburn, J.Appl.Phys.58, 374(1985)
- 17) J.M.Brown, N.Holonyak Jr. and R.W.Kaliski, Appl.Phys.Lett.44, 1158(1984)
- 18) I.J.Fritz, S.T.Picraux, L.R.Dawson and T.J.Drummond, Appl.Phys.Lett.46, 967(1985)
- 19) C.Choi, N.Otsuka, G.Munns, R.Houdre, H.Morko, S.L.Zhang, D.Levi and M.V.Klein, Appl.Phys.Lett.50, 992(1987)
- 20) J.W.Matthews et al., J.Cryst.Growth 27, 118(1974)
- 21) Tatsuo Morita, M.Furukawa, M.Shimizu, Y.Nakajima, T.Sakurai, Appl.Phys.Lett.55(15), 9(1989)
- 22) Y.Kubii, M.Tabe, and K.Kajiyama, J.Appl.Phys.54, 2847(1983)
- 23) M.Moniwa, K.Kusukawa, E.Murakami, T.Warabisako, and M.Miyao, Appl.Phys.Lett.52, 23(1988)
- 24) W.A.Johnson, and R.F.Mehl, Trans.AIME135, 416(1939)
- 25) M.Avrani, J.Chem.Phys.9, 177(1941)
- 26) 森田、井沢、月刊 LCD Intelligence,64(1996 年 2 月)
- 27) Y.Morimoto, K.Hirano, H.Abe, T.Kuwabara, I.Hasegawa, S.Yuda, N.Sotani and

K. Yoneda, IEDM'95

- 28) T.Morita, Y.Yamamoto, M.Itoh, H.Yoneda, Y.Yamane, S.Tsutimoto, F.Funada and K.Awane, IEDM'95
- 29) A.Mimura, N. Konishi, K.Ono, J.Ohwada, Y.Hosokawa, Y.Ono, T.Suzuki, K.Miyata and H.Kawakami, IEEE Trans.ED.36,351(1989)
- 30) E.Ohono, A.Yoshinouchi, T.Hosoda, M.Itoh, T.Morita, S.Tsuchimoto, Ext. Abst. of the 1993 Int.Conf.on SSDM, Chiba, 425(1993)
- 31) Y.Nishi et.al., Jpn.J.Appl.Phys.31, 4570(1992)
- 32) S.Suyama, A.Okamoto and T.Serikawa, IEEE Trans ED.34, 2124(1987)
- 33) C.F.Yeh, S.S.Lin, T.Z.Yang, C.L.Chen and Y.C.Yang, IEEE Trans.ED.41, 173(1994)
- 34) C.F.Yeh, S.S.Lin, C.Lin.Fan, IEEE EDL16, 473(1995)
- 35) G.G.Fountain, R.A.Rudder, S.V. Hattangady, R.J.Markunas, P.S.Lindorme, J.Appl.Phys.63, 4744(1988)
- 36) S.V.Hattangady, G.G.Fountain, R.G.Alley, R.A.Rudder and R.J.Markunas, J.Vac.Sci.Technol.A9(3), 1094 May/June(1991)
- 37) G.Lucovsky, P.D.Richard, D.V.Tsu, S.Y.Lin, R.J.Markunas, J.Vac.Sci.Tech., AVS Ntl. Symp., Baltimore, MD, 1985
- 38) M.Sekiya, M.Hara, N.Sano, A.Kohno, T.Sameshima, IEEE EDL 15, 69(1994)
- 39) 菅井, 応用物理 63 , 1297(1994)
- 40) P.G.Le Comber, W.E.Spear and A.Ghaith, Electronics Lett.15, 179(1979)
- 41) T.Morita, S.Tsuchimoto, N.Hashizume, Mat.Res.Soc.Symp.Proc.345, 71(1994)
- 42) Y.Aoki, et al., SID'99 DIGEST, 176(1999)
- 43) Y.Hanazawa, et al., Euro Disply'99, 369(1999)
- 44) G.Rajeswaran, et al., SID'00, 974(2000)
- 45) E.Ohno, A.Yoshinouchi, T.Hosoda, M.Itoh, T.Morita, S.Tsuchimoto, Jpn.J.Appl.Phys.33, 635(1994)
- 46) 芳之内、伊藤、森田、土本、電気情報通信学会誌、ED92-39、SDM92-20、5(1992)
- 47) J.I.Pankove, P.J.Zazucchi, C.W.Magee, G.Lucovsky, Appl.Phys.Lett.46,421(1985)
- 48) N.M.Johnson, Phys.Rev.B31, 5525(1985)
- 49) G.Lucovsky, D.V.Tsu, R.J.Markunas, *Formation of Thin Films by Remote Plasma-Enhanced Chemical Vapor Deposition*, Plasma-Based Processes, Chapter 17, Noyes Publications, Park Ridge, NJ. 343

## 研究業績

### ・学会論文

- 1) Dislocations in In<sub>0.1</sub>Ga<sub>0.9</sub>As/GaAs multilayers epitaxially grown on Si substrates  
Tatsuo Morita, M.Furukawa, M.Shimizu, Y.Nakajima and T.Sakurai Appl. Phys. Lett. 55(15), 9 Oct. pp.1567-1568, 1989
- 2) In Situ Ellipsometric Monitoring of the Growth of Polycrystalline Silicon Thin Films by RF Plasma Chemical Vapor Deposition  
K. Tachibana, T. Shirafuji, Y. Hayashi, S. Maekawa, T. Morita Jpn. J. Appl. Phys. 33, pp.4191-4194, 1994
- 3) Fabrication of Self-Aligned Aluminum Gate Polysilicon Thin-film Transistors Using Low-Temperature Crystallization Process  
E. Ohno, A. Yoshinouchi, T. Hosoda, M. Itoh, T. Morita, S. Tsuchimoto Jpn. J. Appl. Phys., 33, pp.635-638, 1994)
- 4) SiC 単結晶粒のエレクトロンチャンネルリングパターンによる評価  
森田、猪奥、木場、桜井  
日本結晶学会誌(国際結晶成長学会予稿集)1979
- 5) イオンビーム法を用いた低温プロセスポリシリコン TFT  
芳之内、伊藤、森田、土本  
電気情報通信学会誌、ED92-39、SDM92-20、pp.5-10、1992

### ・その他

- 1) EPMA による薄膜の定量分析  
森田、井上、中嶋、中島、猪口  
シャープ技報、第 30 号、pp.29-33、1984
- 2) 最近の電子材料解析技術  
赤木、森田、中嶋  
シャープ技報、第 36 号、pp.7-16、1986
- 3) 軟X線分光法によるアモルファス材料の評価  
朝比奈、森田、中嶋  
シャープ技報、第 36 号、pp.47-50、1986
- 4) TiO<sub>2</sub> 超微粒子の合成  
上西、菰口、森田、中嶋  
シャープ技報、第 38 号、pp.13-17、1987

- 5) Al・透明導電膜(ITO)・電解液系における電気化学的反応とその制御  
西野、豊吉、陣田、垂井、伊藤、**森田**、土本  
ジャーナル技報、第 44 号、pp.31-36、1990
- 6) 低温 poly-Si ゲート絶縁膜形成技術・TEOS SiO<sub>2</sub> 膜の評価  
井沢、**森田** 月刊 LCD Intelligence 2, pp.64-66, 1992

## 学会講演

- 1) SOS 方式による高耐圧 C/MOS  
**森田**、奥野、橋本、佐藤、栗根 第 25 回応用物理学関係連合講演会予稿集、p.3、1978
- 2) 低温固相反応によるアモルファス Si の結晶化  
**森田**、宮嶋、工藤、木場 第 43 回応用物理学関係講演会予稿集、p.363、1982
- 3) 軟 X 線分光法による a-Si<sub>x</sub>C<sub>1-x</sub>(H) の評価  
**森田**、朝比奈、中嶋 第 46 回応用物理学学会学術講演会予稿集、p.731、1985
- 4) Si 基板上への GaAs 成長(Ⅱ) 転位密度評価  
清水、水木、江夏、橋本、菅原、桜井、**森田**、中嶋  
第 47 回応用物理学学会学術講演会予稿集、p.805、1986
- 5) 二酸化チタン超微粒子の研究(Ⅰ)  
菰口、**森田**、中嶋  
第 47 回応用物理学学会学術講演会予稿集、p.408、1986
- 6) GaAs/Si ヘテロ成長における転位の低減  
水木、清水、江夏、古川、**森田**、中嶋、桜井  
第 48 回応用物理学学会学術講演会予稿集(第 3 分冊)、p.906、1987
- 7) 二酸化チタン超微粒子の研究(Ⅱ) 超微粒子膜  
上西、菰口、**森田**、中嶋  
第 34 回応用物理学関係連合講演会予稿集(第 1 分冊)、p.82、1987
- 8) LDD 構造における結晶欠陥発生過程のその場観察  
大西、下田、田中、崎山、**森田**、中嶋  
第 49 回応用物理学学会学術講演会予稿集(第 2 分冊)、p.620、1988
- 9) スパッタ SiO<sub>2</sub> 膜の成膜条件とその評価  
藤原、中谷、垂井、**森田**、土本  
第 51 回応用物理学学会学術講演会予稿集(第 2 分冊)、p.566、1990
- 10) Structural Investigations on Poly-crystalline Silicon Films Prepared by Plasma Enhanced CVD  
Y. Akagi, Y. Nakamura, Y. Okamoto, **T. Morita**, Y. Kojima, M. Fujiwara, S. Tsuchimoto, M. Koba  
Ext. Abst. Of the 1991 Int. Conf. on SSDM, Yokohama, pp.727-728, 1991

- 11) サイドウォール絶縁体を有する新構造 Poly-Si TFT  
垂井、芳之内、**森田**、土本  
第 40 回応用物理学関係連合講演会予稿集(第 2 分冊)、p.632、1993
- 12) Si<sub>2</sub>H<sub>6</sub> を用いた LPCVD a-Si 膜の固相成長過程の観察  
中谷、田中、伊藤、**森田**、土本、白藤、林、橘  
第 40 回応用物理学関係連合講演会予稿集(第 2 分冊)、p.634、1993
- 13) SiN:H から Poly-Si への水素拡散の基板による差異  
矢追、勝冶、大野、芳之内、伊藤、**森田**、土本、岡本、赤木  
第 40 回応用物理学関係連合講演会予稿集(第 2 分冊)、p.635、1993
- 14) Fully-Selfaligned Al Gate Poly-silicon TFT LCD Driver Circuits  
E. Ohno, A. Yoshinouchi, T. Hosoda, M. Itoh, **T. Morita**, S. Tsuchimoto  
Ext. Abst. of the 1993 Int. Conf. on SSDM, Chiba, pp.425-427, 1993
- 15) ラジカル源を用いた Si の低温窒化 I. 分光法によるラジカル種の診断  
橘、佐藤、**森田**、中嶋  
第 54 回応用物理学学会学術講演会予稿集(第 1 分冊)、p.26、1993
- 16) Si<sub>2</sub>H<sub>6</sub> を用いた LPCVD a-Si 膜の固相成長過程の観察 II.  
田中、中谷、藤原、**森田**、土本  
第 41 回応用物理学関係連合講演会予稿集(第 2 分冊)、p.619、1994
- 17) 多結晶シリコン TFT のためのイオンビーム自己活性化法の検討  
織田、芳之内、**森田**、土本  
第 41 回応用物理学関係連合講演会予稿集(第 2 分冊)、p.732、1994
- 18) The Low Temperature Polysilicon TFT Technology for Manufacturing of Active Matrix Liquid Crystal Displays (Invited)  
**Tatsuo Morita**, S. Tsuchimoto, N. Hashizume    Mat. Res. Soc. Symp. Proc. **345**, pp.71-79, 1994
- 19) An overview of Active Matrix LCDs in business and technology (Invited)  
**Tatsuo Morita**  
AMLCD '95, Proc., Leigh High Univ., USA, 1995
- 20) VGA Driving with Low Temperature Processed Poly-Si TFTs  
**T. Morita**, Y. Yamamoto, M. Itoh, H. Yoneda, Y. Yamane, S. Tsuchimoto, F. Funada, K. Awane    IEDM '95, Proc.
- 21) Overview of LTPS Technology at Dawn of Industrialization (invited)  
**Tatsuo Morita**  
IEDMS'98 D1-1, pp.281-283, 1998

## 特許

- 1) 公開特許公報 昭 54-67386
- 2) 特願昭 59-101521
- 3) 特許公報 平 3-33778
- 4) US Patent 4,654,229
- 5) UK Patent GB 21708 22 B
- 6) US Patent 5,908,565
- 7) 特願平 7-112207
- 8) 特願平 11-197947
- 9) 特願 2000-324739

## 謝辞

本論文を結ぶにあたり、ご懇篤なるとご鞭撻を賜りました高知工科大学加納剛太教授に衷心より御礼の言葉を申し上げます。

本論文についてご親切なるご討論、ご教示を賜りました高知工科大学馬場教授、宮沢教授、河東田教授、大阪大学浜口教授に厚く御礼を申し上げます。

本研究の遂行に当たり、終始、ご指導とご鞭撻を賜りました高知工科大学水野博之副学長に深甚なる謝意を表します。

本研究の遂行に当たり共に長年、創造の喜びと苦しみを分かち合ってきた同僚伊藤政隆君、米国リサーチトライアングルインスティテュートの Dr. R.Markunas Dr.G.Fountain およびご協力いただいた方々に心より感謝いたします。

2002年3月

森田達夫