

## CMOSインバータの遅延時間と消費電力の改善

著者	原 央
雑誌名	高知工科大学紀要
巻	1
号	1
ページ	74-78
発行年	2004-03-31
URL	<a href="http://hdl.handle.net/10173/88">http://hdl.handle.net/10173/88</a>

# CMOS インバータの遅延時間と消費電力の改善

原 央

高知工科大学工学部  
〒782 - 8502 高知県香美郡土佐山田町宮ノ口185

E-mail:hara.hisashi@kochi-tech.ac.jp

**要約** : CMOS インバータにおける遅延時間、消費エネルギーの特性を改善するために、従来は固定値と考えられていた NMOS、PMOS のゲート閾値電圧を回路動作中に変動させる方法を提案する。入力の立上り時には、NMOS のゲート閾値電圧を浅くし、PMOS のゲート閾値電圧を深くする。入力の立下り時には、逆に NMOS のゲート閾値電圧を深くし、PMOS のゲート閾値電圧を浅くする。このようなゲート閾値電圧の制御により、遅延時間を小さくしながら、貫通電流を抑制して消費エネルギーを減少できる。このゲート閾値電圧の制御を実現するために、NMOS、PMOS の基板バイアス効果を利用する方法を提案し、簡単な回路を例示する。回路シミュレータを用いて改善度を評価する。

**Abstract** : The gate delay and the energy dissipation in a CMOS inverter are studied in this paper. A new method is presented of changing threshold voltages of MOS transistors dynamically in a active mode of the circuit. In the input rise, the NMOS threshold voltage is reduced and the PMOS threshold voltage is decreased. In the input fall, the NMOS and PMOS threshold voltages are changed in the reverse direction. The body effect is utilized to change the threshold voltages, and a simple circuit is proposed. The circuit simulator is used to validate this method.

## 1. まえがき

現在、民生、産業分野に流布する多くの電子機器は、CMOS LSI(Complementary MOS Large-Scale Integrated Circuit)が中心部品となって構成されている。CMOS LSI は、膨大な数の基本素子を用いて回路を構成し、すなわち大規模集積化により、機能を向上させてきた。この高度な機能を高速に実行するために回路の高速化も進めてきたが、並行して増大する消費電力を抑制することが CMOS LSI の基本的でもっとも重要な課題になっている。

回路の低消費電力化と高速化はトレードオフの関係にあり、現在も絶え間ない技術開発が進められている。ここでは、CMOS LSI を構成するもっとも基本的な回路、CMOS インバータを例にとり、低消費電力化と高速化の関係にもっとも強く影響を与える素子パラメータ、すなわち MOS トランジスタのゲート閾値電圧に着目して、これを回路動作中にダイナミックに変化させることでどのような改善が図れるか、設計面から検討する。

## 2. 遅延時間と消費エネルギーの解析

図1に示すCMOSインバータの回路において、入力電圧立上りと立下り時の遅延時間と消費エネルギーを、NMOS(N-Channel MOS)、PMOS(P-Channel MOS)のゲート閾値電圧( $V_{tn}$ 、 $V_{tp}$ )をパラメータとして計算する。

### 2.1 素子、回路パラメータ

計算に用いた代表的なパラメータの値を以下示す。

チャンネル長：0.5  $\mu\text{m}$

チャンネル幅：5  $\mu\text{m}$  (NMOS)、12.5  $\mu\text{m}$  (PMOS)

ゲート酸化膜厚：7.8 nm

負荷容量：0.039 pF (fanout=1に相当)

入力電圧の立上り、立下り時間：0.5 ns

電源電圧：1.5 V

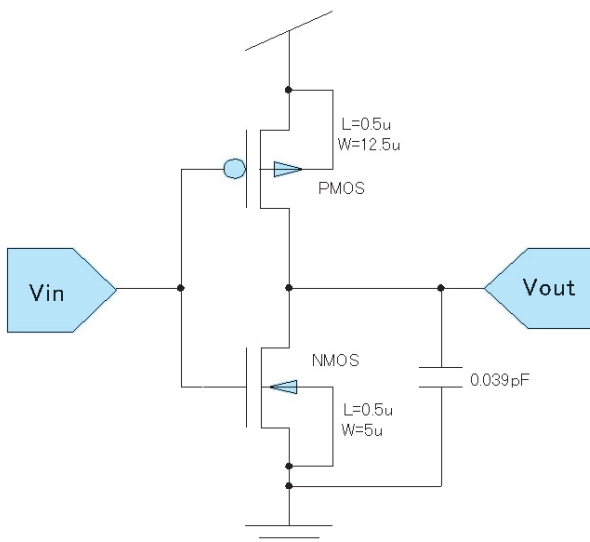


図1 CMOSインバータの回路

なお、半導体基板・ドレイン間のpn接合のキャパシタカップリング効果を除くために、NMOS、PMOSのドレイン領域の面積は零としている。

### 2.2 ゲート閾値電圧依存性

回路シミュレータ (T-Spice) を用いて図1の回路の過渡特性を、NMOS、PMOSのゲート閾値電圧 $\pm 0.1$ 、 $\pm 0.3$ 、 $\pm 0.5$  Vの場合について解析し、入力電圧に対する出力電圧の遅延時間 (各電圧の中間レベルで比較)、負荷容量の充放電

に対して支配的な役割を果たすMOSトランジスタ (入力電圧の立上りではNMOS、立下りではPMOS)の消費エネルギーをもとめた結果を表1、表2に示す。

表1、2の中の上の3例では、すなわちNMOS、PMOSのゲート閾値電圧が (符号を除いて) 等しく、0.1、0.3、0.5と増加すると、消費エネルギーは減少するが、遅延時間が増加することはよく知られていることである [1]、[2]。

表1 入力立上りの遅延時間と消費エネルギー

$V_{tn}$ [V]	$V_{tp}$ [V]	遅延時間 [ns]	NMOS消費エネルギー [fJ]
0.1	-0.1	0.123	83.1
0.3	-0.3	0.161	67.9
0.5	-0.5	0.221	63.5
0.1	-0.5	0.093	67.8

表2 入力立下りの遅延時間と消費エネルギー

$V_{tn}$ [V]	$V_{tp}$ [V]	遅延時間 [ns]	PMOS消費エネルギー [fJ]
0.1	-0.1	0.120	85.7
0.3	-0.3	0.159	67.4
0.5	-0.5	0.223	63.2
0.5	-0.1	0.089	68.0

ここで、入力立上りで、 $V_{tn} = 0.1$ 、 $V_{tp} = -0.5$ の場合について遅延時間、消費エネルギーをもとめた結果を表1の最下行に示している。遅延時間は $V_{tn} = 0.1$ 、 $V_{tp} = -0.1$ の場合よりさらに小さく、消費エネルギーは $V_{tn} = 0.3$ 、 $V_{tp} = -0.3$ の場合とほとんど等しいことが分る。 $V_{tn} = 0.1$ にすることでNMOSの負荷容量電荷を放電する能力の大きさを維持し、 $V_{tp} = -0.5$ にすることでPMOSを通過する電流 (すなわちCMOSの貫通電流)を減少させることによって、NMOSを通過する電荷量を下げて遅延時間を小さくし、消費エネルギーの増大も抑えている。

同様に入力立下りでは、 $V_{tn} = 0.5$ 、 $V_{tp} = -0.1$ の場合について遅延時間、消費エネルギーをもとめた結果を表2の最下行に示している。

遅延時間は  $V_{tn} = 0.1$ 、 $V_{tp} = -0.1$  の場合よりさらに小さく、消費エネルギーは  $V_{tn} = 0.3$ 、 $V_{tp} = -0.3$  の場合とほとんど等しいことが分る。 $V_{tp} = -0.1$  にすることで PMOS の負荷容量電荷を充電する能力の大きさを維持し、 $V_{tn} = 0.5$  にすることで NMOS を通過する電流（すなわち CMOS の貫通電流）を減少させることによって、PMOS を通過する充電電荷量を下げ遅延時間を小さくし、消費エネルギーの増大も抑えている。

ゲート閾値電圧の値を入力電圧の立上り時と立下り時で変える方法はまだ報告されていないが、ここでは、入力立上り時では  $V_{tn} = 0.1$ 、 $V_{tp} = -0.5$ 、入力立下り時では  $V_{tn} = 0.5$ 、 $V_{tp} = -0.1$  に変えられると仮定して、他の 3 例（NMOS、PMOS のゲート閾値電圧が  $\pm 0.1$ 、 $\pm 0.3$ 、 $\pm 0.5$  の場合）と比較した結果を表 3 に示す。表 3 では、遅延時間については入力立上り時と入力立下り時の平均値（表 1 と表 2 の値の平均値）、消費エネルギーについては入力立上り時と入力立下り時の合計値（表 1 と表 2 の値の合計値）を示している。

ゲート閾値電圧を回路動作中に自由に制御できれば、遅延時間と消費エネルギーの関係を大きく改善できることが分る。

表 3 平均遅延時間と合計消費エネルギー

$V_{tn}$ [V]	$V_{tp}$ [V]	平均遅延時間 [ns]	合計消費エネルギー [fJ]
0.1	-0.1	0.122	168.8
0.3	-0.3	0.160	135.3
0.5	-0.5	0.222	126.7
0.1	-0.5(R)	0.091	135.8
0.5	-0.1(F)		

### 2.3 ゲート閾値電圧の制御とその効果

ゲート閾値電圧は通常は固定値であり、入力電圧の立上りと立下りの非常に短い時間内で変化させる方法はまだ報告されていない。メモリなどでは、自己バイアス発生回路を稼働させて基板バイアス電圧を発生し、半導体チップ

全体あるいは一部の MOS トランジスタのゲート閾値電圧を変化させる方法が報告されている [3]、[4]。しかし、この方法で基板バイアス電圧を発生させるには数  $\mu s$  の時間を必要とし、本報告の目的には合わない。

ゲート閾値電圧を時々刻々と変化させるには、まず基板バイアス効果を利用する方法が考えられる。たとえば、基板バイアスが発生していない状態での NMOS、PMOS のゲート閾値を、

$$V_{tn} = 0.3, \quad V_{tp} = -0.3$$

に設定し、入力電圧の立上り時に  $V_{tn}$  を 0.1 の方向に、 $V_{tp}$  を  $-0.5$  の方向に変化させるには、NMOS、PMOS の基板に正のバイアス電圧を印加すればよい。

入力電圧の立下り時に  $V_{tn}$  を 0.5 の方向に、 $V_{tp}$  を  $-0.1$  の方向に変化させるには、NMOS、PMOS の基板に負のバイアス電圧を印加すればよい。すなわち、NMOS、PMOS の基板には、入力電圧の立上り、立下りの変化に対応した電圧を印加すればよい。図 2 に、回路の 1 例を示す。

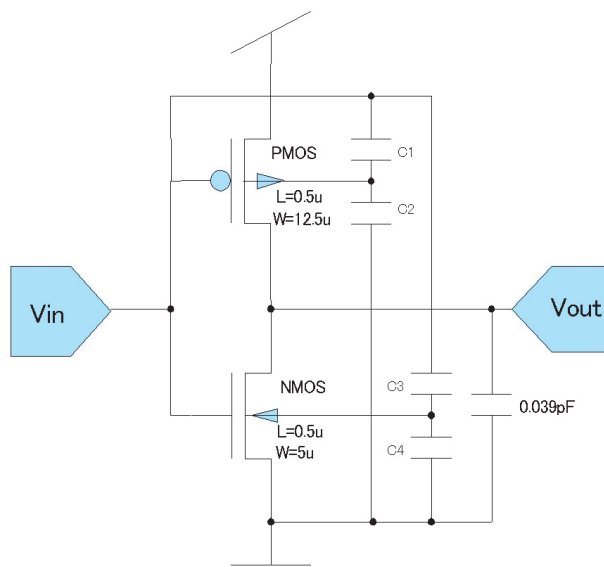


図 2 ゲート閾値電圧をダイナミックに変化させる回路例

入力と接地間を容量  $C_1$ 、 $C_2$  で分割し、その中間点を PMOS の基板に接続する。同様に  $C_3$ 、 $C_4$  の中間点を NMOS の基板に接続する。

ここで、 $C_1$  は PMOS のゲート容量の  $1/2$ 、 $C_3$

は NMOS のゲート容量の 1/2、 $C_2$  と  $C_4$  についてはそれぞれ  $C_1$  と  $C_3$  の 1/2（入力電圧の変化が基板電圧の変化として表れやすくするために）の値を用いることにする。すなわち、

$$C_1 = 0.014 \text{ pF} \quad C_2 = 0.007 \text{ pF}$$

$$C_3 = 0.0055 \text{ pF} \quad C_4 = 0.00275 \text{ pF}$$

を用いる。

$V_{tn} = 0.3$ 、 $V_{tp} = -0.3$  に固定した場合と図 2 の回路を用いた場合について、平均遅延時間、合計消費エネルギーを比較した例を、表 4、表 5 に示す。

表 4 ゲート閾値電圧変動による改善  
(入力立上り、立下り時間 0.5ns)

ゲート閾値電圧	平均遅延時間 [ns]	合計消費エネルギー [fJ]
固定	0.160	135.3
変動	0.137	141.4

表 5 ゲート閾値電圧変動による改善  
(入力立上り、立下り時間 1.0ns)

ゲート閾値電圧	平均遅延時間 [ns]	合計消費エネルギー [fJ]
固定	0.203	155.3
変動	0.157	160.5

表 4 は入力立上り、立下り時間が 0.5ns、表 5 は入力立上り、立下り時間が 1.0ns の場合である。表 3 の期待値には到達していません。平均遅延時間の改善度は不十分で、また合計消費エネルギーは増加しています。P・Td 積 ( $J \cdot s$ ) では、表 4 で 10.1%、表 5 で 20.1% の改善である。

入力立上り、立下り時間が増加すると改善度が向上する。これは、入力の変化が遅いと、NMOS と PMOS が同時に導通状態になる期間が長くなり、インバータの貫通電流が増加する。図 2 の回路は貫通電流を抑制するために効果があるからである。

図 2 に示す回路はもっとも単純な例であり、また  $C_1 \sim C_4$  の値も最適化されていない。図 2 の回路は SOI (Silicon on Insulator) 構造でよ

り効果を発揮すると考えられるので、今後、回路、素子パラメタ、デバイス構造を含めた検討が必要である。

### 3. むすび

CMOS インバータの貫通電流を抑制することにより、遅延時間、消費エネルギーの特性を改善することを検討した。このために、従来は固定値と考えられた NMOS、PMOS のゲート閾値電圧を回路動作中に変動させる方法を提案した。具体的には、入力の立上り時には NMOS、PMOS の基板電位を正の方向に変動させ、入力の立下り時には NMOS、PMOS の基板電位を負の方向に変動させることにより、両 MOS のゲート閾値電圧を制御する方法である。これを実現するための簡単な回路も提案した。現在の検討の段階では、消費エネルギー・遅延時間積で約 20% の改善にとどまっているが、回路構造、回路パラメタ、デバイス構造の見直しにより、いっそうの改善が期待できる。

### 謝辞

本研究は、文部科学省の平成 13 年度ハイテク・リサーチ・センター整備事業に採択された「情報流通メディア基盤技術の開発—高性能普及型ワイヤレス技術の開発—」の中で行われたものである。

### 文献

- [1] S. Dutta, S.S.M. Shetti and S.L. Lusky, "A Comprehensive Delay Model for CMOS Inverter," IEEE J. Solid-State Circuits, vol.30, No.8, pp.864-871, Aug. 1995
- [2] L. Bisdounis and O. Koufopavlou, "Short-Circuit Energy Dissipation Modeling for Submicrometer CMOS Gates," vol.47, No.9, pp.1350-1361, Sep. 2000
- [3] Y. Tsukikawa et al., "An Efficient Back-Bias Generator with Hybrid Pumping Circuit for

1.5V DRAMs," Symp. VLSI Cir. Dig. Tech  
Papers, pp.85-86, 1993  
[4]K-S.Min, K-W.Jin and J-B.Kim, "A High-  
Efficiency Back-Bias Generator with Cross-

Coupled Hybrid Pumping Circuit for sub-1.5  
V DRAM applications," Memories, European  
Solid-State Circuit Conference, Sweden, 19-21  
Sep. 2000