

# 埋め込みマルチポートレジスタファイルの スキャンパス構成による試験

矢野政顕

高知工科大学工学研究科基盤工学専攻  
〒 782-8502 高知県香美郡土佐山田町宮ノ口 185

E-mail:yano.seiken@kochi-tech.ac.jp

**要約**：スキャンパス構成による埋め込みメモリアレイの試験は、メモリセルやアドレスデコーダなどを通常の論理回路と同等に扱って縮退故障を検出できること、スキャン動作自身がメモリアレイの試験となっていることなどの長を有している。本論文では、スキャンパス構成をマルチポートレジスタファイルに適用して、ワード線やビット線の短絡故障を有効に検出できることを示す。

**Abstract** : Tests for embedded multi-port memory arrays through the scannable configuration can detect both stuck-at faults in memory cells and address decoders, and memory specific faults by the scan operation. This paper shows that the testing through the scannable configuration can be applied to multi-port register files and effectively detects bridging-faults between word-lines or bit-lines.

## 1. はじめに

スキャンパス方式は順序回路のテスト方法として広く採用されている [1-2]。スキャンパス方式では、試験対象の順序回路に含まれるフリップフロップを、テスト時にはシフトレジスタとして動作させ擬似的な入出力端子として扱えるため、順序回路を組み合わせ回路としてテストできる。組み合わせ回路に対するテストパターン生成は、順序回路に対するテストパターン生成よりも容易で深く研究されており、種々のテストパターン自動生成ツールが開発されている [3]。

メモリアレイを含む順序回路へのスキャンパス方式の適用についてはすでに提案されている [4]。このテスト方式の利点は、メモリセルやアドレスデコーダなどを通常の論理回路と同等に

扱い、縮退故障の検出が可能であること、スキャン動作自身がメモリアレイの試験となっていることなどである [5]。一方、マルチポートメモリアレイの故障検出においては、擬似リードアドレスを用いる手法も発表されている [6]。

本論文は、マルチポートレジスタファイルなどのメモリアレイにスキャン構成によるテスト方法を適用し、この方法がワード線やビット線の短絡故障検出に対しても有効であることを示すものである。まず対象とする回路構成とその故障について述べた後、マルチポートレジスタファイルへのスキャンパス構成の適用と、テストパターンについて説明する。

## 2. 対象とする回路と故障モデル

対象とするとするマルチポートレジスタファ

イルを図1に示す。この回路は、2つのリードアドレス入力 (RAA, RAB), ライトアドレス入力 (WA), データ入力 (WD), 2つのリードデータ出力 (RDa, RDb) を備えている。RAA と RAB をそれぞれデコードした RAa と RAb によってメモリセルを選択し、そのデータをそれぞれ RDa, RDb に出力する。

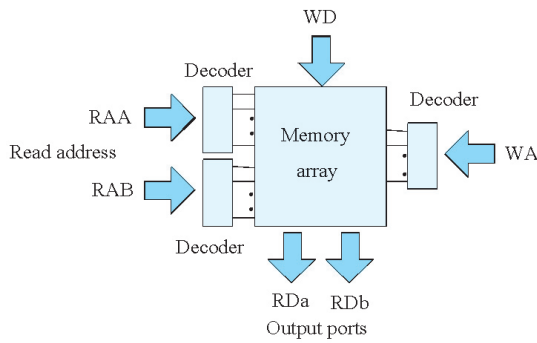


図1 回路構成

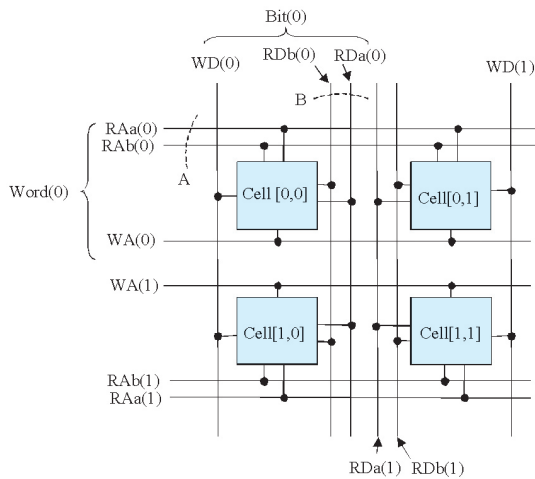


図2 対象とする短絡故障

メモリセルのレイアウトは図2のようにミラーイメージとなっている。mワードnビットのメモリアレイにおいて、ビット線はメモリアレイの左側から Bit(0), Bit(1), ....., Bit(n-1), ワード線は上から Word(0), Word(1), ....., Word(m-1) と配置されている。i 番目のワードを Word(i), j 番目のビットを Bit(j) とし、各ワード線を RAa(i), RAb(i), WA(i), 各ビット線を WD(j), RDa(j), RDb(j) とする。Word(i) と Bit(j) の交点に位置するメモリセルを Cell[i,j] とする。

図2には検出の対象とする短絡故障 A, B を示す。故障 A は同じワードのリードアドレス線短絡, 故障 B は同じビットのリードデータ線短絡である。短絡故障は1箇所であるものと仮定し、メモリセルはアドレス線の電位がハイレベルにあるとき選択されるものとする。

### 2.1 ワード線短絡

図2のAのようなワード線短絡の場合、2つの故障モードが考えられる。第1の故障は WSA (Word-line short assertion) であり、第2の故障は WSD (Word-line short de-assertion) である。

#### ・WSA 故障

WSA は、ワード線が短絡し、一方のリードアドレスが選択、他方が非選択であるとき、非選択のアドレス線が選択されたアドレス線の電位に引き上げられる故障である。非選択のリードアドレス線が選択状態になるので、ビット線上でメモリセルの出力が競合する。競合したデータは wired-AND, もしくは wired-OR された状態で出力されるものとする。

図2のワード線短絡 A は、Word(0), すなわち RAA(0) と RAb(0) の短絡であり、RAb(0) が選択、RAa(0) が非選択であると仮定する。短絡故障により RAA(0) の電位が RAb(0) の電位に引き上げられ、RAa(0) も Cell[0,0] と Cell[0,1] を選択する。リードポート A では RAA(1) が選択されている場合、データ線 RDa(0), RDa(1) 上で、RAa(1) で指定されるセル (Cell[1,0], Cell[1,1]) のデータと、RAa(0) で指定されるセル (Cell[0,0] と Cell[0,1]) のデータがそれぞれ競合する。

#### ・WSD 故障

WSD は、ワード線が短絡し、一方のリードアドレス線が選択、他方が非選択のとき、選択されたリードアドレス線の電位が非選択のリードアドレス線の電位に引き下げられる故障である。この場合、選択したリードアドレス線が非選択となるので、メモリセルの保持データを読み出せない。出力データの値はセルの内容に無

関係に非選択時の値（「1」または「0」）になる。

WSA と同様に図 2 の A のような Word(0) の短絡 (RAa(0) と RAb(0)) を考える。RAa(0) が選択, RAb(0) が非選択であると仮定すると, RAa(0) の電位は RAb(0) の電位に引き下げられ, RAa(0) は非選択となる。このため, RAa(0) で指定されるメモリセル (Cell[0,j], j=0,1,...,m-1) のデータを読み出せない。

## 2.2 ビット線短絡

ビット線短絡は, 同じビット線のリードデータ線 RDa(j) と RDb(j) の短絡である。図 2 のビット線短絡 B のように RDa(1) と RDb(1) が短絡している場合, RAa と RAb がどのアドレスを指定しても, 出力されるメモリセルのデータは競合する。RDa(1) と RDb(1) に出力されるデータは, 競合するメモリセルのデータを wired-AND もしくは wired-OR したものとなる。

## 3. スキャンパス構成によるメモリテスト

### 3.1 スキャンパス構成メモリテストの概要

まず, 読出しポートと書込みポートを各 1 つ備えた m ワード n ビットのメモリアレイを考える。このメモリアレイはテストデータ入出力用として SDI (Scan data input) と SDO (Scan data output), 制御用に SMC (Scan Mode Control) を備え, データの書込みはクロックに同期して行われる。また, 読出しは非同期とする。テスト時には, テスト用アドレス生成回路 (SAC : Scan Address Counter) の出力を読出しアドレスおよび書込みアドレスとして与えるものとする。

テストの手順を説明する。m × n のメモリアレイにおいて i 番目のワード線を Word(i) とし, テスト開始時には i=0 とする。Word(i) から読出されたデータのうち Cell[i,n-1] のデータを SDO から出力する。リードポートのデータを右へ 1 ビットシフトしたものを Cell[i,n-1] から Cell[i,1] までに, また SDI からのスキャン入力データを Cell[i,0] にクロックと同期して書き

込む。このとき, 同時に i をインクリメントする。この手順を i=m-1 となるまで繰り返す。以上の操作を n 回繰り返す。この手順に従って m × n クロックを供給すると, メモリアレイの全ビットが SDO から読み出されると同時に, SDI からのスキャンインデータがメモリアレイの全ビットに書き込まれる。

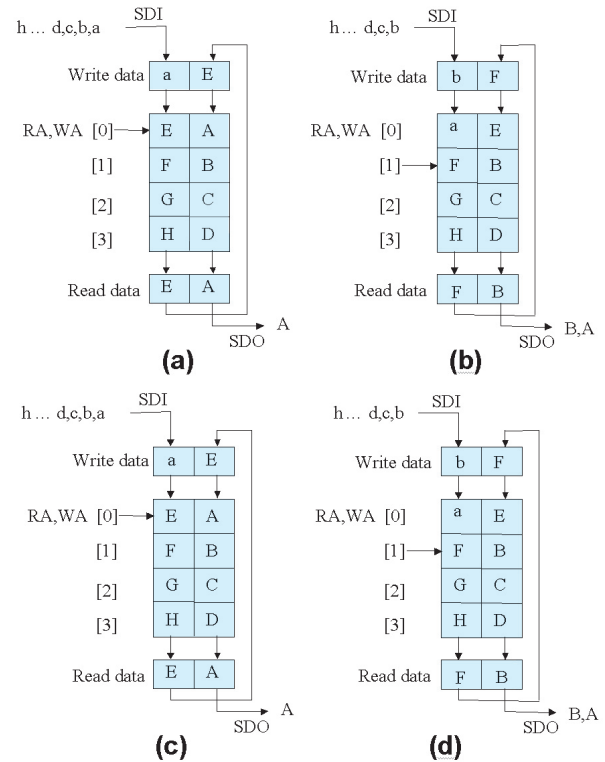


図 3 スキャンメモリテスト

例として 4 ワード 2 ビットのメモリアレイを用いて説明する。図 3(a),(b),(c),(d) はメモリアレイのスキャン動作を示している。初期状態ではメモリセルに A,B,C,...,H のデータが記憶されているものとする。「a,b,c,...,h」は SDI へのスキャン入力データを示している。

まず図 3(a) は初期状態であり, 選択されているアドレスは RA(0), WA(0) である。書込みデータはスキャン入力データ「a」と RA によって読み出されたデータ「E」である。また読出しデータ「A」は SDO へ出力される。クロックが入力されると, 書込みデータ「a」, 「E」はそれぞれ Cell[0,0], Cell[0,1] へ書込まれ, アドレス

カウンタはインクリメントされて、RA と WA はそれぞれ図 3(b) のようになる。

図 3(b) では図 3(a) と同様に、読出しデータは RA(1) で選択されたメモリセル (Cell[1,0] と Cell[1,1]) のデータ「F」, 「B」であり、SDO にはデータ「B」が出力される。さらにクロックが入力されると図 3(c) のようになる。図 3(c), 図 3(d) の動作は図 3(a), (b) と同様である。8クロックを入力すると、SDO には「A,B,C...,H」の順でデータが出力され、メモリアレイには「a,b,c...,h」の順でデータが入力される。以上のようにメモリアレイをシフトレジスタとして動作させられる。

### 3.2 マルチポートレジスタファイルへの適用

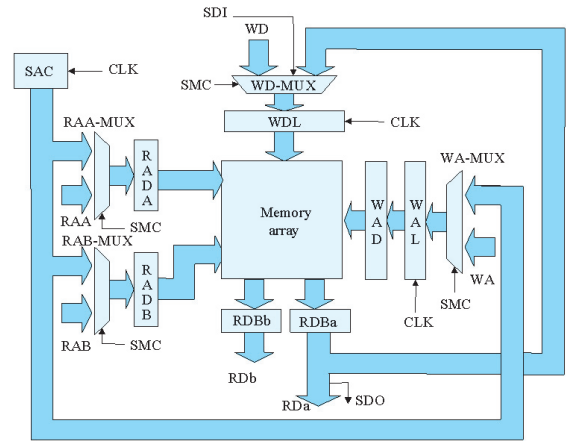
図 4 にマルチポートレジスタファイルのスキャン可能とする回路構成を示す。図 1 の回路にテスト用のアドレスおよびデータ選択用マルチプレクサ (RAA-MUX, RAB-MUX, WA-MUX, WD-MUX) と、テスト用アドレスカウンタ (SAC) を付加したものである。マルチプレクサ RAA-MUX, RAB-MUX, WA-MUX へ入力されたモード制御信号 (SMC) は、テスト時には SAC の出力を選択する。マルチプレクサ WD-MUX は、テスト時にはメモリへの入力データとして RDa と SDI を選択する。スキャンデータ出力 (SDO) は、RDa の最右端のビットである。

ここで RAB-MUX への SAC 入力、ワード線、ビット線短絡を検出するため、最下位から 2 番目のビットを反転させて入力する。このアドレスを擬似スキャンアドレス (Pseudo Scan Address : PSA) とする。RAA-MUX と WA-MUX によって選択される SAC の出力を SA (Scan Address) とすると、PSA は、

$$PSA = SA + (-1)^{\lfloor \frac{SA}{2} \rfloor} \cdot 2 \quad (1)$$

で表される。したがって SA と PSA は同じワード線を選択しない。また (1) 式においてワード長が 4 以下の場合、PSA ですべてのワード線を

選択できないのでワード長は 4 以上とする。



RADA : read address decoder A	RAA-MUX : read address A multiplexer
RADB : read address decoder B	RAB-MUX : read address B multiplexer
WAD : write address decoder	WD-MUX : write data multiplexer
WAL : write address latch	WA-MUX : write address multiplexer
WDL : write data latch	WD : write data
RDBa : read data buffer a	WA : write address
RDBb : read data buffer b	SAC : scan address counter
RDa : read data a	SDI : scan data input
RDb : read data b	SDO : scan data output
RAA : read address A	SMC : scan mode control
RAB : read address B	CLK : clock

図 4 スキャン可能なマルチポートレジスタファイル

## 4. テストパターン

WSA 故障の場合、PSA が短絡アドレスを指定したとき、A ポートでは SA と PSA で指定される二つのアドレスが選択状態になるため、短絡故障を検出できる。すなわち、両アドレスで指定されるセルに異なるデータを書き込んでおけば、二つのデータが wired-AND または wired-OR された結果が期待値と異なるため、故障を検出できる。

4ワード2ビットのメモリアレイを例にとると、WSA のテストパターンは図 5 のようになる。図 5(a)(b) はそれぞれ wired-AND の場合と wired-OR の場合のパターンであり、(i) は Word(0) または Word(1) の短絡の場合、(ii) は Word(2) または Word(3) の短絡の場合のテストパターンである。また図の「1」「0」は、メモリアレイの論理値であり、「\*」は Don't care を表す。

例えば、図 5(a) の Word(0) 短絡 (RAa(0) と RAb(0)) 検出のテストパターン (i) は、メモリア

レイのシフト動作とともにSDIから「\*」「\*」「1」「1」「0」「0」「\*」「\*」の順に入力されることを示している。

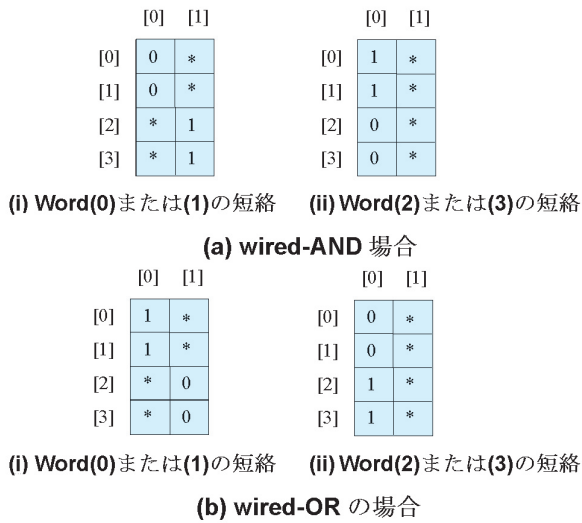


図5 WSA 検出パターン

図6に競合するデータが wired-AND で出力される場合のスキャン出力を示す。図6(a)は初期状態を表し、(b)はスキャンデータ「\*」「\*」「1」「1」を入力した状態を表す。(c)はWord(0)にスキャンデータ「0」を入力し、SAがインクリメントされた状態である。同様に、(d)はWord(1)にスキャンデータ「0」を入力し、SAがインクリメントされた状態である。このときWord(0)に短絡故障が存在すると、PSAがWord(0)を指定しているので、リードポートAではWord(0)も選択される。この結果、Word(0)とWord(2)のメモリデータである「0」「1」が競合し、wired-ANDされた結果が出力される。このため、Bit(1)への書き込みデータが本来の「1」から「0」になる。図6(e)は、その「0」が書き込まれ、SAがインクリメントされた状態である。

また、Word(1)に短絡故障が存在する場合、Word(1)とWord(3)のメモリデータである「0」「1」が競合し、図6(f)のように、wired-ANDされた結果の「0」が書き込まれる。

Word(2), Word(3)の短絡については図5(a)のパターン(ii)となる。パターン(i)と(ii)の違い

は、PSAとSAの前後関係によるものである。

wired-ORで出力される場合は図5(b)のようになる。図5(b)のパターンは、図5(a)と「1」「0」の値が反転している。また、図5(a), (b)のWord(2), Word(3)短絡の検出パターン(ii)は、Bit(0)の列に「1」「0」の値があるが、これはBit(1)にあっても良い。

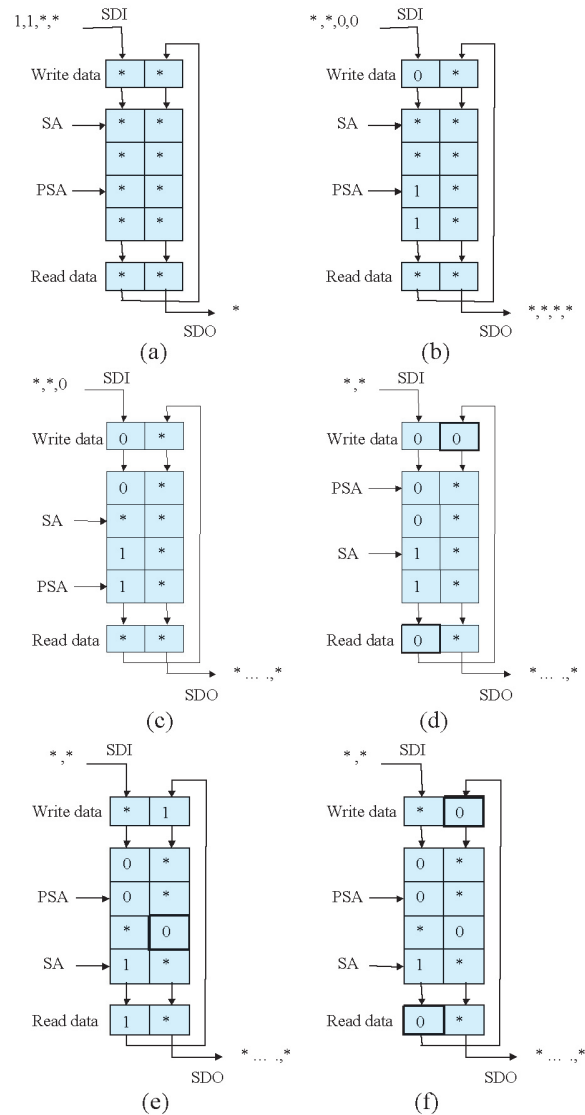


図6 WSA の検出例

前述のテストパターンをまとめると、図7のように16ビットのパターンになる。図7のパターンが他の故障、すなわちWSD故障とビット線短絡故障に有効かどうか考察する。WSAではPSAが短絡箇所を指定したとき故障検出できるのに対して、WSDでは逆にSAが短絡箇所を指定したときに故障検出できる。WSD

では出力が「1」または「0」に固定されるため、WSD 検出のテストパターンは、各ワード線で選択されるセルに「1」と「0」の値が含まれるものであればよい。図7のパターンは Word(0)～Word(3)に「0,0,1,1,」,「1,1,0,0,」のように「1」と「0」が含まれているので、WSD を検出できる。

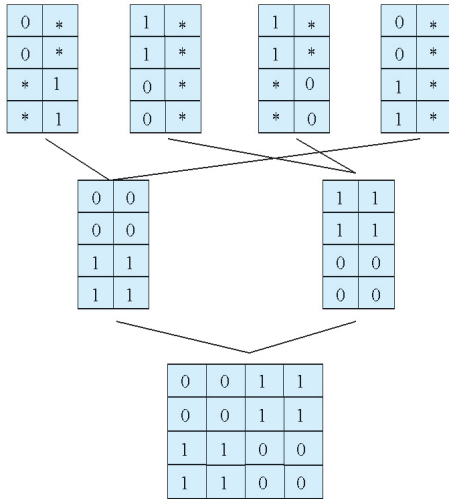


図7 4ワードの場合の短絡故障検出パターン

ビット線短絡の場合は、SA と PSA が異なるワード線を指定する限り、短絡ビット線の出力は競合し、読み出しデータは wired-AND, wired-OR のいずれかの論理的な振る舞いをする。したがって SA と PSA が指定するワード線のメモリセルのデータに「1」「0」と「0」「1」のパターンがあればビット線短絡を検出できる。wired-AND の場合、スキャン出力データは常に「0」となり、wired-OR の場合は逆に「1」となる。図7のテストパターンはこれらの条件を満たしているので、ワード線短絡とビット線短絡を検出できる。

0	0	1	1
0	0	1	1
1	1	0	0
1	1	0	0
0	0	1	1
0	0	1	1
1	1	0	0
1	1	0	0

図8 8ワードの場合の短絡故障検出パターン

前述の例は4ワードの場合のテストパターンであるが、メモリアレイのワード数が4の倍数である場合は、図7のテストパターンを単純に繰り返せば良い。例えば、8ワードのメモリアレイの場合のテストパターンは図8のようになる。したがって、スキャンパス構成によるテスト方法は、一般的なマルチポートレジスタファイルのワード線、ビット線の短絡故障検出にも有効である。

## 5. まとめ

スキャンパス構成を用いた埋め込みマルチポートレジスタファイルの試験手法とテストパターンについて述べ、この方法がワード線、ビット線の短絡故障に対して有効であることを示した。課題点としては、スキャンパス構成の適用によるハードウェアオーバーヘッドと性能への影響の評価、さらにポート数が増加した場合への対応などが挙げられる。

本研究は、文部科学省の平成13年度「ハイテク・リサーチ・センター整備事業」に採択された「情報流通メディア基盤技術の開発－高性能普及型ワイヤレス技術の開発」の中で行われたものである。

## 参考文献

- [1] H. Fujiwara "Logic Testing and Design for Testability", The MIT Press, 1985
- [2] Minon Abramovici, Melvin A. Breuer, and Arthur D. Friedman "DIGITAL SYSTEMS TESTING AND TESTABLE DESIGN", IEEE Press, 1990
- [3] Rochit Rajsuman "System-on-a-Chip: Design and Test", Artrech House, 2000
- [4] 矢野政顕, 石浦菜岐佐 "メモリアレイを含む順序回路へのスキャンパス方式適用", 電子情報通信学会論文誌 D-1, Vol. J79-D-I No.12

pp.1055-1062, Dec. 1996

[5] S. Yano and N. Ishiura, "Embedded Memory Array Testing Using a Scannable Configuration", IEICE Trans. Fundamentals,

Vol. E80-A, No.10, pp.1934-1944, Oct. 1997

[6] Yuejian Wu, and Sanjay Gupta, "Built-In Self-Test for Multi-Port RAMs", Proc. of the 6th Asian Test Symposium, pp.398-403, Nov. 1997