

LSI 開発、設計教育、及び、システム技術研究

橘 昌良

高知工科大学工学部 電子・光システム工学科
〒 782-8502 高知県香美郡土佐山田町宮ノ口 185

E-mail : tachibana.masayoshi@kochi-tech.ac.jp

要約 : 本報告では、電子・光システム工学科において行っている LSI 試作の状況について報告するとともに、大学における LSI の設計教育および研究について論じる。通常、LSI 試作を行うためには製造装置や設計ツールの維持、管理、および、運用に多大な経費が必要となり、これらの経費を大学単独でまかなうのは現実的でなく、事実上不可能である。そこで、当学科では VDEC (大規模集積システム設計教育センター) を利用して、LSI 設計、試作を行っている。

Abstract : Present status of LSI design and prototyping in the Dept. of Electronic and Photonic Systems Engineering is reported. The way to research and educating LSI design is also discussed. Because of enormous expense is needed to managing and maintaining the fabrication facility and design tools of LSI, it is almost impossible to prototyping LSI in university alone. We use VDEC (VLSI Design and Education Center) to overcome these difficulties.

1. はじめに

電子・光システム工学科では、2002 年度より LSI の設計および試作を行っている。本報告では、この試作の状況について報告するとともに、大学における LSI の設計教育および研究に関して論じる。

通常、LSI 試作を行うためには製造装置の維持、管理、および、運用に多大な経費が必要となる。また、設計のためのツール (ソフトウェア) も高価であり、これらの経費を大学単独でまかなうのは現実的でなく、事実上不可能である。そこで、当学科では VDEC (大規模集積システム設計教育センター) を利用して、LSI 設計、試作を行っている。

VDEC により提供される設計ツールと協力企業に生産ラインによる試作によりきわめて安価での LSI 試作が可能となる。このため、研究を目的とした LSI の試作だけでなく、教育を目的とした設計および試作が比較的容易に出来るようになった。当学科では研究室に設置した EWS 上に数々の設計自動化のツールをインストールし、LSI の設計 / 開発を行っている。(図 1)



図1 EWSを使用した設計

2. 設計事例

以下に2004年度行った3種類のチップの設計／試作事例について説明する。いずれのチップもVDECを利用してRohm 0.35 μm でチップサイズ2.4mm角として試作された。事例1と事例2はLSIのパターン設計に関する知識の取得もかねているため、必要最小限のツールのみでパターンを手書きしたが、事例3では設計自動化のためのツールを最大限活用して設計を行った。

2.1 事例1：素子特性測定実験のためのテストチップ⁽¹⁾

リーク電流と雑音に関する基本特性を確認することを目的として、大きさと構造の異なるMOSキャパシタ、ゲート・コントロールド・ダイオードをN領域と基板上に配置してある。更に、雑音特性を考慮したCMOSインバータの設計を行うと共に、アナログ増幅器の特性を評価するための回路、学生実験用にチャンネル長の異なる(0.35 μm ～10 μm) CMOSインバータのパターンを作成した。(図2、3)学部4年生2名による設計で、パターン描画のためのツールのみを使用して、手書きで設計を行った。設計期間は約2ヶ月である。

図3においてパターンが虹色に見えるのはパターンの間隔が小さいために光が干渉しているためである。また、パターンの最小間隔は可視光の波長よりも短いため、光学顕微鏡では見ることが出来ない。

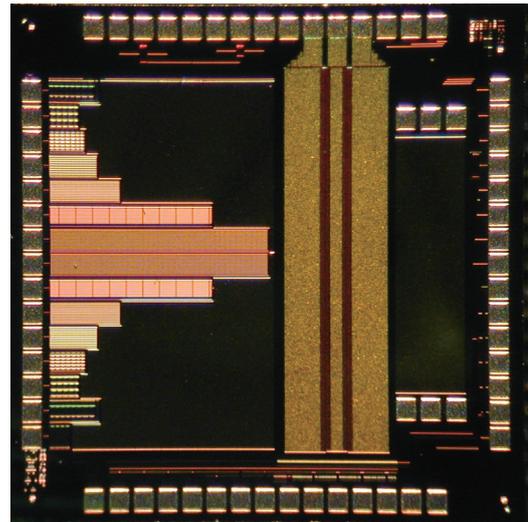


図2 素子特性測定実験のためのテストチップ(全体写真)

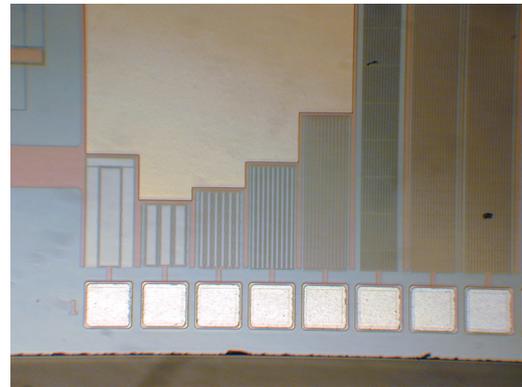


図3 素子特性測定実験のためのテストチップ(部分を拡大)

2.2 事例2：高速乗算器の試作

回路形式の異なる3種類の8×8乗算器から構成されるチップである。乗算器はブースのデコーダと部分積生成回路にトランSMissionゲートを用いた構成とNAND/NORゲート回路のみを用いた構成について、遅延時間、消費電力、面積を比較検討できるように設計されている。使用されているトランジスタ/ゲートは乗算器のために設計されたものである。パターンは、回路の配置配線については自動化ツールを使用せず、パターン描画のためのツールのみを使用して、手書きで設計を行った。学部4年1名と修士課程1年1名による設計。設計期間は約2ヶ月である。

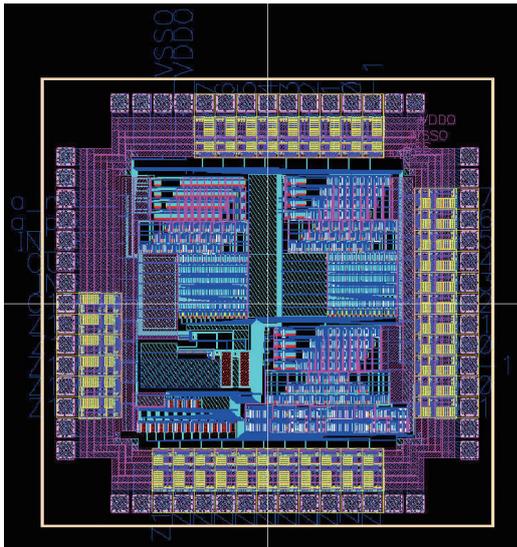


図3 高速乗算器 (レイアウトパターン)

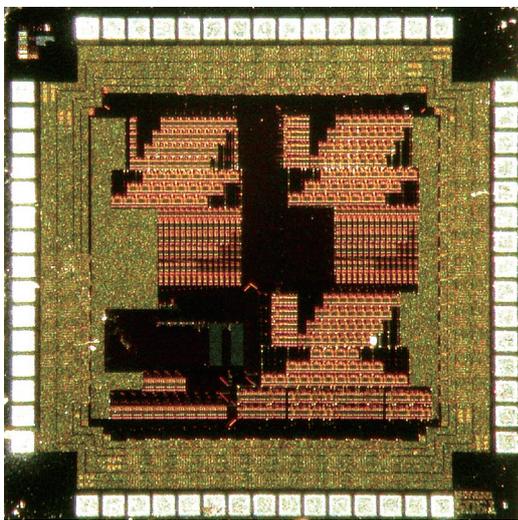


図4 高速乗算器 (チップ写真)

2.3 事例3：光無線 LAN のためのクロック生成回路⁽²⁾

HRC(ハイテクリサーチセンター整備事業)プロジェクトの一環として開発を行っている光無線 LAN システム (図5) の回路の一部分を LSI 化した。光無線 LAN システムは図5のようにレーザーダイオードアレイを利用した HUB とエンドノードからなる LAN システムで、従来の無線 LAN では達成できない 100Mbps から 1Gbps の通信速度を持つ LAN システムを光通信で構成することを目的としたものである。

このシステムでは、LAN システムを流れるデータとエンドノード - HUB 間のデータリン

クのための制御情報を 1 本のレーザーで送るために、データを送るためのクロック信号に制御情報を重畳している。このため、クロック発生回路がデジタル回路とアナログ回路の組み合わせで構成されるものとなっている。

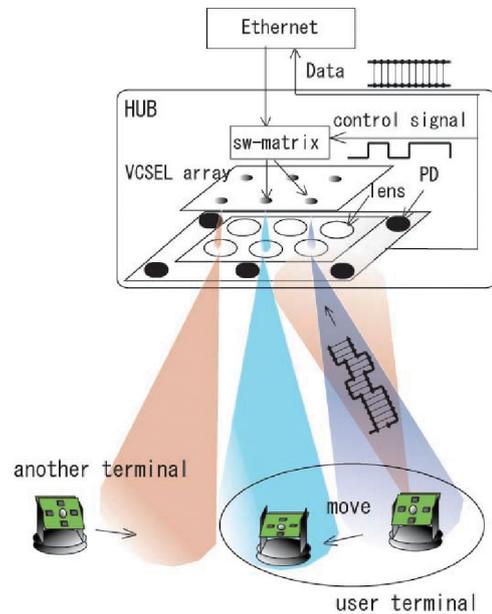


図5 光無線 LAN システムの概略図

このようなシステムを設計するためには、システムレベルのシミュレーションを十分に行うことで各部分の構成を決定してゆく必要がある。今回は MATLAB と呼ばれるシステムレベルのシミュレーションツールを使用し、事前の性能予測を行った。

試作した LSI のパターンを図6に示す。今回試作を行ったのはデジタル回路として実現される部分である。この回路の設計には、事例1、事例2と異なり、設計自動化のためのツールを最大限利用した。

回路の設計には HDL (ハードウェア記述言語) である VHDL を使用し、シミュレーションにより動作を確認した後に、論理合成ツールを利用してゲートレベルの回路を合成した。その後、配置配線ツールを利用してパターンを作成した。回路の設計は修士課程2年の学生が行い、必要とした設計期間は約1ヶ月である。

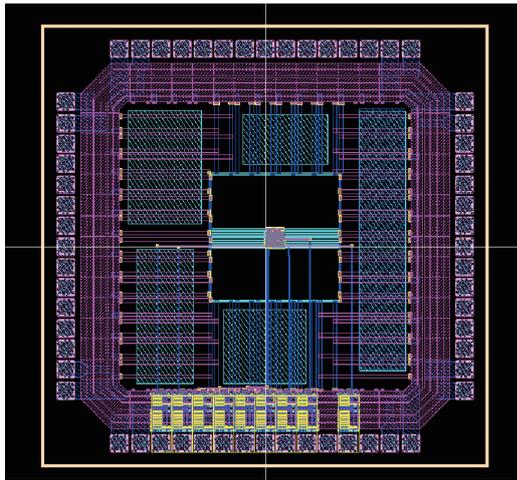


図6 デジタル回路用LSIのパターン



図7 FPGAを用いて試作した回路基板

デジタル回路部分のLSIの設計と並行して、アナログ回路部分を含めたクロックシステム全体の試作を行っている。これは、設計したLSIのチップが実際に手に入るまで3ヶ月程度必要であることを考慮したものである。試作した回路は、デジタル回路部分をFPGA (Field Programmable Gate Array) で実現し、アナログ回路部分を個別部品により構成したものである。(図7)

この回路の動作を確認し、受信側で再生されたクロック信号のスペクトラムを測定し、シミュレーションで得られたものと比較を行った。(図8～図10)

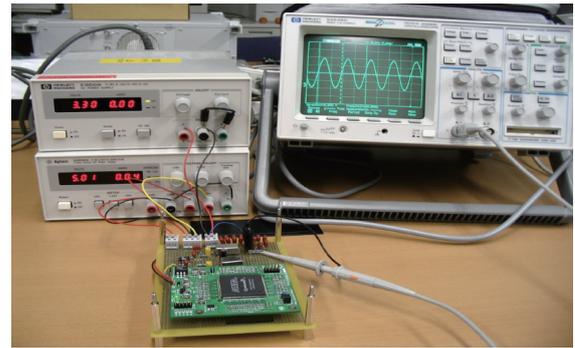


図8 クロック波形の測定

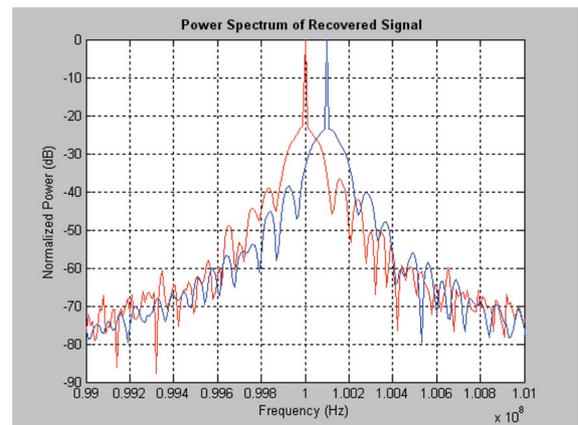


図9 シミュレーションにより得られた受信クロックのスペクトラム

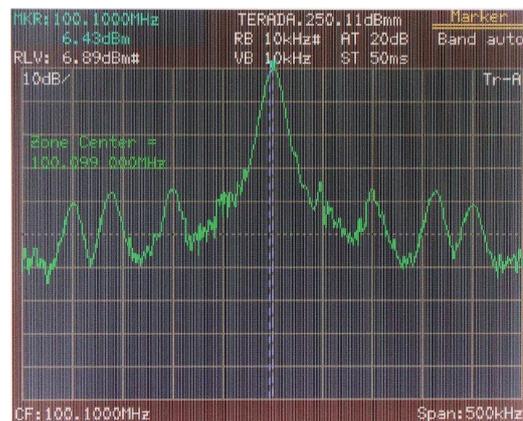


図10 試作した回路基板の受信クロックのスペクトラム

図11と図12から明らかなように、試作した回路では受信したクロック信号にシミュレーションでは現れなかった多数のスプリアスが存在している。この原因は、回路のノイズやシミュレーションモデルと実際に使用した部品の特性のずれなどが考えられる。このようなスプリ

アスはデータや制御信号の S/N 比を低下させ、データの誤り率を増大させるため、その原因を突き止めて低下させる必要がある。

3. 大学における LSI 試作の位置付け

3.1 設計教育

LSI 設計の出来る技術者への需要は年々増加している。さらに、近年の傾向として、いわゆる半導体メーカーだけでなく、半導体メーカーから見るとエンドユーザーであるシステムベンダーにおける LSI 設計技術者の需要も増えている。このため、学部レベルにおいても LSI 設計教育の充実が必要である。

VDEC による LSI 試作はデータを提出してから実際に LSI を受け取るまでに3ヶ月程度の期間が必要である。このため、設計のためのツールの習熟期間を考慮すると、設計した LSI を実際に動かし、回路の動作を確認するところまでを卒業研究に含めることは難しい。今回報告した設計事例でも卒業研究の一部として設計を行ったものがあるが、動作の確認までを卒業研究に含めることは出来なかった。以上のことを考慮すると、3年次の後半から設計のためのツールの習熟、および、設計をはじめることが望ましいと考えられる。このためには、回路設計に必要な知識を習得するための講義を2年次よりはじめる必要がある。

3.2 研究開発

従来、大学における LSI 設計に関する研究は理論ベースのものが多かった。しかし、LSI の試作が比較的容易に行えるようになったため、新しい回路形式や素子レベルの測定方法についての研究に関して、試作された LSI による検証が出来るようになった。しかしながら、大学内での設計/開発であるため、設計人員の確保、および、設計期間を考慮すると、設計する回路の規模はおのずと限られてくる。このため、当面の間は、回路規模の大きさや動作速度の速

さを狙った研究ではなく、回路形式や測定方法を研究対象とすることになると思われる。

4. まとめ

3年間の試作経験から、学部レベルでの早期教育の必要性を実感している。LSI の設計には設計用ツールの使用方法や設計言語の習得が必要で、かなり長時間の演習が必要となる。このため、卒業研究のみならず、2年次、3年次からの演習をともなう設計教育が必要となっている。

これまで行ってきた設計および試作は、主としてロジック回路に関する実験のためのものであった。今後は、アナログ回路やシステムレベルの研究に範囲を広げたい。

謝辞

設計事例に挙げた3種のチップ試作はいずれも東京大学大規模集積システム設計教育研究センターを通し、ローム(株)および凸版印刷(株)の協力で行われたものである。

光無線 LAN システムの研究は「ハイテクリサーチセンター整備事業」に採択された「情報流通メディア基盤技術の開発-高性能普及型ワイヤレス技術の開発-」の中で行われたものである。

文献

(1)川越,岡林,大橋,河津,“高速 Plus Scanning C-V 法による担体発生量評価法”,2004年電気関係学会四国支部連合大会,11-33, p158, 徳島大学, 2004年9月

(2) Posri, Tachibana, "Phase Locked Loop Design in Transmitting and Receiving Part of Optical Wireless Access", 2004年電気関係学会四国支部連合大会,17-16, p324, 徳島大学, 2004年9月