

トランジスタの動作点解析によるセル内故障診断技術

真田 克

高知工科大学工学部

〒782-8502 高知県香美市土佐山田町宮ノ口185

E-mail: sanada.masaru@kochi-tech.ac.jp

要約：リーク故障に伴い顕在化する論理故障の発生箇所を特定するために、on/offスイッチングモデル化されるトランジスタ(Tr)に Tr 動作点解析結果を取り込んだ診断技術を開発した。この技術はリーク故障によりもたらされる中間電位となった信号が Tr のゲート電極に印加したとき、Tr が飽和領域に動作点を持つようになることを利用した方式である。CMOS 回路の場合この動作は貫通電流回路網を形成する。そして貫通網のインピーダンス分割比から算出される電圧値が論理故障として伝播し出力する。診断方式を検証するために故障を埋め込んだ回路での診断をおこなった。この結果は SPICE 解析とも一致し、この技術の有効性を証明できた。

Abstract : I have developed novel technology accuracy to detect fault elements in transistor level circuit, the technology which analyze the characteristics of circuit operation influenced on leakage fault and calculates the voltage of each circuit node by incorporating impedance value detected from operating point of Tr into on/off switching Tr model by switching level simulation. This method is based on behavior of CMOS Tr to which applied unstable voltage produced by leakage fault. Unsettled logic brings the Tr's operation point to saturation area with multi-impedance value and forms penetration current nets passing through it. Out put value on the nets is calculated with each element impedance value and miss-logic signal is spread to output terminal. An evaluation of this technology corroborates to be precise method by using the circuit in which embedded arbitrary fault portions

1 はじめに

LSI の大規模化、多層配線構造化は故障箇所の特定を困難にしてきており、故障解析は膨大な工数を費やす傾向になってきている。このためソフトウェアを用いて故障箇所候補を特定し、その候補に対して物理解析を行う診断方式が研究開発されてきている。

従来の診断はセル（基本的論理回路やゲートを総称して呼ぶ）間を接続する配線に対して故障候補を特定する方式が主であり、セル内のエ

レメントに対する故障診断方式はあまり検討されていなかった。しかしながら、LSI の進展はセルと言えどもトランジスタ (Tr) 数が500個を超える規模もあり、そのためマニュアル対応が困難になってきており、さらに多層配線構造化は最下層にセルを構成しているため十分な絞込みなしに LSI を加工し直接解析することが困難になってきている。セルや小規模回路の Tr レベルに対するアナログ解析技術として SPICE (Simulation Program with Integrated Circuit Em-

phasis) があった。精度よくシミュレーションを行うことができる。しかし準備と診断処理に時間がかかるため、短TATを必要とする故障解析へのアシストとしての診断技術において実用的ではなかった。

以上の背景のもとに実用的レベルを目指した Tr レベルの故障箇所候補を特定する診断ソフトウェア (SW) を開発してきた。コンセプトは論理故障の大半がリーク故障を伴うという現象を基本としている。この現象はこれまでの研究や公知の論文から LSI 故障の現象を整理すると図 1 に示すように 3 点に集約される。

- 1) LSI 故障は出力端子における論理異常や電源電流の異常として顕在化する。
- 2) 論理故障の90%以上は電流異常を伴う(1)。
- 3) 電流異常の75%以上は配線系故障である(2)。

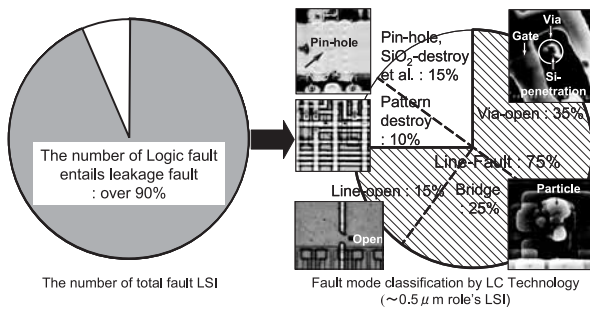


図 1 LSI故障について

この結果は、LSI故障は論理異常と同時に電源電流異常（リーク故障）を伴い、この大半は配線系の故障であることを述べている。そして、このデータをもとに Tr レベルの故障箇所候補を特定するアルゴリズムの研究と診断ソフトウェアの開発を行ってきた。

処理手順はレイアウト情報からオープン・ショート故障の発生の可能性のある箇所を特定し、これらの故障を回路上に埋め込み、論理シミュレーションを行うものである。そして出力した結果と実際の論理故障内容と一致する箇所を確度の高い故障候補として抽出する。ここで論理シミュ

レーションは switching Level Simulation(SLS) (3)(4)より特定される Tr のon/off-switchingモデル (on/off_SM) にゲート電圧に依存して設定される Tr 動作点のインピーダンス (Im) 値を付加することで各ノードの電圧値を算出する方式である。

本文は第 2 章にて診断方式の概要を述べた後、第 3 章にて Tr 動作点におけるインピーダンス値の算出に関して Tr 特性を解説しながら述べる。第 4 章にて故障を埋め込んだ回路での故障論理値と SPICE 結果との比較を行い、最後にまとめを行う。

2 診断の概要

著者は、Tr レベルの回路レイアウト上からのリーク故障候補を特定し、この候補をもとに SLS を用いて特定した on/off_SM に I 値を付加することで診断を行い、確度の高い故障候補を特定するソフトウェアを開発してきた (5-8)。

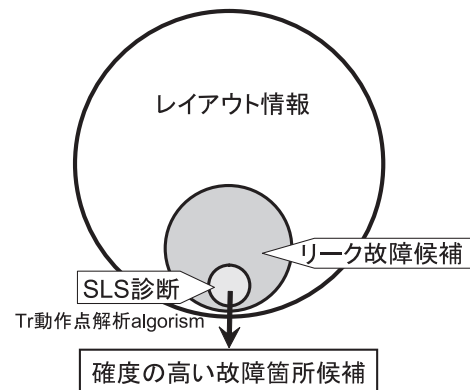


図 2 診断手順

<診断手順>

診断手順は図 2 に示すように、公知の方式で絞り込まれたセルや回路網に対して、Tr レベルのレイアウト構造からリーク故障を発生する可能性のある箇所を故障候補として特定する。次に、これらの故障候補を回路に埋め込み SLS を用いた診断を実施する。そして、出力する結果が実際の故障と一致する箇所を故障候補として特定する手順である。

<レイアウト情報>

レイアウト情報はLVS (Layout Versus Schematic)を用いて特定したリークの可能性のある情報であり、ショート箇所候補とオープン箇所候補のインスタンス名と位置情報である。

<論理シミュレーション>

診断はTrのゲート(G)端子に印加する論理に同期してソース(S)・ドレイン(D)間が導通または非導通となるスイッチング動作をベースとした論理シミュレーションであり、ゲート電圧に依存したTrの動作状態を組み込むことで診断精度を向上させた。Tr動作はゲート電圧の変化によりTrをon/offすると同時に任意の電圧範囲ではon状態が持続するという特性を有する。このような論理状態はCMOS回路において電源間に貫通電流網を形成する。そして出力する論理値は貫通網のインピーダンス計算により算出する。

以上述べた診断方式は従来のセル間診断で扱ったしきい電圧値(V_{th})に対する2値論理としての診断方式と異なるものである。

3 Tr動作点解析

リーク故障が論理動作に与える影響は、この故障に起因して変化するゲート電圧値によるものであり、その結果貫通電流網が形成され、これに伴う貫通網のインピーダンス値から出力される論理値が論理故障として顕在化することを示す。本節にて、まずリーク故障候補について分類し、これらの候補に起因する貫通電流網について述べる。次に、ゲート電圧と動作点の関係について、リーク故障に伴い設定される中間電位領域の定義と、この領域にて設定されるTr動作点とインピーダンス値についてInverter回路を用いて述べる。

3.1 リーク故障候補と貫通電流網

リーク故障は2つに分類できる。配線間ショート故障と配線オープン故障である。

<ショート故障>

ショート故障にはTrを接続する配線間および、Tr電極間のショート故障がある。これらの故障に伴い貫通電流網が電源間に形成される。これらの貫通網は

- ①ショート配線の前段の回路間
- ②ショート配線の各々が入力する回路
- ③ショート配線を介した前段回路と本段回路間
(フィードバック回路網の形成により発振が起こるケースがある)
- ④ショート故障が入力する回路の出力電圧値が入力する次段回路

に形成され、単独あるいは複合した電流値として検出される。そして、これらの貫通電流網は論理動作に影響を与える。

<オープン故障>

オープン故障にはViaおよび、Tr電極部のコンタクトオープン故障がある。これらの故障を介して入力するTrのゲート電極への印加電圧値が貫通電流網を形成する。これらの貫通網は

- ①オープン配線が入力する回路
- ②オープン故障が入力する回路の出力電圧値が入力する次段回路

に形成され、単独あるいは複合した電流値として検出される。そして、ショート故障同様これらの貫通電流網は論理動作に影響を与える。

オープン故障を介した配線が入力するTrの電極がソース・ドレインの場合、Trは動作しない。このため、このTrを介する配線はフローティング状態となり、他系統で印加された論理状態がそのまま保持され、以降の動作を決定する。この動作解析はSWに組み込まれている。

以上リーク故障に伴う貫通電流網について述べたが、次にこの形成機構について述べる。

3.2 ゲート電圧と動作点の関係

リーク故障に伴い変化した電圧値がTrのゲート電極に印加するとTrの動作点が変わる。正

常なゲート電圧値「L/H」におけるTrの動作点のインピーダンス値は、NchTrは「 ∞ /非飽和曲線の勾配から算出されるZ値」となり、PchTrのそれは「非飽和曲線の勾配から算出されるZ値/ ∞ 」となる。ここで、正常な論理とはチャンネル形成電圧（ V_t と記す。この値は約0.7~1.0V）が印加されるまでの電圧値を意味しており、L側はGND~ V_t 間、H側は（ $V_{DD}-V_t$ ）~ V_{DD} 間にあたる。しかしながら、ゲート電圧値がこの条件を外れた値（以降、中間電圧値と記す）となったとき、動作点は V_t ~（ $V_{DD}-V_t$ ）間における負荷動作線の交差点から算出されるインピーダンス値を有する。以下に、中間電位の定義について、中間電位領域でのTrのインピーダンス値の算出および、多様なTrサイズに対するインピーダンス値の算出について述べる。

<中間電位の定義>

中間電位の設定に関して定義内容を述べる。図3はNchTr、PchTrの $V_{DS}-I_{DS}$ 特性及び、これらのTrを用いて構成したInverter回路の $V_{IN}-V_{OUT}$ 特性を示す。図中のA~F点は動作内容に意味をもつ位置であり、中間電位の定義の説明に用いる。

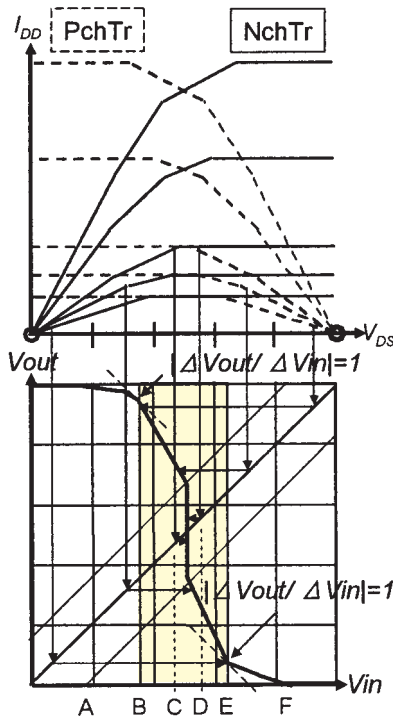


図3 中間電位の定義

V_{OUT} 特性を示す。図中のA~F点は動作内容に意味をもつ位置であり、中間電位の定義の説明に用いる。

A, F点はNchTr、PchTrのチャンネル部に反転層が形成されるしきい電圧 V_{tn} 、 V_{tp} であり、(1)式で表される。

$$V_T = \frac{\sqrt{2\epsilon_0\epsilon_{si}qN_A(2\phi_F)}}{C_{ox}} + 2\phi_F \dots (1)$$

(ϵ :誘電率、 ϕ_F :フェルミポテンシャル、 q :電子の電荷量、 C_{ox} :酸化膜容量、 N : V_{tn} のとき N_A 、 V_{tp} のとき N_d を用いる)

B, E点は V_{IL} (max)、 V_{IH} (min) と定義される規格値である。これらの値はInverterの電圧利得が絶対値で1となる入力値であり、雑音などによる入力信号の変動に対して同期する出力論理値の増幅限界値を定義している。この定義を(2)式に示す。

$$\begin{aligned} V(out) &= f(Vin + \Delta Vnoise) \\ &= f(Vin) + \frac{dVout}{dVin} \cdot \Delta Vnoise \dots (2) \end{aligned}$$

(V_{OUT} は V_{IN} の関数 $f(Vin)$ として表示されており、右辺の第二項はノイズ $\Delta Vnoise$ による変化をテーラ展開した一次微分項である。そして $|dV_{OUT}/dV_{IN}|=1$ となる点を V_{IL} 、 V_{IH} の境界として定義する。)

C, D点はNchTr、PchTrのピンチオフ点であり、これ以降、飽和領域に動作点をもつ。ピンチオフ点の関係式を(3)式に示す。

$$V_{DS}(Vout) = V_{GS}(Vin) - V_T \dots (3)$$

(V_{DS} :ドレイン・ソース間電圧、 V_{GS} :ゲート・ソース間電圧)

以上の動作点からB~E点で囲まれた動作領域を中間電位と定義する。

<インピーダンス値の算出>

次にこれらの動作領域に位置するTr動作点のインピーダンス値の算出について述べる。

図4はInverter回路の $V_{in}-V_{out}$ 特性であり、

V_{IN} に対するPchTrとNchTrの動作領域の変化を示す。NchTrに対してGND(0)～A間は遮断領域(cut_off)、A～D間は飽和領域(satu.), D～ V_{DD} 間は非飽和領域(un_satu.) PchTrに対して V_{DD} ～F間は遮断領域(cut_off)、F～C間は飽和領域(satu.), C～GND間は非飽和領域(un_satu.)である。

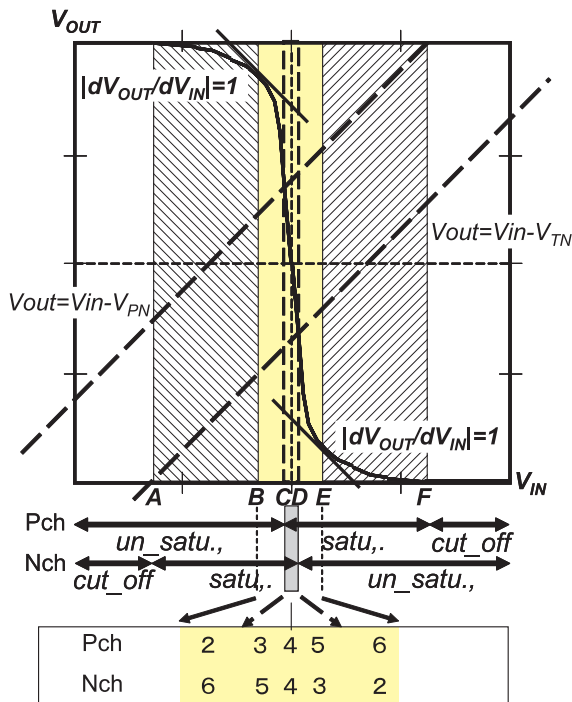


図4 Inverter回路の $V_{IN}-V_{OUT}$ 特性

ここで、Inverter回路における V_{IN} はTrのゲートソース間電圧(V_{GS})に対応し、 V_{OUT} はTrのドレインソース間電圧(V_{DS})に対応する。従って V_{IN} に同期した V_{OUT} の変化は V_{DS} の変化となり、Trの静特性からインピーダンス値の変化として見積もることができる。図4の下部に示す表はPch,NchTrのゲート電圧に対する、“電源電圧値がゲート電極に印加したときのTrのインピーダンス値を1”とした時の比率である。これらの比率は中間電位の各位置においてTrのインピーダンス値が大きく変化することを示している。

<多様なTrサイズ対応>

Trの動作点からインピーダンス値を算出する

方法を述べたが、多様なTrサイズに対するインピーダンス値の比率はSPICE上に記載されたL(ゲート長)/W(ゲート幅)値を、基準となるTr(一般的に1対のNchとPchTrで構成されたInverter回路)のL/W値に対する比率から決定される。図5は多様なTrのL/W比率を決定する設計データ(アナログ解析ツールと同一名称だがこれもSPICEと呼ぶ)である。図中、各Trに対して電極端子に接続するネット名とインピーダンス値の特定するためのL/W値が記載されている。

Tr	S	G	D	L / W value	
MN1	A000001	P01	R01	GND	NENHHP L=0.10U W=0.45U
MN2	GND	R02	A000001	GND	NENHHP L=0.10U W=0.45U
MP1	A000002	P02	R01	YDD	PENHHP L=0.10U W=0.72U
MP2	YDD	R02	A000002	YDD	PENHHP L=0.10U W=0.72U
MN3	A000003	P02	Q02	GND	NENHHP L=0.10U W=0.45U
MN4	GND	Q01	A000003	GND	NENHHP L=0.10U W=0.45U
MP3	GND	Q01	YDD	YDD	PENHHP L=0.10U W=0.72U
MP4	YDD	Q01	YDD	YDD	PENHHP L=0.10U W=0.72U
MN5	GND	Q01	A000007	GND	NENHHP L=0.10U W=1.20U
MP5	YDD	Q01	A000007	YDD	PENHHP L=0.10U W=1.32U

図5 多様なTrサイズを記載したSPICE設計データ

4 故障を埋め込んだ回路の動作状態

診断方式を検証するために故障を埋め込んだ小規模回路にて診断を実行した、SPICEとの比較を行った。埋め込んだ故障は配線間ショートとゲート・オープン故障である。

4.1 ショート故障

診断対象は図6に示すように1個のインバータと1個の2入力NANDからなり、インバータの出力が2入力NANDのTr_P2とTr_N2のゲート電極に接続した、2入力1出力端子を構成する回路である。埋め込んだショート故障はTr_P2のゲート・ドレイン配線間である。

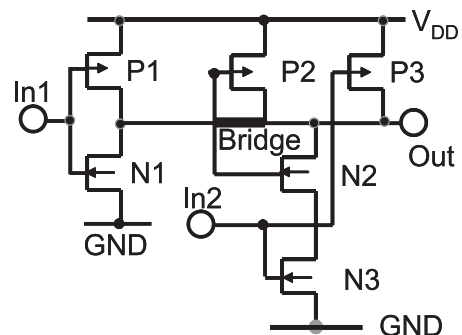


図6 ショート故障を有するInverterと2入力NAND回路

<入力端子In1に“0”、In2に“1”が印加した時>

* 正常状態：

NAND回路のTr_P2とTr_N2のゲート電位は“1”よりTr_N2がon状態、In2は“1”よりTr_N3がon状態となり、OUTに“0”が出力する。

* ショート故障状態 (図7)：

Tr_P2とTr_N2のゲート電位は“1”から中間電位に低下する。そのため、Tr_P2はoffから中間論理であるon状態へ、Tr_N2はonから中間論理であるon状態に変化する。そのためTr_P1とTr_N3は非飽和領域に、Tr_P2とTr_N2は飽和領域に動作点を持つ状態になる。その結果、Tr_P2とTr_N2のインピーダンス値は非飽和時のn倍(この値はプロセス、デザインルールで決定される)に増大し、PchTr側はZとnZの並列、NchTr側はnZとZの直列接続したインピーダンス値となる。そのため、出力論理値Voutは

$$V_{out} = [(n_{N2} + 1) / \{ (1/1 + 1/n_{P2})^{-1} + (n_{N2} + 1) \}] \cdot V_{DD}$$

$$\cong \{ (n_{N2} + 1) / (n_{N2} + 2) \} \cdot V_{DD} = 0.82 \cdot V_{DD}$$

となる。

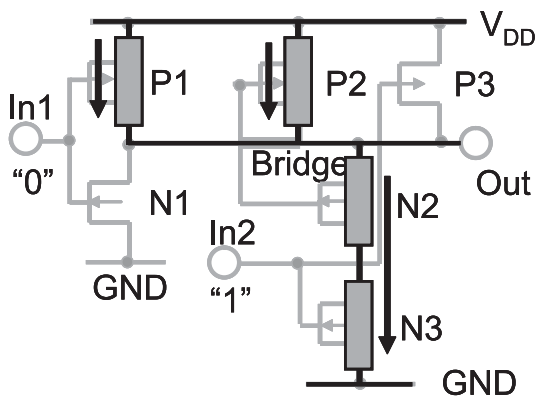


図7 (In1, In2) = (0, 1) 時の貫通電流網

<入力端子In1に“1”、In2に“1”が印加した時>

* 正常状態：

NAND回路におけるTr_P2とTr_N2のゲート電位が“0”より、Tr_P2はon状態、In2が“1”よりTr_N3はon状態となり、OUTに“1”が出力する。

* ショート故障状態 (図8)：

Tr_P2とTr_N2のゲート電位は“1”から中間電

位に低下する。そのため、Tr_P2はonから中間論理であるon状態へ、Tr_N2はoffから中間論理であるon状態に変化する。そしてTr_P1とTr_N3は非飽和領域に、Tr_P2とTr_N2は飽和領域に動作点を持つ状態になる。その結果、Tr_P2とTr_N2のインピーダンス値は「nZ」となる。そのため、出力論理値Voutは

$$V_{out} = [\{1/(1+n_{N2})+1\}^{-1} / [\{1/(1+n_{N2})+1\}^{-1} + n_{P2}]] \cdot V_{DD}$$

$$\cong \{1/(n_{P2}+1)\} \cdot V_{DD} = 0.23 \cdot V_{DD}$$

となる。

以上、(In1, In2) = (0, 1) の時、“1”が出力し、(In1, In2) = (1, 1) の時、“0”が出力することが診断され、正常状態と異なることが判明した。この結果は図9に示すようにSPICEシミュレーションによる出力電圧値(各々0.83・V_{DD}、0.25・V_{DD})と一致した。

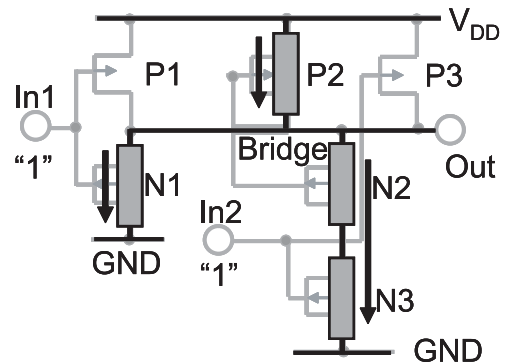


図8 (In1, In2) = (1, 1) 時の貫通電流網

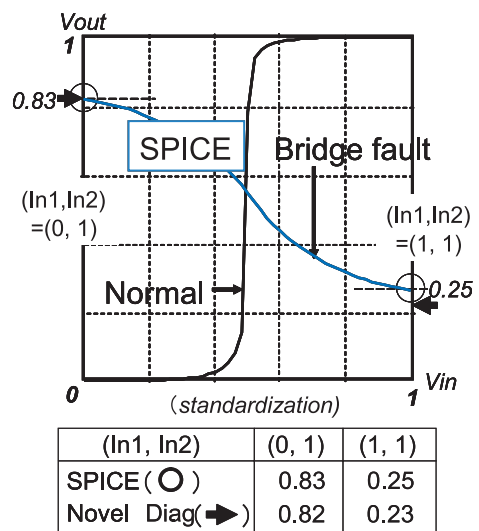


図9 診断結果まとめとSPICEとの比較

4. 2 ゲート・オープン故障

診断対象は図10に示すように2入力NANDであり、2入力1出力端子を構成している回路である。埋め込んだオープン故障はTr_P1とTr_N1のゲート配線のViaである。

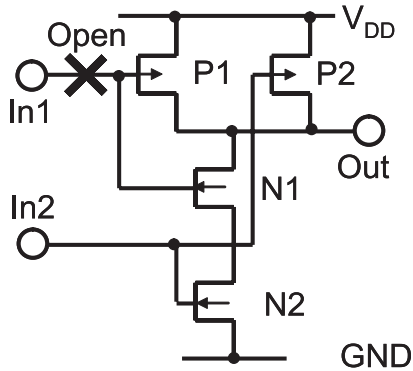


図10 オープン故障を有する2入力NAND

<入力端子In2に“1”が印加した時>

* 正常状態

入力端子In1に“1”/“0”が印加したとき、OUTに“0”/“1”が出力する。

* オープン故障状態 (図11) :

Tr_P1とTr_N1のゲート電位はフローティング状態で電位を設定できない。なぜならば、フローティング状態はレイアウトや隣接間信号の配置や測定外部環境に大きく影響するためである。そのため、3種類の間中電位 (<Vth, Vth=, >Vth)を設定し診断を行う。回路はP1、N1、N2がONとなり貫通電流網が形成される。

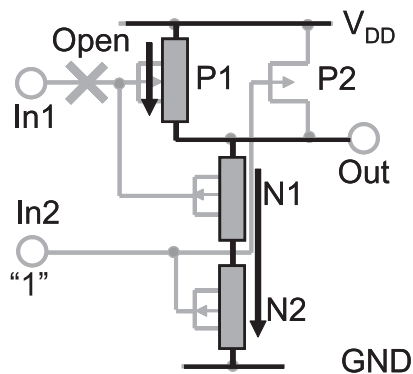


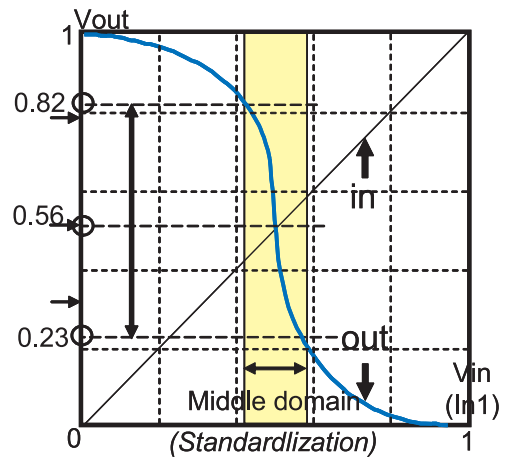
図11 (In1、In2) = (X, 1)時の貫通電流網

そして、PchTr側は $n_p \cdot Z$ 、NchTr側は $n_n \cdot Z$ とZの直列接続したインピーダンス値を有し、出力論理値 Vout は

$$\begin{aligned} V_{out} &= [(n_n + 1) / \{(n_n + 1) + n_p\}] \cdot V_{DD} \\ &= \{(n_n + 1) / (n_n + n_p + 1)\} \cdot V_{DD} \end{aligned}$$

となる。

以上、In1に3種類の間中電位 (<Vth, Vth=、>Vth) を入力したときの出力は $0.78V_{DD}$ 、 $0.56V_{DD}$ 、 $0.33V_{DD}$ として算出される。この結果は図12に示すように、SPICEシミュレーションによる出力電圧値ともほぼ一致した。



In1	< Vth	=Vth	>Vth
SPICE (O)	0.82	0.56	0.23
Novel Diag. (→)	0.78	0.56	0.33

図12 診断結果まとめとSPICEとの比較
中間電位 (Middle domain) (<Vth, Vth=、>Vth) に対する出力電圧値

5 まとめ

リーク故障に伴い変化するTr動作点の動作解析から故障箇所を特定する方式を開発し、SLSを用いたTrのon/offスイッチングモデルに付加することで出力論理値を算出するSWを開発した。この診断方式は

- ①リーク故障により中間電位となった信号がTrのゲート電極に印加したとき、Trは飽和領域に動作点を持つ。

- ②そのTrを組み込んだ回路は貫通電流網を形成する。
- ③貫通網のインピーダンス分割比から算出される電圧値を有する信号が次段回路へ伝搬していく。

という現象をベースとしている。

この方式を評価のために故障を埋め込んだ回路を用いて診断を行った。故障はショートとオープン故障である。同時にSPICEを用いたアナログ解析を行い、出力結果を比較した。この結果、Tr毎の論理状態および出力結果の一致が判明し、考え方の正当性を確認できた。さらにSWの精度向上に向けて以下の診断への適用を図っていく。

- ①故障論理の伝搬追跡を行う
- ②フィードバック回路網における発振現象をイベントとして取り出す。
- ③複数セルの集合体への対応と、Tr数の増加ともなう診断速度を向上させる。
- ④順序回路への適用を検討する。

6 最後に

本研究は半導体理工学研究センタ(STRAC)と高知工科大学との共同研究であり、当センタ内の故障診断プロジェクトの1つとして、参加企業12社の支援のもとに研究開発を行ってきた。

本SW開発において、レイアウトデータ取得に対して東芝セミコンダクタ社・則松さん、診断SWの評価に対してNECエレクトロニクス社・吉澤さんにご協力いただきましたことを感謝申し上げます。

文献

- (1) P. Maxwell, I. Hartanto and L. Sentz, "Comparing Functional and Structural Tests", in Proc. of IEEE International Test Conference, pp. 400-407, 2000.
- (2) M. Sanada, "Evaluation and Detection of CMOS-LSI with Abnormal IDDQ", *Microelectronics Reliability*, Vol. 35, No. 3, pp. 619-629, 1995.
- (3) M. E. Amyeen, D. Nayak and S. Venkataraman, "Improving Precision Using Mixed-level Fault Diagnosis", in *Proc. of IEEE International Test Conference*, Paper 22.3, 2006.
- (4) V. Krishnaswamy, J. Casas and T. Tezloff, "A switching Level Fault Simulation Environment", in *Proc. of the ACM IEEE Design Automation Conference*, pp. 780-785, 2000.
- (5) 真田、則松, "スイッチング・レベル・シミュレーションを用いた組み合わせ回路内故障箇所の特定制", LSIテストシンポジウム2004, p235-240, (2004)
- (6) 特許願 2005-136528号 (2005/05/09)
- (7) 真田、吉澤、則松, "スイッチング・レベル・シミュレーションを用いたセル内故障診断—リーク故障が論理動作に与える影響—", LSIテストシンポジウム2005, p225-230, 2005.
- (8) M. Sanada and Y. Yoshizawa, "Fault diagnosis technology based on transistor behavior analysis," *Microelectronics Reliability*, vol. 46, Issues 9-11, pp. 1575-1580, Sept. -Nov. 2006.