

高速光無線システムのための評価用 LSI の設計と試作

橘 昌良

高知工科大学工学部 電子・光システム工学科
〒782-8502 高知県香美郡土佐山田町宮ノ口 185

E-mail:tachibana.masayoshi@kochi-tech.ac.jp

要約: LSI内部での配線による信号伝搬遅延を見積もるための評価用LSIの設計と試作について報告する。この研究は、高速光無線システムのハードウェアの中核である基地局(ハブ)と端末の回路をLSI化するために必要な基礎的データを得るためのものである。著者らのグループで行っている「柔軟でセキュアなフォトニックユビキタスネットワークの実現」(HRC)に関する研究ではこのシステムがハードウェアの中核となる。

1. はじめに

LSI内部での配線による信号伝搬遅延を見積もるための評価用LSIの設計と試作について報告する。著者らのグループでは「柔軟でセキュアなフォトニックユビキタスネットワークの実現」に関する研究(HRC)をおこなっている。高速光無線システムは、この研究プロジェクトの中核であり、現在までに、光送受信のための光学、機械制御系のプロトタイプが完成し、データ送受信のためのプロトコルについての研究も進展している。また、ハードウェアとしての基地局(ハブ)と端末の仕様も決まりつつある。この基地局、端末は、小型で低消費電力なものである必要があり、そのためには回路のLSI化が必須である。

このLSIは高速デジタル回路とアナログ回路により構成されるAMS(Analog Mixed Signal)システムであり、詳細設計を始めるためには、システムを構成するデジタル、アナログ回路に関しての基礎的なデータが必要となる。特にデジタル回路ではLSI内部での配線による信号伝搬遅延が、回路を設計する上での重要な要素となる。

本稿では、LSI内部での配線による信号伝搬遅延に関する基礎データを得るために設計、試作を行っている評価用のLSIチップに関して報告する。

2. LSI内部の信号伝搬遅延

LSI内部での信号伝搬遅延は、論理ゲートなどの回路によるものと回路間を接続する配線によるものに分けられる。かつては、論理ゲートによる遅延がその大部分を占めていたが、半導体製造プロセスの微細化および

回路規模の増大に伴い、配線による遅延の比率が増大している。現在使用されている製造プロセスで大規模な回路を実現した場合、遅延の半分以上は配線による遅延となっている。

この配線による遅延の増大は配線長の増大とそれによる抵抗(R)、容量(C)の増大が主たる要因であり、これを解決するために配線の多層化や配線材料の低抵抗化などが行われている。しかし、集積される回路の規模はそれらを上回り増大しているため、配線による遅延の割合は大きくなりつつある。

このような配線による遅延の増大は、回路設計に大きな影響を与えることになる。回路設計段階での配線長の精度の高い見積もりが困難であり、また、配線による遅延の見積もり自体も過去に使用されていた単純なモデルが使用できなくなっているためである。

本報告では、配線による遅延を実際に評価用のLSIを作成して測定する試みを紹介する。これは、高速光無線システムのようにデータ転送速度がシステム全体の性能をきつく規定するアプリケーションをLSI化する上できわめて重要な基礎データとなるからである。

図1にLSI内部における配線の形態を模式的に示す。この図は、LSI内部で配線による遅延が大きくなりがちな回路間の接続を大きく5種類にまとめたものである。

まず(1)は機能の異なるモジュール間を接続する配線によく表れる信号の駆動、受信が1対1となる形である。(2)は接続距離が長くなっている場合である。この2つの形態に関しては3.においてチップの試作と評価を行った結果を報告する。(3)は駆動、受信が1対多とな

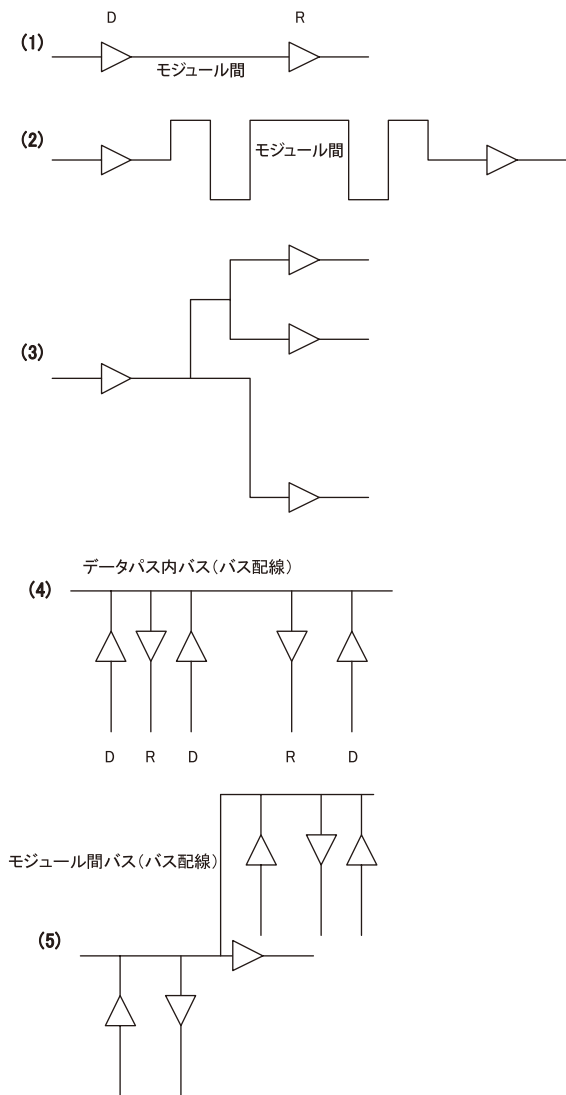


図1 LSI 内部の配線の形態

っている場合で、広域的な信号の接続の際によく表れる形である。この形は、設計時に分岐点にバッファを追加することで(1)または(2)と同じように考えることが出来る。(4)はシステムの中でデータバスと呼ばれる演算系でよく表れる形態で、4.においてチップの設計、試作に関して報告する。(5)は(3)と(4)の組み合わせのような形で、(4)の形に分解した後に分岐点に(3)と同様にバッファを追加することで対応できる。

3. 信号伝搬波形の測定

3.1 評価LSIの構成

この章では、LSI内部における信号伝搬波形と遅延を直接測定することを目的として設計したLSIチップ⁽²⁾の紹介と測定結果について述べる。図2にチップ全体の配置図を示す。

測定する回路は、ストリップライン伝送線路とインバータにより構成したリング発振器を接続したものである。この伝送線路の駆動側と受信側に波形測定用のプローブ回路を接続して、インピーダンス変換を行った信号をチップ外部に接続したオシロスコープにより観測する構成となっている。チップの設計と試作はVDEC(東京大学大規模集積システム設計教育センター)を通して行われた。試作に使用したプロセスはローム株式会社0.35 μ m CMOS プロセスである。また、レイアウト、シミュレーションには Cadence 社、Synopsys 社、およびメンター社の CAD ツールを使用している。

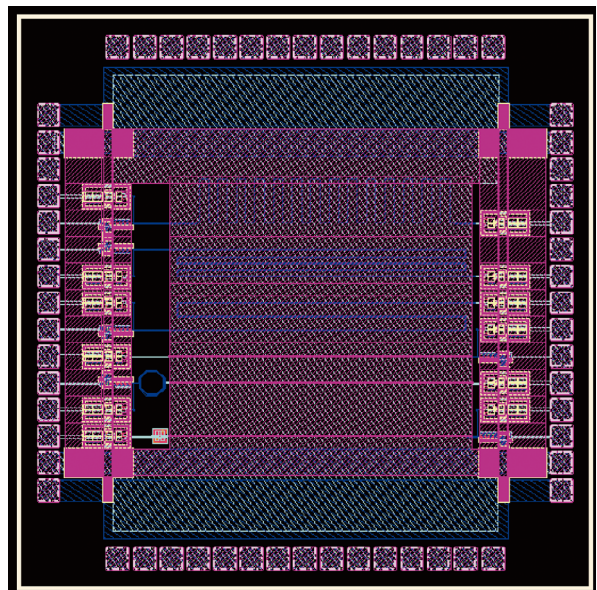


図2 チップ全体図

このチップの測定系の基本的な構成は図3のようになっている。リング発振器は9段のインバータを接続したものである。リング発振器において生成された繰り返しパルスは、伝送線路を駆動するためにさらに3段のインバータによるバッファに接続されている。なお、発振周波数はシミュレーションでは450MHz、実測では466MHzである。

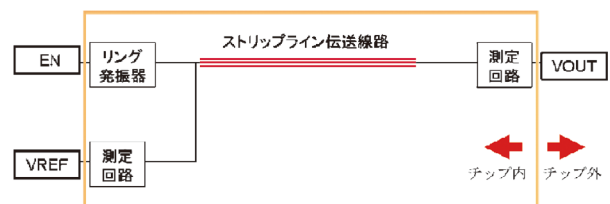


図3 測定系の基本構成

ストリップライン伝送線路の構造を図4に示す。伝送線路は1層目(M1)、2層目(M2)、3層目(M3)の金属層により構成され、実際に信号が流れるM2の配線を接地されたM1、M3の金属層で挟んだ構造となっている。

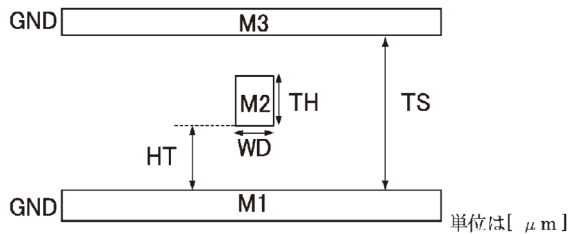


図4 ストリップライン伝送線路の構造

インピーダンス変換回路は5:1のアッテネータと2段構成ソースフォロアで構成され、出力インピーダンスは $50\ \Omega$ となるように設計されている。したがって、この回路の出力を入力インピーダンス $50\ \Omega$ で測定すると電圧振幅は $1/10$ となる。

信号伝搬波形測定のための回路の構成を図5に示す。このチップでは駆動、受信が1対1となる配線の遅延の測定が目的であり、配線長はチップの大きさ ($2.5\text{mm} \times 2.5\text{mm}$) を考慮して、 1.3mm 、 3.9mm 、 6.5mm となる3つのパターンを用意した。なお、 1.3mm のパターン以外は折り返した構造になっており、配線幅はデザインルールで定められた最小幅の $0.6\ \mu\text{m}$ である。

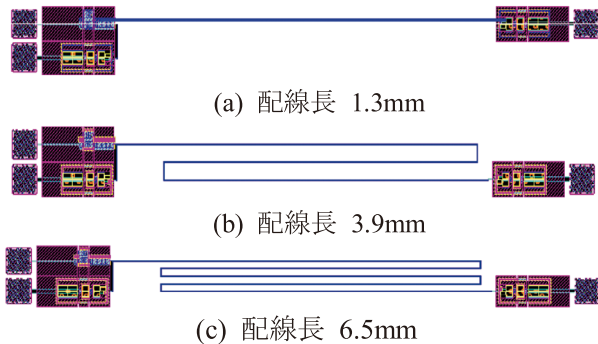
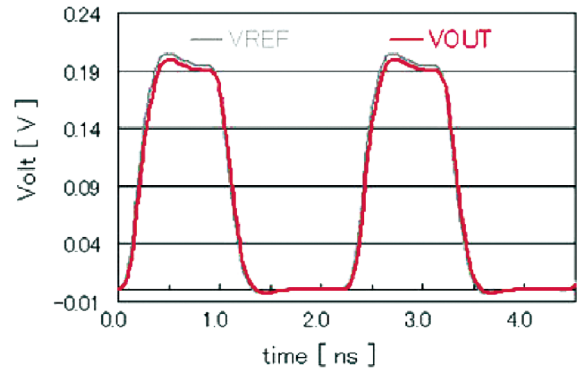


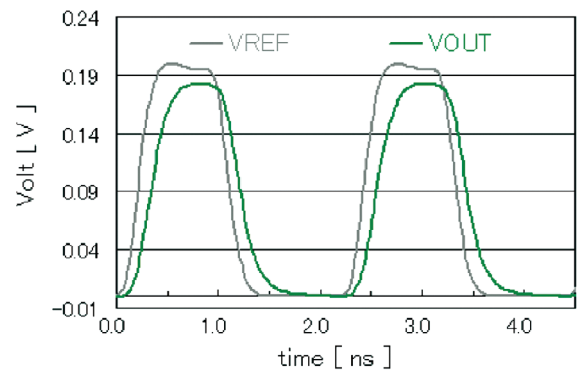
図5 測定回路のパターン

3.2 シミュレーション結果と評価結果

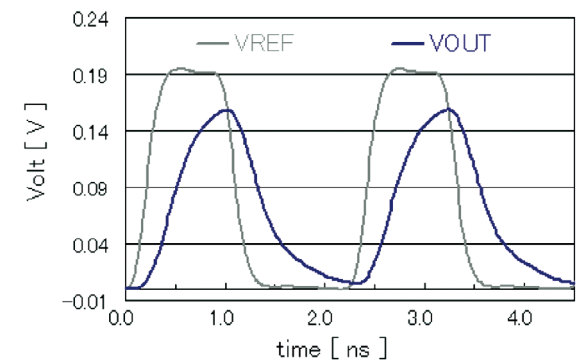
回路のSPICE(Synopsys社 HSPICEを使用)によるシミュレーション結果を図6に示す。ストリップラインはSPICEのUエレメントを使用し、図4の構造より求められるパラメータを入力した。配線抵抗としてはアルミの固体の抵抗率($2.66\ \mu\ \Omega \cdot \text{cm}$)にプロセスにより生じる圧縮応力を考慮して⁽¹⁾1.5倍の係数をかけたものを使用した。また、インピーダンス変換器の出力は $50\ \Omega$ 、 3pF で終端したものと仮定した。



(a) 配線長 1.3mm



(b) 配線長 3.9mm

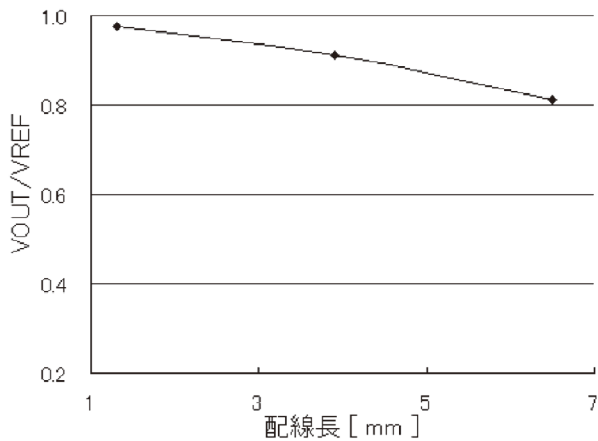


(c) 配線長 6.5mm

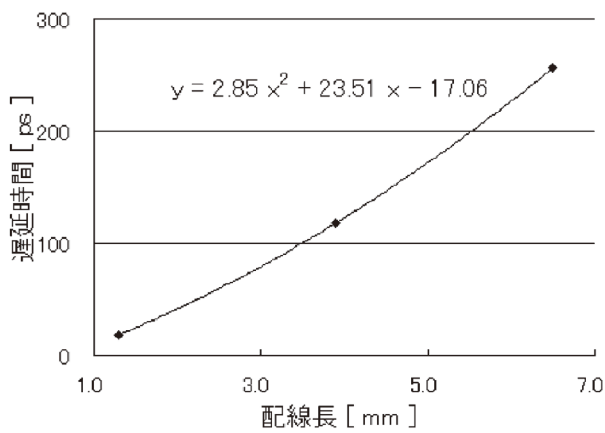
図6 シミュレーション結果

なお、このストリップラインの無損失線路としての特性インピーダンスは $42.4\ \Omega$ となる。

これらのシミュレーション波形から遅延と電圧レベルの変化を求めグラフとしたものを図7に示す。このグラフより、配線が長くなるにつれて配線抵抗による電圧レベルの低下が起こり、さらにRC遅延がかさなり、遅延時間が配線長の二乗に比例して増加していることがわかる。



(a) 配線長と出力電圧の関係

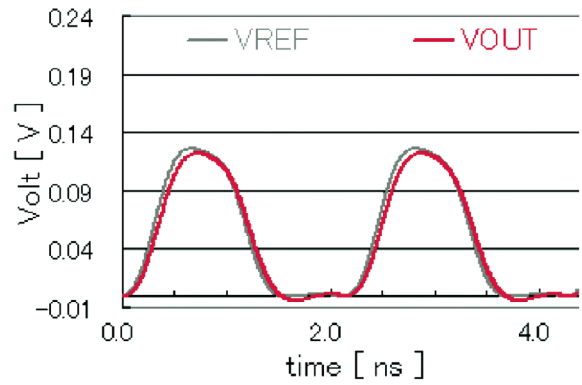


(b) 配線長と遅延の関係

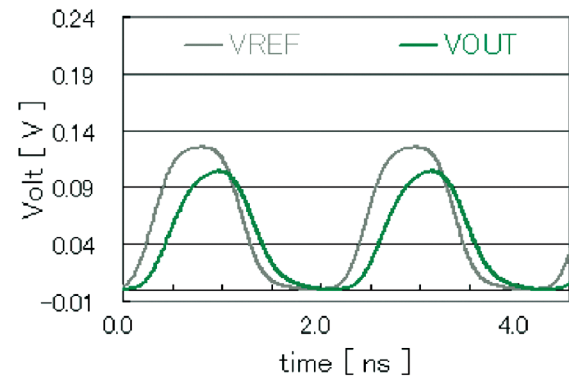
図7 配線長と出力電圧、遅延の関係

試作されたチップを測定した結果を図8に示す。測定用のジグとオシロスコープは SMA コネクタのついたセミリジッドケーブルで接続した。使用したオシロスコープは DPO7104 (Tektronics)であり、入力インピーダンス50Ω、サンプリング周波数 10GHz、測定帯域幅は 1GHz である。

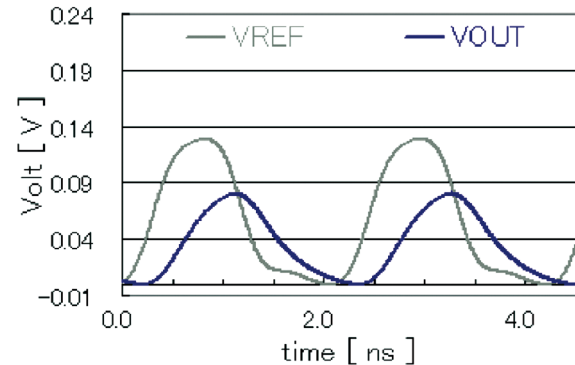
測定結果とシミュレーション結果には大きな差があることがわかる。この要因として考えられるのは、配線の表皮効果、絶縁膜の誘電率の違い等である。配線の抵抗率に関してはすでに 1.5 倍しており、これ以上の差があることは考えにくく、単純に SiO₂ と考えて設定した層間絶縁膜の誘電率が異なるものであったか、配線の表皮効果による実質的な抵抗の増大があったことが考えられる。測定結果とシミュレーション結果との差をすべて抵抗率の違いとして説明するには、電圧レベルに関しては 2.5 倍、遅延では 2 倍の抵抗率とする必要がある。



(a) 配線長 1.3mm



(b) 配線長 3.9mm



(c) 配線長 6.5mm

図8 測定結果

3.3 まとめ

シミュレーション結果と測定結果の差は予想以上に大きなものであった。電圧レベルの差と遅延の差を考えると配線の表皮効果はその原因の一部であると考えられ、高い周波数の信号を扱う回路では遅延の増大を考慮する必要があることが解った。

このチップでは、極端に長い配線での遅延の状況を調べるために設計、試作と評価を行った。この様に極端に長い配線は、回路設計の段階で生じることがないようにすることが出来ることが多いため、測定結果を直接設計に利用できる可能性は低いが、LSI内部での配線による遅延の状況を知る上では貴重な知見が得られた。

4. バス配線の遅延評価

4.1 評価回路の構成

この章では、データバス等によく表れるバス構造での配線による遅延を評価するためのLSIの設計について説明する。このチップは図1における(3)の様に直線に並んだ多数の駆動、受信回路の間での遅延を評価するためのものである。

このようなバス配線は配線長が長く、駆動、受信回路が多数接続されるので遅延を決定する要素が多数あり、見積もりを行うのが難しい回路である。データバスの遅延はシステム全体の性能を決める大きな要因であり、とくに設計の初期段階での見積もりが重要となる。今回は、長さ1mm程度のバス配線が多数平行して配置されているという条件を仮定して、駆動回路と受信回路の間での信号伝搬遅延を測定する回路を考えた。

図9に今回設計した回路の構成を示す。回路は配線遅延測定用の配線 Delay 回路と電圧制御遅延回路⁽³⁾(VCDL)により構成されている。この2つのブロックによりリング発振器が構成され、その発振周波数から遅延時間を逆算することになる。この VCDL は 10ns 程度の遅延を持ち、後述する平行して配置されたバス配線に流れる信号による配線遅延の変化を測定するためと、発振周波数を測定しやすい 100MHz 前後とするために追加されたものである。図 10 は回路のレイアウトを示したものである。配線 Delay 回路ブロックは図の上部に横に配置され、VCDL は右側に縦に配置されている。

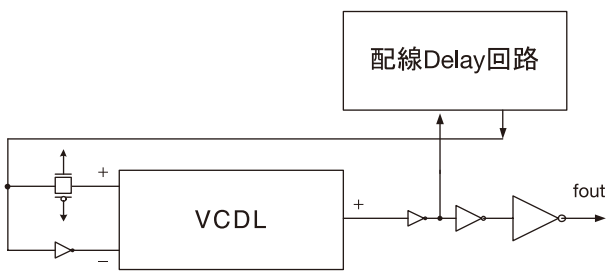


図9 バス配線遅延評価回路

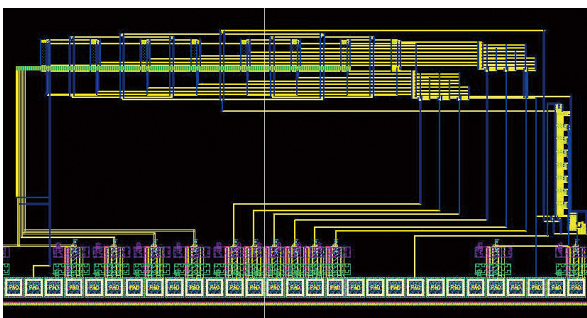


図 10 レイアウト

図 11 に配線 Delay 回路の論理回路を示す。この回路は、遅延を測定するバス配線とそれに接続された7つの駆動回路、受信回路と、バス配線に接続されていない駆動回路、受信回路がセクタにより選択され、駆動、受信の組み合わせを自由に選べるようになっている。回路の入力から駆動回路までの配線と受信回路から回路の出力までの配線は物理的に同じ長さになるように配置されている。このため、セクタにより選択される異なる経路における遅延時間の差が、経路の遅延時間の相対的な差を反映するような構成となっている。バス配線に接続されていない駆動、受信回路はバス配線以外の配線と回路による遅延を測定するためのもので、この2つの差を求めることにより遅延の絶対値を求めることが出来る構成となっている。

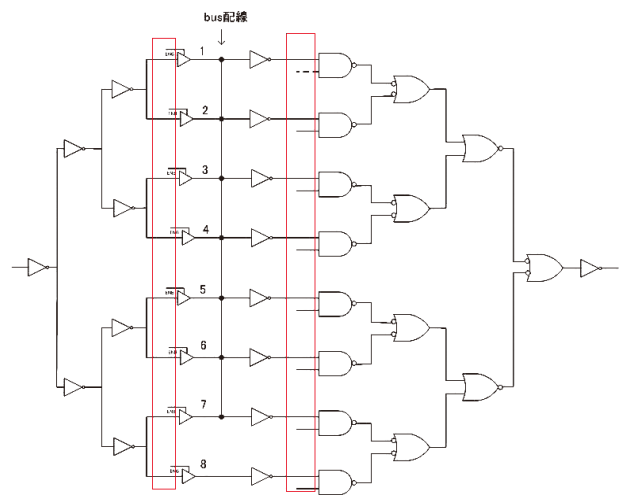


図 11 配線 Delay 回路

バス配線の周囲には図 12 の様に平行して配線が配置してある。これらの配線は外部から信号を入力できるように端子を付けてあり、これらの配線の電位が変化した場合、パルス波形が入力された場合の配線遅延の変化を測定できる様になっている。この時、リング発振器の発振周波数と外部から入力するパルス波形の周波数を同期するために、リング発振器の発振周波数は VCDL により調整できるような構成としている。

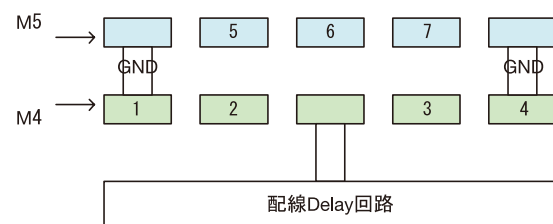


図 12 平行配線

チップの設計と試作は3. のチップと同様に VDEC を通して行われた。使用したプロセスは3. とは異なり、ローム株式会社 0.18 μ m CMOS プロセスである。設計に使用したツールは3. と同様である。

4.2 シミュレーション結果

図 13 に配線 Delay 回路の遅延時間のシミュレーション結果を示す。このシミュレーションはバス配線の抵抗 (R) を考慮していないもので、配線長の違いによる差は生じないはずのものである。

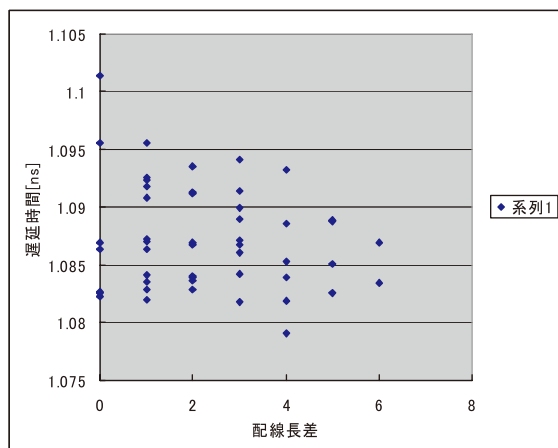


図 13 シミュレーション結果

遅延時間は1.0818ns～1.0956nsの範囲で分布している。これは、±約 0.5%以内の差であり等長配線の効果が表れていることがわかる。残念ながら、その他の回路において配線ミスがあったため、試作したチップの測定は出来ていない。原因箇所はすでに判明しており、'08年度には修正した回路での試作を再度行う予定である。

5. まとめ

本稿では、高速光無線システムの評価用LSIの設計と試作について、進行状況を紹介した。実際にチップを試作し評価することで、シミュレーションだけでは解らない配線による遅延の特性を把握することが出来た。今回の試作では、バス配線の遅延を評価するための回路が設計ミスにより動作しなかったが、原因はすでに判明しており、'08年度に再度試作を行う予定である。また、今回は紹介しなかったが、アナログ回路についても、要素回路の試作と評価を行っている。このような回路の試作で得られた知見をもとに、基地局、端末のためにLSIの設計の準備が整いつつある。

本研究は VDEC(東京大学大規模集積システム設計教育センター)を通して、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社、および、ローム株式会社と凸版印刷株式会社の協力で行われたものである。また、本研究は文部科学省ハイテクリサーチセンター(HRC)整備事業の補助を受けて行われた。

文献

- (1) 永田穰, 柳井久義, “新版 集積回路工学(1)”, コロナ社, (2005)
- (2) 川越伸一, 橘 昌良 “On Chip Probe による LSI の信号伝搬波形の測定”, 電子情報通信学会 VLD 研究会技術報告, VLD2006-78, pp37-41, (2006)
- (3) R. Jacob Baker, “CMOS Circuit Design, Layout, And Simulation”, IEEE Press, (2005)

A Experimental Design and Prototyping of LSI for High Speed Optical Wireless Access System

Masayoshi Tachibana

Faculty of Engineering, Kochi University of Technoligy
Tosayamada, Kami-city, Kochi 782-8502 JAPAN
E-mail:tachibana.masayoshi@kochi-tech.ac.jp

Abstract: We address the design and prototyping of LSI to evaluate signal transfer delay of wires in LSI chip. The purpose of this research is to obtain critical data for design the LSI that realize HUB node and terminal node of the high-speed optical wireless access system. The system and LSI is core hardware of our research project “Flexible and Secure Ubiquitous Photonic Network System” (HRC)