

LSIの進展に対する電源電流を用いた評価技術の推移

真田 克

(受領日：2011年4月25日)

高知工科大学工学部システム工学群

〒782-8502 高知県香美市土佐山田町宮ノ口185

E-mail: sanada.masaru@kochi-tech.ac.jp

要約：水道管からの水漏れと同じく、LSIも欠陥箇所を介して電流が漏れ出し、故障に到らしめる。20年前の電子交換機事故を例にこの水漏れである電流評価の重要性を示す。これまで電流はLSIを評価する上で重要なパラメータとなり品質の一端を支えてきた。そして、LSIの微細化、大規模化に伴い電流を用いた故障や劣化の識別が壁に当たるとその都度、研究がなされ延命から新方式へ改善がなされてきた。しかし、今日「電流による評価法は適用できなくなってしまった」という意見がささやかれるようになっている。今後はどのようなようになるか？ これまでの経緯と共に考えを述べてみる。

1. はじめに

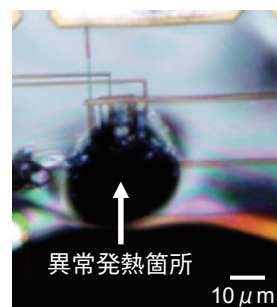
水道管に小さな穴が開くとそこを介して水が染み出してくる。その内その小さな穴はどんどん大きくなり遂には噴水となって漏れだす。この現象をリーク(leak)と呼ぶ。LSIも水道管と同じく水としての電流が漏れ出すリーク事象がある。このリーク事象は本来電氣的に独立した配線間が何らかの原因(pinholeやParticleによるショートなど)でつながることで電源間に貫通路が形成され電流が染み出す現象である。初期段階ではこのリークは高い抵抗値を介した電流の染み出しである。しかし駆動による時間経過とともにあたかも穴が大きくなっていくように低抵抗となり電流値が増大していく。そして、突然破裂し故障に至る。ここでリークのもととなる抵抗の形成箇所は物理現象(発熱、発光、異常電流など)を伴うことから場所の特定は可能である。図1はアナロジーとしての水道管漏れと液晶(LC:Liquid Crystal)の熱転移現象を用いた発熱箇所の検出事例であり、Visual観察することで噴出し口を特定できる。水漏れと電流漏れは何とよく似ていることか。

この顕著な事象はLSIの評価に広く用いられる。特にCMOS(Complimentary Metal Oxide Silicon)と呼ぶ低消費電力を利点とするLSIに対しては有効である。しかしながらデバイスの進展と共に消費電力が増加してきており、評価としての位置付けが難しくなっている。

本文はこの水漏れに相当する電流リーク現象を用いた評価方法の推移と今後の展望を目的としている。2章にて欠陥に伴う電流起因の事故事例を述べる。3章にてCMOSが電源電流を用いた評価に適している点について、まず、3.1節にてIDDQという言葉の定義を、次に3.2節にてIDDQテストの特徴を、そして3.3節にてデバイスの進展に対するIDDQテスト法の変遷を述べる。最後に今後の展望について述べ、まとめを行う。



水道管からの水漏れ



Liquid Crystalを用いて特定した電流漏れ箇所の相転移像

図1 水漏れと電流漏れ現象の類似性を示す画像

2. 電流関与の大事故

1984年10月31日付けの新聞各紙は霞ヶ関局の電話回線がダウンした事故を大きく報道した。

朝日新聞の記事は、「IC 一つの故障で—情報化社会ひ弱さ露呈—」という見出しであった。日経新聞のそれは事故内容をより詳細に「ゴミの影が犯人だった—その大きき千分の一ミリ 交換機 IC 狂わす—」と書かれた。この交換機は NTT(当時：電電公社) が企業と共同で開発した国産初の電子交換機 D10 であり、1983 年に霞ヶ関局に設置された。そして約 5 年間正常に駆動していたが 1984 年 6 月 27 日に突然ダウンした事故である。ダウンしてから約 45 分で復旧にこぎつけたが、霞ヶ関局が管轄する区域が農水省、厚生省などの官庁、多数の大手銀行の本社、ホテルなどであり、あまりにも社会に及ぼした影響が甚大であったため大きく報道された。さて、事故に対して技術的な興味は 2 点ある。1 つは LSI 上に転写された $1\mu\text{m}$ のゴミ (パーティクル) がなぜ故障につながるのかという点であり、もう 1 つは 1 年間正常動作していた LSI が突然故障した点である。結論は電流にあった。

D10 の LSI は ECL(Emitter Coupled Logic) と呼ぶ代表的な Bipolar Transistor で設計されていた。ECL は図 2 に示すように、2 個のトランジスタ (以降、Tr と記す) が定電流源を介して対で接続された回路であり、一方側は信号 (H/L) が入力する Tr であり、他方側は H/L を識別するための基準電圧 (Reference 電圧と呼び、Vref と記す) が印加する Tr である。動作は入力論理に応じて反転した論理が出力する構造になっている。ゴミはその Ref 側 Tr のベース端子に接続する配線部と LSI 基板間をまたぐように転写されていた。直接の故障原因となる箇所は図 3 に示すように、その交差部であり $0.1\mu\text{m}$ 幅のオーバーラップにあたる (図中矢印箇所)。そして等価的に Ref 側 Tr のベース配線と基板 (GND 電圧) 間が抵抗 (Z と記す) を介して接続された回路となった。初期時、Vref 値は Z 値が高抵抗にためほとんど影響を及ぼされなかったが、駆動時間の経過と共に抵抗値が小さくなり一方側 Tr の入力論理の L 値を下回るまで低下し動作しなくなった。

ではこのような事故は防止できたか? 当時の状況では答えは NO である。ゴミ対策は製造工程の品質管理で徹底されているが確率的に限界がある。電流検査により故障に到る疑いのある LSI を除く取り組みは ECL の特徴から活発に行われていなかった。すなわち、基本的な論理回路のすべてに組み込まれている定電流源の電流値 (I) の合計が故障抵抗を介した電流 $i = V_{\text{ref}}/Z$ に比べてはる

かに大きいため、この異常電流は埋もれてしまい識別するに至らなかった。しかし欠陥があるという認識のもとで調査すれば検出が可能であったかも知れない。

以上、まとめるとこの事件は ECL 回路内に作り込まれたショート欠陥と共にこの箇所を流れる電流が原因であった。この電流の有無を検出できれば LSI を除去でき事故は発生しなかった。しかし、当時は ECL 回路の特徴からリーク電流を検出するというテスト法が確立していなかったため事故を防ぐことは困難であった。

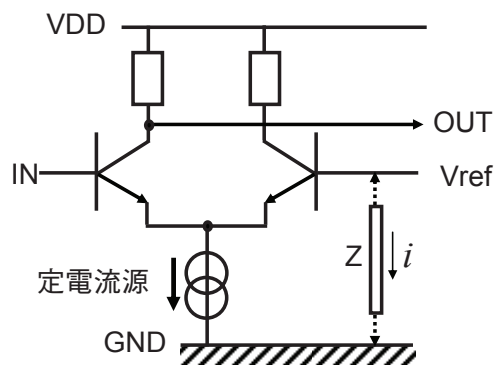
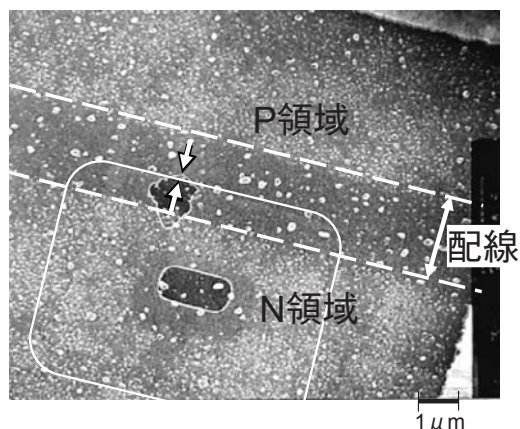


図 2 故障が発生した ECL 回路



LSI 全体の配線パターンを除去した後の SEM 像

図 3 故障箇所の SEM 像 (矢印部がリーク箇所)

3. CMOS は故障を感知しやすい

図 4 は Speed、Tr dimension、Power を 3 軸としたときの ECL と CMOS の特性比較図である。

ECL は CMOS に比べて高速動作が可能である。逆に CMOS は Speed を犠牲にしても大規模化に対して有利という利点がある。そして技術の進歩から MOS(Metal Oxide Silicon)Tr の信頼性の向上とともに CMOS(Complimentary MOS) LSI は低消費電力を武器に大幅にシェアを拡大していった。

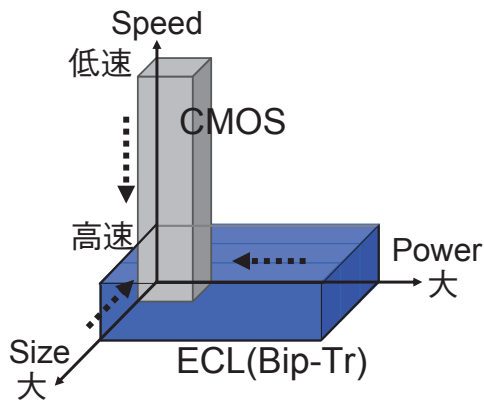


図4 ECL(Bip)TrとCMOSTrの特徴の比較図

ではなぜCMOSが低消費電力か、図5に示すインバータ回路を例に述べる。CMOSはPch(p型チャンネル)TrとNch(n型チャンネル)Trからなる。入力論理に同期してH入力ならばほぼGND電位であるL論理に、L入力ならばほぼVDD電位であるH論理として出力する。すなわち、一方のTrが活性化すると他方のTrは不活性化するためVDDからGNDへ電流が流れないためである。しかし、論理の切り替わる時(HからLへの移行、又は逆、これを中間電位として定義する)、Trは共に活性化しVDDからGNDへ貫通電流が流れる。一般に回路内に欠陥が存在するとこの欠陥を介した接続先のTrには中間電位が印加する。そのため論理の切替わりと同じ状態が形成されVDDからGNDへ貫通電流が流れる。

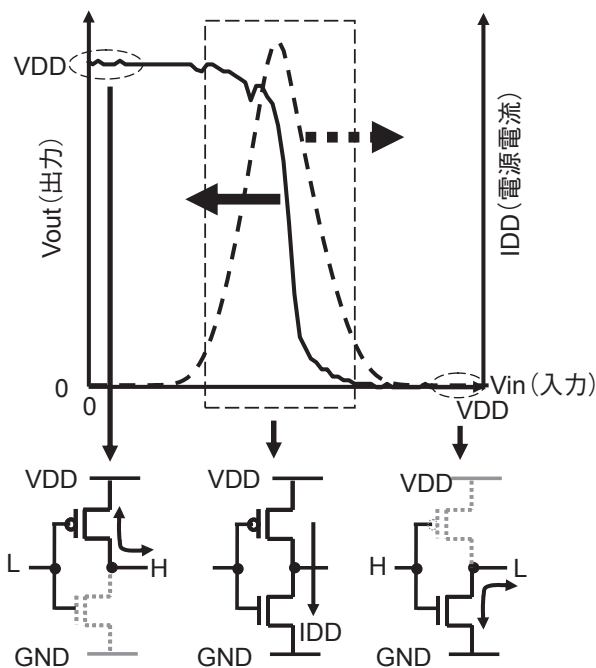


図5 Inverter回路のVin-Vout/IDD特性と回路動作の関係

但し、故障モードに縮退故障(Stuck-at Fault)と呼ぶ信号線にH(VDD)又はL(GND)の電位が強制的に固定してしまうモード(例えば、電源配線とのショートなどである)があり、信号線と逆論理が設定されると貫通電流が発生するがこれは上記と異なるモードである。そして、この特徴が「CMOSLSIが故障を感知しやすい」という理由である。

3.1 IDDQとは？ [1]

ところでCMOS論理回路に流れる電源電流(IDD)はクロック信号に同期して論理の切替わりに伴うトランジェント電流(Transient current, IDDTと記載する)と、論理が安定することで静止状態の電源電流IDDQ(Quiescent Power supply Current, IDDQと記載する)で構成される。68はオシロスコープで観察した電源電流(IDD)波形である。故障の有無を検知する電流はIDDQでありLSIが正常であれば小さいが故障があれば大きな電流値となる。これをIDDQ異常(Abnormal IDDQ)と呼び、LSI内部に故障の存在を知らせるシグナルとしてLSI評価に用いられている(1)。このようなIDDQ異常は図7に示すように2つのモードを有する。1つはテストパターンに依存しないモードである。全テストパターンにおいて常に規格上限値以上のIDDQを有する。このモードは不完全なPN接合間の短絡や電源間短絡など低歩留り品に見られる。もう1つはテストパターンに依存するモードである。任意のテストパターンにおいて突然IDDQ異常値を示す。このモードはLSI内部にランダムに形成される欠陥に起因する故障品に見られる。

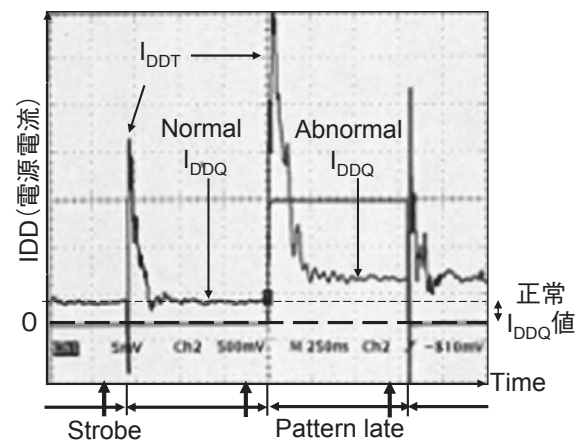


図6 オシロスコープで観察したCLKに同期して変化する電源電流波形(1パタンの波形: IDDT + IDDQ)

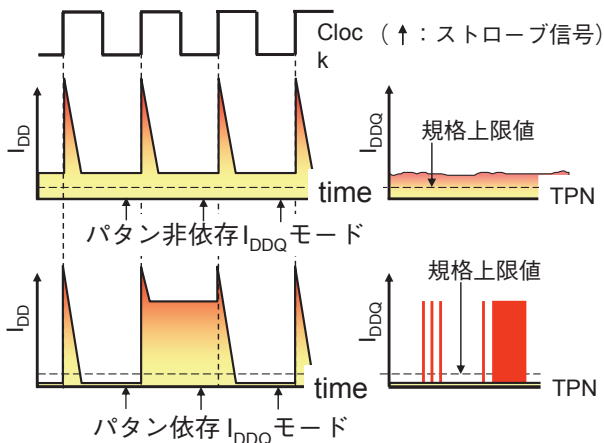


図7 IDDQ異常を示す2つのモード

3.2 IDDQテストの特徴

テストには、「機能テスト」と呼ぶ入力信号に同期して出力する論理から異常を判定するテストとこのIDDQテストがある。この比較からIDDQテストの特徴を見てみる。

3.2.1 IDDQテストは速効テストである

図8は故障検出の状態を示す図である。機能テストはLSI内部に生じた故障信号がクロック信号(論理の伝播を指令する信号)に同期して出力端子に伝搬するという時間のズレを伴うテストである。対するIDDQテストは入力信号に同期して故障箇所に発生するリーク電流が電源端子から直接電流異常として検出される速効性をもつテストである。

この相違は何か？回路は大きく分けてと組合せ回路と順序回路の組合せで構成される。前者は入力に対して出力論理が直接出力するのに対して、後者はクロック信号に同期して入力信号が“入力→保持→出力”するという複数回の指令にて論理が伝搬する回路である。そのため、LSI内部に故障が発生した時、故障に伴う論理は順序回路の回数分の指令が入力されなければ故障論理として出力端子に出力しない。これに対して、IDDQテ

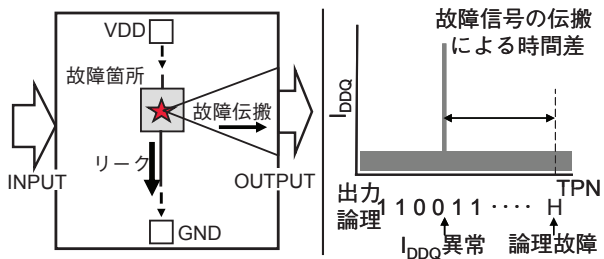
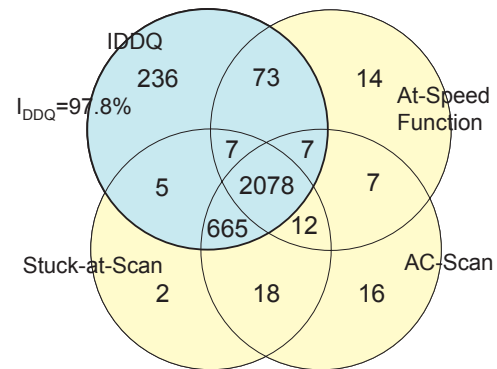


図8 LSI故障の検出としての論理と電流情報の比較

トは故障に伴う中間電位が設定されると貫通電流網が形成され電流が流れる。このことからIDDQテストは故障を検知すべく速効性を有するといえる。

3.2.2 IDDQテストはほとんどの論理異常を検知する

図9はIDDQテストと機能テストによる故障



論理故障の大半は電流異常として検出：97.6%
(故障全数に占める電流起因故障の割合：97.8%)

図9 IDDQテストと機能テストによる故障検出状態図 [2]

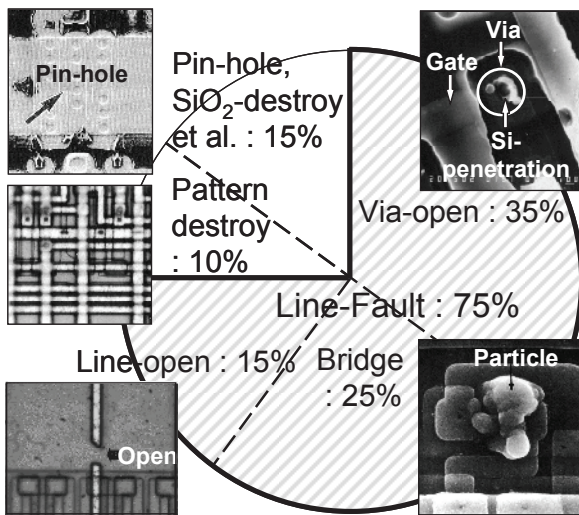
検出状態を示す図である [2]。ここで機能テストはIDDQ以外の3項目のテストを総称して比較している。この結果は全故障数に対するIDDQテストの検出率は97.8%、機能テストによる検出数の97.6%をIDDQテストが検出できている。すなわち、IDDQテストはほとんどの論理異常を検知できるといえる。

この理由はIDDQ異常を伴う回路(ゲートやセル単位)の出力電圧値は貫通電流網を形成するon状態のTrのインピーダンス分割比に依存する。そのため次段回路への論理はその出力電圧値がしきい値に対し高いか低いかで決定される。しきい値に対する出力電圧値の高低が正常状態のそれと同じならば正常、異なるならば異常として伝搬するため、IDDQ異常がすべて論理異常とはならない。

CMOSの場合、正常動作は信号がH(=VDD)かL(=GND)に設定されるため信号の論理はしきい値(Vfと記述する、 $V_f \approx 1/2 \cdot V_{DD}$ と表される)近辺に設定された値に対して、高いか低いかでHまたはLとして認識されるため、論理を判定する許容幅を大変広くとることができる。そして、欠

陥に伴う論理値は中間電位となるため、貫通電流が流れることから論理が正常でも異常があると識別できる。

では、論理故障でありながら IDDQ 異常を伴う故障にはどのようなモードがあるか？。図 10 は 0.5 μm 設計ルール品、3 層配線構造を有する故障 LSI 52 個の結果である。全体の 75% が配線故障であり、さらに配線故障中の 50% が Via オープン故障、30% が隣接配線間ショート、20% が配線オープン故障であった。そして、現在の DSM 化した LSI は微細化と共に多層配線構造化のためこれらの割合が増加しているものといえる。



LCを用いた異常発熱箇所の故障モードの分類 (~0.5 μm デザインルールLSI)

図 10 論理故障でありながら IDDQ 異常を伴う故障モードの割合 [3]

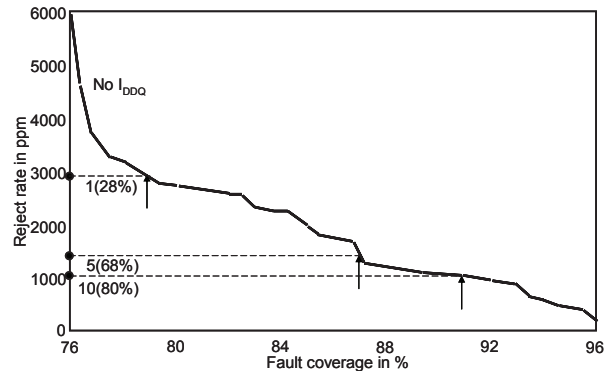
3.2.3 IDDQ テストは機能テストを補完する

上述した IDDQ テストの速効性 (3.2.1 節) と大部分の論理異常を網羅する (3.2.2 節) ことから機能テストを補完するといえる。図 11 は IDDQ テストが低い故障検出率を有する機能テストを補完することを説明する図である [4]。機能テストからみた故障検出率と故障含有率の関係は 76% で 6000ppm、92% で 1000ppm を示している。ところが故障検出率が 76% でも 1 パタンの IDDQ テスト (トグル率 28%) で 3000ppm、10 パタンの IDDQ テスト (トグル率 80%) で 1000ppm と機能テストの故障検出率 92% に相当する効果を示している。

一般に故障検出率の約 80% ぐらいまでは CAD を用いて確保することが可能だが、それ以上を確

保するには技術者のスキルに依存した大幅な工数を必要とすると言われている。この工数削減に対して IDDQ テストは有効であるといえる。

以上 IDDQ テストは機能テストに対して①



●は故障カバレッジ 76%での I_{DDQ} テスト導入時の故障含有率であり (†)は導入しない時に拡張せねばならない故障カバレッジ位置を示す I_{DDQ} テストパターン数 1、5、10 に対する (%) は I_{DDQ} テストを追加することで達成される故障カバレッジ 76%での故障含有率を示す。

図 11 IDDQ テストは機能テストを補完 [4]

IDDQ テストは速効性を有する、② IDDQ テストはほとんどの論理異常を検出可能である、③ IDDQ テストは機能テストを補完するという特徴を有する有用なテスト法であるといえる。しかし、CMOS の進展は適用を困難にしてい動きであった。

3.3 LSI の進展に対する IDDQ テストの変遷

図 12 は正常品の IDDQ 値に対する故障を内蔵する IDDQ 異常値との比の変化を、年代の進行に対してする予測した変化を示すものである [5]。1996 年正常値に対する IDDQ 異常値の割合が 1000% 以上であったのが 2007 年では 0.00% 以下とほとんど区別が出来ないオーダになるということであった。

図 13 はその変化を IDDQ 値の分布でイメージ化したものである。故障に起因して発生する IDDQ 異常値は数 10 μA ~ 数 100 μA とデザインルールにあまり依存せずほぼ一定であると考えられる。初期の頃 (デザインルールが緩やかで小規模な回路構成) の正常な CMOS 回路の IDDQ 値は数 μA オーダ以下とほとんど無視できるため上限値を設定してテストを行なった。しかしデバイスの進展と共にオフリーク電流 (I_{subth} : サブスレショルドリーク電流、 I_{gidi} : ゲート起因のドレイン電流、 I_{g} : ゲートリーク電流などか

ら構成)と呼ぶ微細化に伴い顕在化する電流と大規模化に伴う Tr 数の増加の積算により数 m~数 100mA と初期より 4~5 ケタ以上の増加となり、故障起因の IDDQ 値を完全に被ってしまう。そのため異常を顕在化させる工夫が必要となってきた。

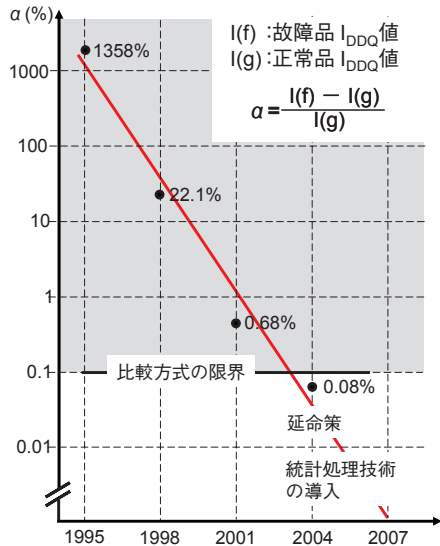


図 12 年代の進行に対する IDDQ 異常の識別感度

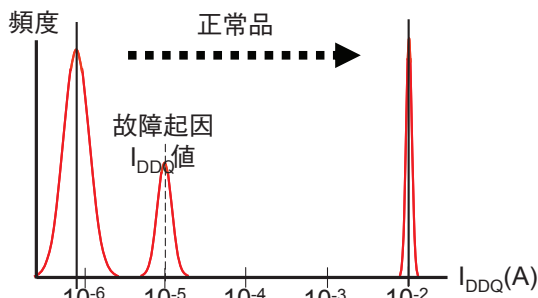


図 13 正常品と故障起因 IDDQ 値の分布関係図

3.3.1 上限値の設定による IDDQ テスト

上限値の設定による IDDQ テストは少ポイント測定から多ポイント測定へ変化していった。この変化は LSI の市場品質を大きく向上させていった。理想は全テストパターンによるテストである。しかしながら、IDDQ テストは図に示したように論理の静止状態における安定化した状態でしかテストできないため 1 パターンにつき約 0.5ms の測定時間を必要とする。10000 パターンでは 5 秒という膨大な時間になりコスト上大きな問題となる。そのため、少ポイントでも高いトグル率を有するパターンを用いたテストへ移行していった。ここでト

グル率は LSI を構成する基本的な論理回路ブロックの入力論理の組合せの比率である。この比率の向上は相対的に LSI 全体の故障検出率の向上に繋がるため有効な方式であるといえる。このトグル率と IDDQ 故障検出率の関係の 1 例を図 14 に示す [6]。

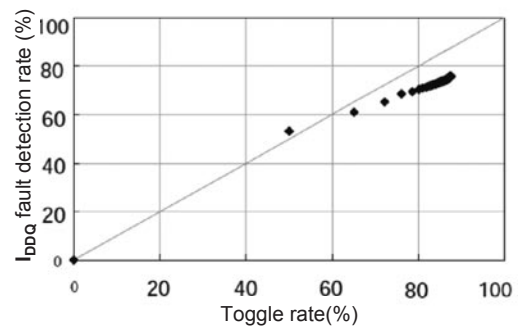


図 14 トグル率と IDDQ 故障検出率の関係 [6]

3.3.2 延命策としての IDDQ 異常の顕在化

IDDQ 値の増加により埋れてしまう欠陥起因のリーク電流値を顕在化させるために統計処理を用いたテスト方式が開発された。2 つの方式を述べる。

[1] Delta-IDDQ 方式 [7]

この方式は 1 個の被測定 LSI に対して X 軸にテストパターン番号 (TPN) Y 軸に TPN 間の差分 (Δ IDDQ) をプロットすることで、TPN 毎の Δ IDDQ 値の変化をグラフ化し、良品のそれと比較し、IDDQ 異常の有無を検出する方式である。ここで、 Δ IDDQ 値は式 (1) により算出される。

$$\Delta \text{IDDQ} (i) = \text{IDDQ} (i) - \text{IDDQ} (i-1) \cdots \cdots (1)$$

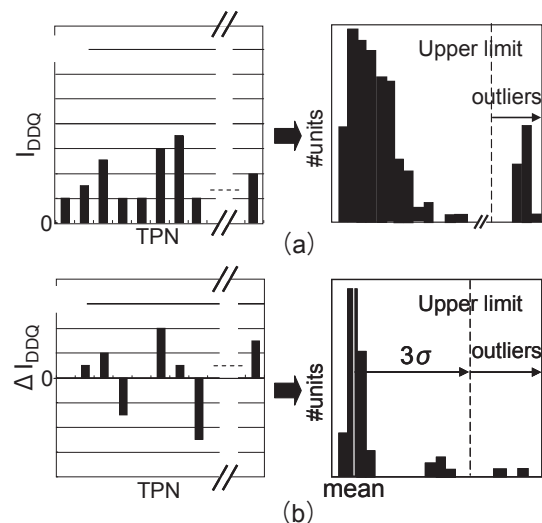


図 15 Delta-IDDQ 方式の方式

IDDQ (i): TPN(i) における IDDQ 値

図 15 に示すように IDDQ 値の出現頻度をプロットする方式 (図中 a) に比べて、△ IDDQ 値のそれ (図中 b) は前後の IDDQ 値の変化分の分布形状をベースとするため IDDQ 異常値の識別感度が向上する。この分布の $\pm 3\sigma$ 以内を正常とすることで良 / 不良を判定する。

[2] IDDQ-Ratios 方式 [8]

この方式は図 16 に示すように IDDQ 値の最大値と最小値の比が一定とすることで最小値に対する最大値を算出しこの値を超える LSI を不良と判定する方式である。まず、①良品 LSI 群から IDDQ 値の X 軸に最小値、Y 軸に最大値を割り当てた散布図を作成、②回帰直線から大きく外れる点を削除、③回帰直線の勾配 (Slope) を算出、④被測定 LSI に対して IDDQ(min) 値に比 (Slope) を掛けた IDDQ(max) 値を算出、⑤そして実測した IDDQ(max) 値と比較しこれを超えた LSI を不良と判定する。実際はプロセスのバラツキを考慮して計算上の max 値と実測の max 値の誤差から標準偏差 σ を求め、 $\pm 3\sigma$ 値を Upper / Lower しきい値と設定することで外れる LSI を不良と選別する。

以上統計処理によるテスト方式を説明したが

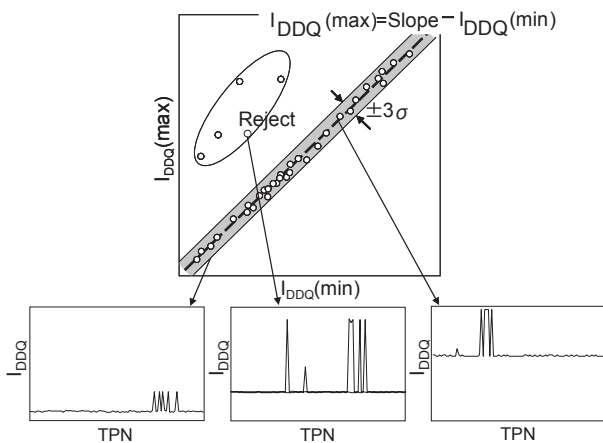


図 16 IDDQ-Ratios 方式の説明図

①正常 IDDQ 値に埋もれる故障電流 ②テストベクタに依存しないリーク電流 に対する問題がある。

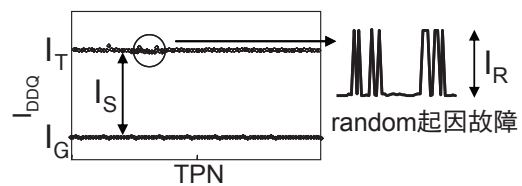
3.3.3 電流波形分析を用いた IDDQ テスト法

上記問題に対する 2 つのテスト方式を述べる。

[1] 相関係数を用いたテスト法 : DECOUPLE 法 [9]

これは同一 LOT のすべて正常品の IDDQ 値は TPN(i) 毎の IDDQ 値 (IG(i)) は IG の平均値に各 TPN にて設定される係数 t(i) を加算した値 (IG(i) = t(i) · IG の平均値) であるとしたテスト方式である。手法はまず欠陥を有するサンプルの IDDQ 値 (IT) を定義する。IDDQ 値は正常品の IDDQ 値 (IS)、ランダム欠陥に起因する IDDQ 値 (IR)、プロセスのバラツキに起因する LSI 全体を押し上げる IDDQ 値 (IS) の合計 IT(i) = IG(i) + IR(i) + IS として定義される。

合否判定は図 18 に示すように正常品とテスト



テストベクタ番号 (TPM) を i とおくと
 $I_G(i) = t(i) \cdot I_G$ 、 $I_T(i) = I_G(i) + I_S + I_R(i)$ と表示される

図 17 欠陥を有するサンプルの IDDQ 値 (IT) の定義

品の 2 個の LSI に対し TPN 毎に IDDQ 値を取得し、散布図を作成することで回帰直線式と相関係数を求める。

その結果をもとに

- ① 2 個の LSI 間の相関係数 $r_2 > 0.95$ (任意値) の条件でランダム欠陥に起因する IR の存在する LSI を検出する。
- ② 散布図の勾配 (図中 a) と 2 個の LSI の平均値の

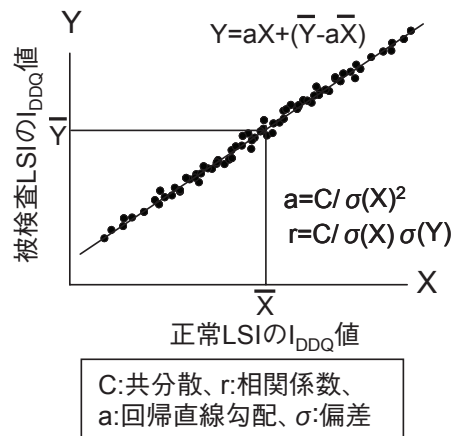
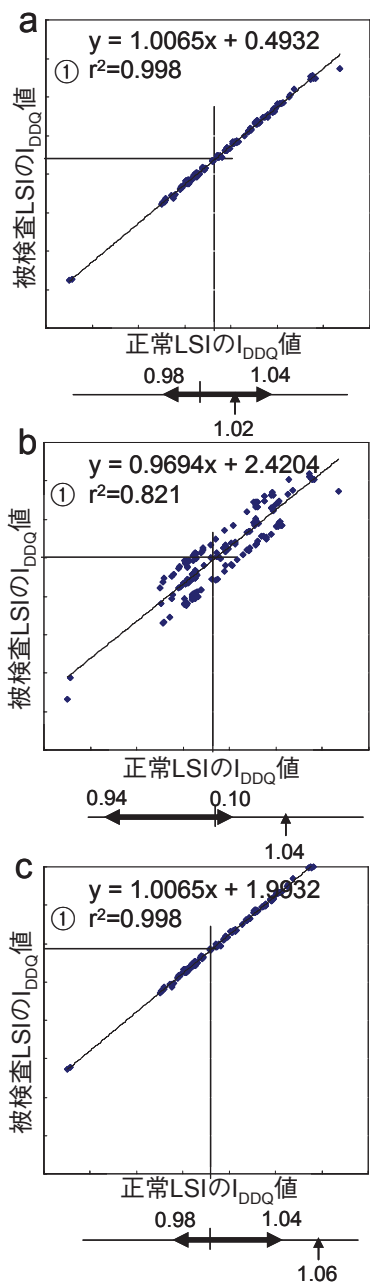


図 18 正常品と被検査品の IDDQ 値に対する散布図から算出する回帰直線式と相関係数の算出法の説明図

比(R)を用いて $0.97 \cdot a < R < 1.03 \cdot a$ (任意値)の条件で LSI 全体を押し上げる大きな IS 値を有する LSI を検出する。

以上① and ②を満足する被検査 LSI を良品と判定する。

図 19 は上記条件を用いて判定した例である。x 軸に正常品、y 軸に被検査品をとった散布図と上記①、②判定結果を示す。図 a は良判定、図 b は



図中に示す値は下記に示す算出値である

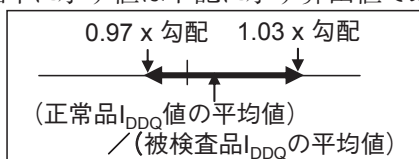


図 19 相関係数を用いたテスト法による実施例

①②が規格外れ、図 c は②が規格外れの不良判定である。

[2] IDD スペクトル (IDDS) 法 [10]

この方式はスイッチング時に流れるトランジェント電流 (IDDT) とこれまでの静止電流 (IDDQ) とからなる電源電流 (IDD) 波形をフーリエ変換 (FT) することで取得する周波数成分毎の係数 (パワースペクトル (PS) と呼ぶ) を用いて良品と不良品を識別する方式である。そのため、図 20 は IDDS 法の説明図であり、時間 T で取得される IDDQ 異常と共にスイッチングに伴う異常 (例えば、タイミング故障、遅延故障など) も検出することが可能であるテストパターン全体の IDD 波形をサンプリング処理し、FT にて $1/T$ を基本周波数とする複数の周波数成分からなる PS を得る流れを示す。図 20 は実施例であり良品 20 個と不良品 2 個の IDDS テスト結果を示す。表示は 1 回のサンプリング時間を基本周波数とした 15 次までの周波数成分値を示している。不良品 2 個が正常スペクト

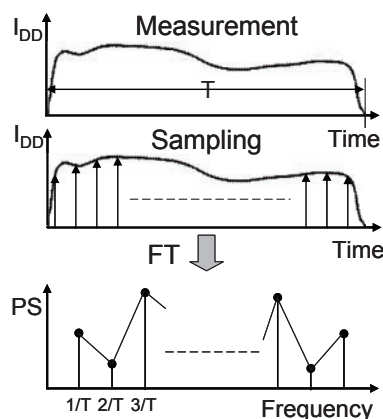


図 20 IDDS 法の説明図

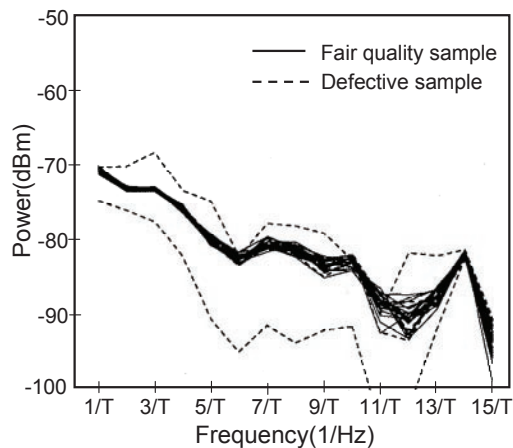


図 21 IDDS 法による実施例

ル形状と異なっていることがわかる。

以上、CMOSLSIにおいてIDDQを用いた評価方法はこのパラメータの有効性から診断、テスト、解析へ広く利用されていた。IDDQは論理の静止状態における電源電流であり、初期のCMOSLSIは正常状態でほとんど電流が流れないことから故障に伴うリーク値との識別が可能でありすべての評価法において有効であった。しかしながらDSM化に伴うデバイス技術の進展はIDDQ値を大きくしてしまい、故障の識別は困難となってきた。それに伴い、差分比較から、変化分の顕在化による延命策そして、数理統計を用いた解析法へ進んでいった。そして今日どのような具合か？

4. まとめ

IDDQテストは速効性、高検出率を有するため不可欠なテストである。しかし微細化、大規模化に伴うIDDQ値の増大は欠陥起因のリーク電流の検出を困難にしている。では、IDDQテストをあきらめてもよいか？答えはNOである。これまで論理動作に対するテスト上の工夫が検討されてきたが電源電流利用テスト法は現状の環境での改善検討しか行われてこなかった。そのため、測定環境を含めてまだまだ改善する余地があり、対策することで今後とも有効なテスト手法であり続ける。ではどのような工夫があるか？設計、測定法に分けて考えを述べてみたい。

4.1 設計

DFT(design For Test)は設計段階からテストが容易となる工夫を回路上に組み込むことで効率的なテストを確立する概念である。そして、微細化と大規模化に対する工夫がある。前者の微細化に対するDFT設計はサブリーク電流(特に、サブシュレシヨールド電流)の低減のための設計である。これはキャリアが流れにくい方向にバイアスをかける基板バイアス効果の導入であり、各種の報告がなされている。後者は大規模化対策である。LSI全体に流れる電源電流を測定するから大きな電流値となり、故障検出が困難となる。任意の論理動作を有する回路毎に測定できれば少なくとも区分分の1のオーダで測定が可能となる。図21はその区分を示す概念図であり、エリア毎のVDD供給源にSWを設け、測定に必要なときはセンサーを介して電源を供給できるようにする。

故障の有無を見るには同一形態で正常との比較を行えばよい。そのため、センサーの精度にこだわる必要はない。

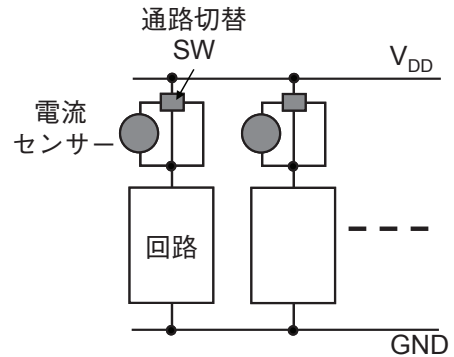


図21 任意の論理動作に分割した回路毎の電流測定概念図

4.2 測定法

これまで開発されてきた測定法に含まれるがIDDQシグネチャーの並べ替えと低温化測定がある。前者はテストパターン番号(TPN)順のIDDQシグネチャーをIDDQ値順に並べ替えることで、各エリア特有のIDDQ値を取得する。このデータを3章で述べた分析技術を用いて評価することで精度の向上を図ることが可能である。後者は低温化によるテストである。DSM化したLSIは発熱が大きく、このエネルギーは電源電流の乱れに発展していく。そして、測定時間とともにIDDQ値を変動させていく。低温化によりノイズ低減が計れ、より安定したIDDQ値を取得できる。さらに、加速試験によるIDDQ値のモニタ選別テストがある。実用上の観点から離れるが電圧加速や熱加速により劣化の進行を早めること変動の顕在化を行うことを目的とする。

4.3 装置の改善

上記以外に装置の工夫が上げられる。まず、電源系のノイズ低減が最重要である。これには装置による熱やパソコンからのリーク電流、さらにはoffリーク電流の低減策などがあり対応が望まれる。また、テスト単独ではなく物理現象の組合せはBestである。故障箇所を特定する利点は欠陥箇所からの漏れ電流を観察し、箇所を特定できることであり、LSI全体に流れる電源電流に無関係である。現在、すぐれた観察技術やソフトウェアとのリンクが実用化されている [11]

[12]。これらの技術を量産選別に組み込めるが課題となる。

4.4 まとめ

LSIの微細化・大規模化は異常電流の顕在化のために統計処理によるテスト方式にまで進展してきた。これ以外に内部回路の分割によるIDDQ計測、熱や電圧によるリーク電流の顕在化、欠陥起因のリーク電流による発熱、発光、磁気など物理現象をテストの一部に組み込む工夫も試みられている。しかしデバイスの進展に対して、既存状態での評価方法のみでは無理でDFT(Design For Test)の概念を用いた容易な電流テストが可能となる回路設計、プロセス、デザイン設計などデバイス内部へのテスト回路の作り込みが必要となる。

現在、評価パラメータにおいて論理情報と電流情報を組合せることで精度の高い評価へ移行しており、さらに故障原因の究明において物理解析と故障診断を融合した手順が一般化している。今後、広義のソフトウェアとハードウェアの相互アシストによる評価システム化が進行していくことは必須である。

文献

- (1) 眞田 克, “IDDQを用いたCMOS-LSIのテスト・故障解析・故障診断,” REAJ, Vol.24, No.8, pp.711-729 (2002)
- (2) P. Maxwell, I. Hartanto and L. Sentz, “Comparing Functional and Structural Tests,” in Proc. IEEE International Test Conference, pp.400-407 (2000).
- (3) M. Sanada, “Evaluation and Detection of CMOS-LSI with Abnormal IDDQ,” Microelectronics and Reliability, Vol.35, No.3, pp. 619-629 (1995).
- (4) P. Maxwell, “The Use of IDDQ Testing in Low Stuck-at Coverage Situations”, 13th IEEE VLSI Test Symposium (VTS '95), pp.84-88, (1995)
- (5) T. W. Williams, et al. “IDDQ Test Sensitivity Analysis of Scaling”, ITC 1996
- (6) Y. Tanaka, R. Aruga, T. Kawamura, “Data Analysis of IDDQ test in the mass-production line,” SEMI Technology Symposium 2004 Proceedings, Session 3, Testing, pp.52-55, (2004)
- (7) A. C. Miller, “IDDQ Testing in Deep Submicron Integrated Circuit”, IEEE Int. Test Conf., pp724-729, (1999)
- (8) P. Maxwell, P.O'Neil, R. Aitken, R. Dudgey, N. Jaarsma, M. Quach, D. Wiseman, “Current Ratios: A Self-Scaling Technique for Production IDDQ Testing,” IEEE Int. Test Conf., pp.738-746 (1999)
- (9) Y. Okuda DECOUPLE: Defect Current Detection in Deep Submicron IDDQ,” in Proc. IEEE International Test Conference, pp.199-206 (2000).
- (10) 坂口和宏, “スペクトル解析によるIDDQ異常高速検査手法,” LSI テスティングシンポジウム, pp.197-202, (1997).
- (11) LSI テスティング学会「LSI テスティングシンポジウム」1996-2010
- (12) LSI テスティングハンドブック, LSI テスティング学会編 オーム社 2008

Transition of evaluation technology by power supply current along with LSI progress

Masaru Sanada

(Received : April 25th, 2011)

Faculty of Engineering, Kochi University of Technology
185 Miyanokuchi, Tosayamada, Kami city, Kochi 782-8502

E-mail: sanada.masaru@kochi-tech.ac.jp

Abstract: Same as water leakage from pipes, electrical current leakage from LSI is the signal to indicate the presence of defects in circuit. System down of electric automatic exchange(NTT), happened 20 years ago, brought the awareness that excessive leakage current was an important evaluation parameter. And the current test has backed up LSI reliability to evaluate LSI quality. In addition, along with progress of LSI with scaled-down geometry and large scaled, evaluation test by the current became difficult. But “Current information doesn’t apply to circuit evaluation” is presently said. Does current test again come back as LSI evaluation technology? Technology transition and future trend are presented.