

修士論文

弱反転領域で動作する MOSFET を使った
BGR 回路の設計

Design of BGR circuit
using MOSFET in weak inversion region

報告者

学籍番号: 1215045
氏名: 武内 智哉

指導教員

橘 昌良 教授

平成 31 年 2 月 12 日

高知工科大学大学院 工学研究科 基盤工学専攻
電子・光システム工学コース

目次

第 1 章	序論	1
1.1	研究の背景	1
1.2	研究の目的	2
1.3	本論文の構成	2
第 2 章	回路説明	3
2.1	MOSFET の特性	3
2.1.1	MOSFET の構造	3
2.1.2	MOSFET の動作	4
2.2	BGR 回路の動作	6
2.2.1	CTAT 電圧	6
2.2.2	PTAT 電圧	6
2.2.3	BGR 回路の構成	8
2.3	ダイオードを使用しない BGR 回路	10
2.3.1	弱反転領域で動作する MOSFET を用いた BGR 回路	10
2.3.2	オペアンプ	10
2.3.3	スタートアップ回路	11
第 3 章	設計基準電圧回路	13
3.1	提案回路 1~3	13
3.2	先行研究回路 1~3	15
3.3	MOSFET Capacitor	18
第 4 章	実験結果	20
4.1	測定方法	20
4.2	測定結果	21
第 5 章	考察	24
5.1	スタートアップ回路の出力電流	24
5.2	回路の駆動電圧不足	27
5.3	MOSFET の I_D の安定性	27
第 6 章	まとめ	28
	謝辞	29
	参考文献	30

第 1 章 序論

1.1 研究の背景

LSI(Large Scale Integration)の歴史は半導体技術の進歩と共に歩んできた。半導体素子の微細化により、アナログ回路よりデジタル回路の方が高効率に処理ができるシーンが多くなり、アナログ回路の代用としてデジタル回路が使用されることが多くなってきた。しかし、デジタル化の拡大が進んでいる中、デジタル技術とアナログ技術を切り離すことは出来ないシーンも多く存在する。基準電源回路もアナログ回路技術が不可欠な回路の一つである。

基準電源回路の使用例として、A-D コンバータに使われる R-2R ラダー回路が挙げられる。図 1.1 に R-2R ラダー回路の回路図を示す。R-2R ラダー回路は、スイッチの切り替えにより合成抵抗値を変え、基準電圧 V_{ref} から任意の出力電圧 V_{OUT} を確保する回路である。

基準電源回路は任意の一定の出力を保ち続けなければいけない。基準電源回路の出力電圧の安定性は、基準電源回路と同時に使用する回路の動作安定性に関わってくる。理想の基準電源回路とは、動作温度や電源電圧の変動などの動作環境の変化による影響を受けない固定電圧を出力する回路である。よって、動作環境の変化に依存しない基準電源回路が必要である。

先行研究[1][2]では、基準電源回路である BGR(Band Gap Reference)回路の設計が行われた。先行研究[1][2]の実測中に BGR 回路が予期しないタイミングで停止する問題が発生した。安定性が求められる基準電源回路にとって、意図せず回路が停止する問題は致命的であり、解消しなくてはならない。

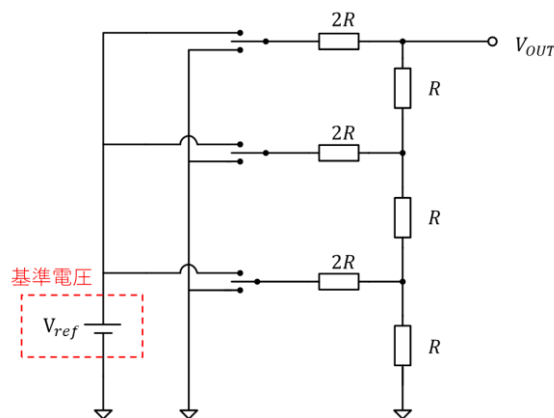


図 1.1 R-2R ラダー回路

1.2 研究の目的

本研究では、前述した BGR 回路が意図せず停止する問題を解消することを目的とした。尚且つ従来の BGR 回路の特徴でもある、電源電圧や動作環境温度の変化の影響を受けない安定した固定電圧を生成する BGR 回路を設計する。

従来の BGR 回路はダイオードを使用することで温度に依存せず出力電圧を生成する。しかし、先行研究[2]で、現在使用している製造プロセスにおいて製造されたダイオード素子は特性ばらつきが大きく、シミュレーション通りの特性を得られない可能性が示唆された。先行研究[2]の結果を経て、先行研究[1]から、ダイオードの代わりに、弱反転領域で動作する MOSFET を用いた基準電源回路が設計されている。本研究では後者の、ダイオードの代わりとして弱反転領域で動作する MOSFET を用いた基準電源回路を使用している。

1.3 本論文の構成

本論文は 8 つの章から構成される。

第 2 章では MOSFET の構造や特性、BGR 回路の動作原理や構成、先行研究から採用されている弱反転領域で動作する MOSFET の構造について述べられている。第 3 章では本研究で設計した BGR 回路について述べられている。第 4 章では本研究で行った測定方法、シミュレーション結果、実測結果について述べられている。第 5 章では実験結果に対する考察が述べられている。最終章である第 6 章ではまとめが述べられている。

第2章 回路説明

2.1 MOSFET の特性

2.1.1 MOSFET の構造

MOSFET(Metal Oxide Semiconductor Filed Effect Transistor)とは、一般的にシリコンを材料とした電界効果トランジスタ(FET: Filed Effect Transistor)の一種である。MOSFET には、n チャネル MOSFET(NMOS)と p チャネル MOSFET(PMOS)の 2 種類がある[3]。

図 2.1 に NMOS の記号、図 2.2 に NMOS の構造を示す。図 2.3 に PMOS の記号、図 2.4 に PMOS の構造を示す。

図 2.1、図 2.2 より、NMOS と PMOS はゲート(G: Gate)、ドレイン(D: Drain)、ソース(S: Source)、基板端子(B: Substrate, Bulk)の 4 端子で構成される[3][4]。ゲートは高濃度にドーピングされた低抵抗のポリシリコン(Poly-crystalline Silicon: 多結晶シリコン)からでき、G-B 間にはゲート酸化膜(SiO_2)が形成される。ゲートに印加される電圧により D-S 間に発生する電流を制御することができる[3]。

NMOS は P 型基板(p-substrate)の中に形成された n^+ 拡散層のソース、ドレインと p^+ 拡散層の基板端子を持つ。PMOS は P 型基板の中に形成された N ウェル(n-well)があり、さらに N ウェルの中に形成された p^+ 拡散層のソース、ドレインと n^+ 拡散層の基板端子を持つ。ソースとドレインに構造上の違いはなく、NMOS は電位の小さい方をソース、大きい方をドレイン、PMOS は電位の大きい方をソース、小さい方をドレインとする。基板端子は S-B 間、D-B 間に形成される接合ダイオードに逆バイアスを印可するための端子である。一般的に、NMOS は一番小さい電位、PMOS は一番高い電位に基板端子と短絡する[3]。

半導体中には、負の電荷を持つ電子と正の電荷を持つ正孔が存在する。電子と正孔はキャリアと呼ばれ、電流を発生させる要因となる。N ウェルや n^+ 拡散層では電子、P 型基板や p^+ 拡散層では正孔が多数キャリアとなる。NMOS では、G-S 間に電圧が印加されなければ S-B 間、D-B 間の接合ダイオードにより D-S 間が導通せず電流が流れない。G-S 間に正の電圧が印加されればゲート酸化膜に正の電荷が集まり、ゲート直下の P 型基板界面では正孔が追い払われゲート酸化膜の電荷量に等しい負のイオンが発生し、空乏層を形成する。この状態ではキャリアが存在しないため電流は流れない。さらに高い電圧が G-S 間に印加すると、空乏層が広がりゲート酸化膜と P 型基板界面の電位が上昇する。P 型基板界面の電位が十分に高くなるとゲート直下の P 型基板界面には反転層とよばれる少数キャリアである電子の層が形成される。これにより、 n^+ 拡散層の多数キャリアである電子により D-S 間が繋がり電流が流れる。同様に、PMOS では、S-G 間に電圧が印加されなければ S-D 間に電流は流れないが、S-G 間電圧が一定以上であればゲート直下の N ウェル界面には正孔による反転層が形成され、反転層直下に正のイオンによる空乏層が形成される。反転層が形成されると、 p^+ 拡散層の多数キャリアである正孔により S-D 間が繋がり電流が流れる。NMOS では電子を PMOS では正孔をキャリアとして利用する[5]。

PMOS を N ウェル中に作ることで、NMOS と同じ P 型基板上に PMOS を設計することができる。このように、同じ P 型基板上で NMOS と PMOS を設計する技術を CMOS(Complementary MOS)技術と呼ぶ。一般的に、CMOS 技術により同じ基板上で NMOS と PMOS のレイアウト設計を行う[5]。

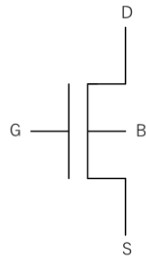


図 2.1 NMOS の記号

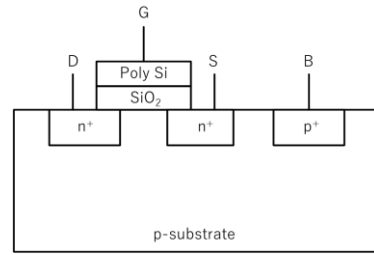


図 2.2 NMOS の構造

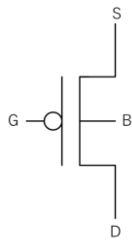


図 2.3 PMOS の記号

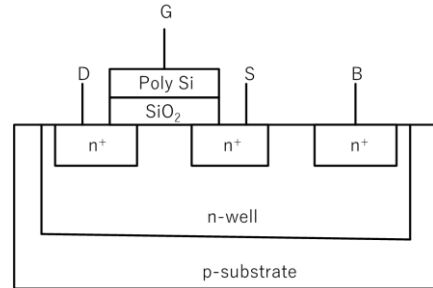


図 2.4 PMOS の構造

2.1.2 MOSFET の動作

図 2.5 に G-S 間電圧 V_{GS} の変化に対するドレイン電流 I_D の特性を示す。

図 2.5 より、 V_{GS} がしきい値電圧 V_{th} 以下のときを弱反転領域、 V_{th} 以上のときを強反転領域と呼ぶ。弱反転領域では、 I_D は V_{GS} に対して指数関数的な変化を示し、ほとんど電流が流れない。弱反転領域での I_D と V_{GS} の関係を式(2.1)に示す[4]。ここで、 β を式(2.2)に示す。 L はゲート長、 W はゲート幅、 μ はキャリアの移動度、 C_{ox} はゲート酸化膜の単位面積当たりの容量値である[4]。また、強反転領域では、 I_D は $V_{GS} - V_{th}$ に比例して増加する[4]。

$$I_D \propto \beta \exp[\gamma(V_{GS} - V_{th})] \quad (2.1)$$

$$\beta = \frac{W}{L} \mu C_{ox} \quad (2.2)$$

図 2.6 に D-S 間電圧 V_{DS} の変化に対する I_D の特性を示す。

図 2.6 より、強反転領域 ($V_{GS} > V_{th}$) において V_{DS} の値により非飽和領域 ($V_{DS} < V_{GS} - V_{th}$) と飽和領域 ($V_{DS} > V_{GS} - V_{th}$) に分かれる。非飽和領域での I_D の変化を式(2.3)に、飽和領域での I_D の変化を式(2.4)に示す[4]。一般的に MOSFET を強反転領域で用いる場合は飽和領域で動作させる。

$$I_D = \beta[(V_{GS} - V_{th})^2 - V_{DS}]V_{DS} \quad (2.3)$$

$$I_D = \frac{\beta}{2}(V_{GS} - V_{th})^2 (1 + \lambda V_{DS})$$

$$\approx \frac{\beta}{2}(V_{GS} - V_{th})^2 \quad (2.4)$$

図 2.5 の I_D - V_{GS} 特性の傾きを相互コンダクタンス g_m という [4]。飽和領域での g_m は式 (2.4) より式 (2.5) のように表すことができる [4]。 g_m は微小な G-S 間電圧の変化量 v_{GS} をドレイン電流の変化量 i_D として取り出す電圧電流変換パラメータである [4]。

$$g_m = \frac{\partial I_D}{\partial V_{GS}}$$

$$= \sqrt{2\beta I_D} \quad (2.5)$$

式 (2.4) の λ は V_{DS} に対する I_D の変化量を示す出力コンダクタンス g_o (出力抵抗 r_o の逆数) の大きさを決めるパラメータであり、飽和領域においては式 (2.6) のように表わすことができる [4]。この λ が十分に小さい場合は、 I_D の V_{DS} に対する依存性が小さくなる [4]。よって、 g_o を小さく (r_o を大きく) することで飽和領域における I_D - V_{DS} 特性の傾きが 0 に近くなり、 I_D を理想的な電流源に近づけることができる [4]。

$$g_o = \frac{1}{r_o} = \frac{\partial I_D}{\partial V_{DS}}$$

$$\approx \lambda I_D \quad (2.6)$$

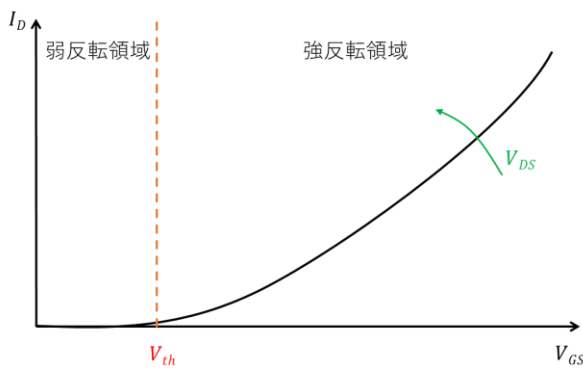


図 2.5 NMOS の $I_D - V_{GS}$ 特性

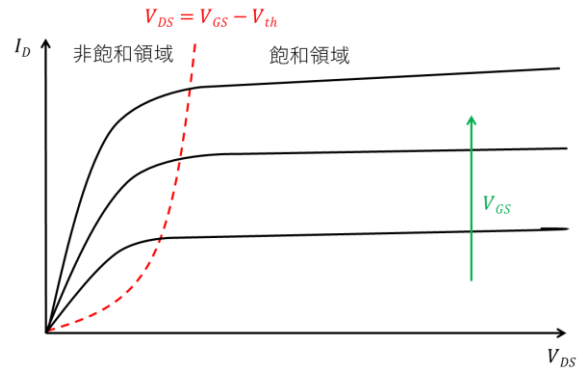


図 2.6 NMOS の $I_D - V_{GS}$ 特性

2.2 BGR 回路の動作

本章では、ダイオードを用いた一般的な BGR 回路について述べる。

2.2.1 CTAT 電圧

図 3.1 にダイオードによる CTAT(Complementary To Absolute Temperature)電圧を示す。

CTAT 電圧とは、温度が上昇するに従い電圧が減少する負の温度特性を持つ電圧である[6]。ダイオードに順電流を流したときに発生する電圧 V_D は負の温度特性($\partial V_D/\partial T=-1.6[mV/K]$)を持ち CTAT 電圧となる[6]。 V_D と流れる電流 I の関係を式(2.7)に示す[6]。式(2.7)より、 V_D は I に対して指数関数的な変化を示す[6]。 k_B はボルツマン定数、 T は絶対温度、 q は電子の持つ電荷量、 I_S は飽和電流である。

$$V_D = \frac{k_B T}{q} \ln\left(\frac{I}{I_S}\right) \quad (2.7)$$

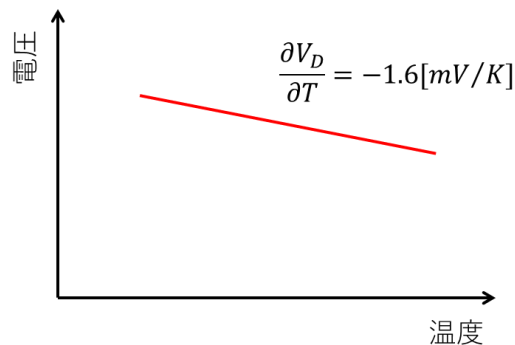


図 2.7 ダイオードに発生する電圧の温度特性

2.2.2 PTAT 電圧

図 2.8 にダイオードによる PTAT(Proportional To Absolute Temperature)電圧を示す。図 2.8 に PTAT 電圧を生成する回路図のダイオード部、図 2.9 に PTAT 電圧の生成方法を示す。

PTAT 電圧とは、温度が上昇するに従い電圧が増加する正の温度特性を持つ電圧である[6]。ダイオード両端に発生する電圧はダイオードの面積が大きいほど負の温度依存性は大きくなる[6]。よって、面積比の異なる 2 つのダイオードから発生する電圧の差は PTAT 電圧として扱うことができる。

図 2.8 に示すように、PTAT 電圧は面積比の異なる 2 つのダイオード D_1 、 D_2 に発生する電圧 V_{D1} 、 V_{D2} の差から生成することができる。ここで、点 A と点 B は同電位($V_A=V_B$) とし、 D_1 、 D_2 に流れる電流は等しい($I_1=I_2$) と仮定すると式(2.8)、式(2.9)となる。ここで、 D_2 は D_1 を K 個並列に接続したものであるとする

と面積比が $1:2=1:K$ となるため、 D_2 に流れる電流は D_1 に流れる電流の $1/K$ 倍となり式(2.9)より式(2.10)と表される。

$$V_A = V_B = V_C \quad (2.8)$$

$$I_1 = I_2 = I_{D1} \quad (2.9)$$

$$I_{D2} = \frac{I_1}{K} = \frac{I_{D1}}{K} \quad (2.10)$$

よって、式(2.7)、式(2.8)、式(2.9)より、 V_{D1} は式(2.11)、 V_{D2} は式(2.12)のようになる[7]。

$$V_{D1} = \frac{k_B T}{q} \ln\left(\frac{I_{D1}}{I_S}\right) \quad (2.11)$$

$$V_{D2} = \frac{k_B T}{q} \ln\left(\frac{I_{D2}}{I_S}\right) = \frac{k_B T}{q} \ln\left(\frac{I_{D1}}{KI_S}\right) \quad (2.12)$$

式(2.11)、式(2.12)より、抵抗 R_{PTAT} に発生する電圧 ΔV_D は V_{D1} と V_{D2} の電位差となるため式(2.13)と表される。以上より、 ΔV_D は V_{D1} 、 V_{D2} の差となり PTAT 電圧となる[4]。

$$\begin{aligned} \Delta V_D &= V_{D1} - V_{D2} \\ &= \frac{k_B T}{q} \ln\left(\frac{I_{D1}}{I_S}\right) - \frac{k_B T}{q} \ln\left(\frac{I_{D1}}{KI_S}\right) \\ &= \frac{k_B T}{q} \ln(K) \end{aligned} \quad (2.13)$$

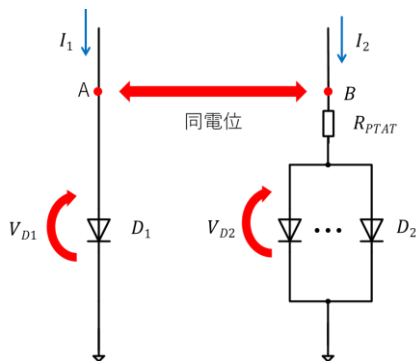


図 2.8 PTAT 電圧の発生回路

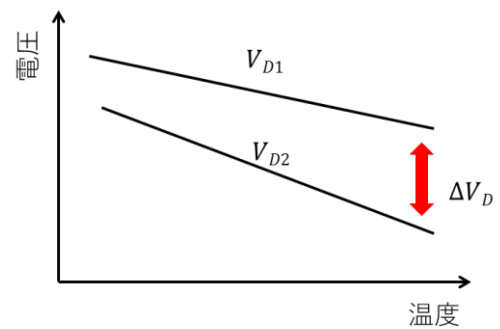


図 2.9 PTAT 電圧

2.2.3 BGR 回路の構成

図 2.10 に BGR 回路の一例を示す。

BGR 回路では、CTAT 電圧と PTAT 電圧を組み合わせ温度依存性が小さい出力電圧を生成する。オペアンプのイマジナリショートと入力インピーダンスが十分に大きいという仮定により、オペアンプの正相端子、逆相端子の電位は等しく、オペアンプへは電流は流れない。さらに、カレントミラー M_1 、 M_2 と抵抗 2 によりダイオード D_1 、 D_2 に流れる電流が等しくなる。よって、 D_1 、 D_2 に発生する電圧を V_{D1} 、 V_{D2} とすると、抵抗 R_1 には PTAT 電圧 ($\Delta V_D = V_{D1} - V_{D2}$)、抵抗 R_2 には CTAT 電圧 V_{D1} が発生する。また、抵抗 R_3 に流れる電流 I_3 はカレントミラー M_1 、 M_2 、 M_3 により R_1 、 R_2 に流れる電流 I_1 、 I_2 の和となるため、式 (2.14) と表される [4]。式 (2.14) の右辺第 1 項は PTAT 電圧から発生する電流 I_1 、右辺第 2 項は CTAT 電圧から発生する電流 I_2 となる。この I_1 、 I_2 を R_1 、 R_2 の値で調整することで温度に依存しない基準電流となる電流 I_3 を生成することができる [4]。

$$\begin{aligned} I_3 &= I_1 + I_2 \\ &= \frac{\Delta V_D}{R_1} + \frac{V_{D1}}{R_2} \end{aligned} \quad (2.14)$$

式 (2.14) より、オームの法則により温度に依存しない基準電流 I_3 を抵抗 R_3 で電圧に変換することにより温度に依存しない出力電圧 V_{OUT} を生成できる。この基準電圧となる V_{OUT} を式 (2.15) に示す

$$\begin{aligned} V_{OUT} &= R_3 I_3 \\ &= R_3 \left(\frac{\Delta V_D}{R_1} + \frac{V_{D1}}{R_2} \right) \end{aligned} \quad (2.15)$$

式 (2.15) より、右辺第 1 項の PTAT 電圧と右辺第 2 項の CTAT 電圧から抵抗 1、2、3 を調節して $\partial V / \partial T \approx 0$ となる点で動作させることにより温度依存性の小さい基準電圧となる V_{OUT} を生成することができる [4]。

また、図 2.10 の BGR 回路では M_1 、 M_2 、 M_3 のゲート電圧が電源電圧 V_{DD} に固定されカレントミラー回路に電流が流れない場合でも安定的に動作する。よって、BGR 回路の出力電圧が得られない点で動作する可能性があり、実際に BGR 回路を用いる際はスタートアップ回路によりこの点での動作を避ける必要がある [7]。

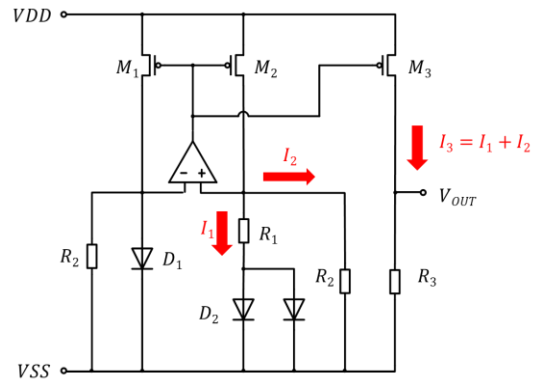


図 2.10 一般的な BGR 回路

2.3 ダイオードを使用しない BGR 回路

本章では、弱反転領域で動作する MOSFET をダイオードの代用として用いた BGR 回路について述べる。

2.3.1 弱反転領域で動作する MOSFET を用いた BGR 回路

図 2.11 に弱反転領域で動作する MOSFET を用いた BGR 回路を示す。

チップばらつきを軽減させるため、先行研究[1]から弱反転領域で動作する MOSFET が用いられている。図 2.5、式(2.9)より、弱反転領域で動作する MOSFET の I_D - V_{GS} 特性は、ダイオードと同様に指数関数的な特徴を持つため、バイポーラトランジスタの代わりに CTAT 電圧、PTAT 電圧の発生源として利用できる。図 2.11 の M_4 、 M_5 がバイポーラトランジスタの代わりとして用いた NMOS であり、ゲート端子とドレイン端子を短絡させたダイオード結合とした[1]。

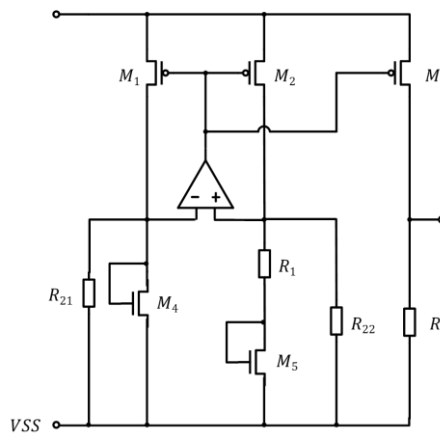


図 2.11 弱反転領域で動作する MOSFET を用いた BGR 回路

2.3.2 オペアンプ

図 2.12、図 2.13 に BGR 回路に使用したオペアンプを示す[1]。表 2.1 にオペアンプの各パラメータを示す[1]。

オペアンプを使用することで、図 2.11 の BGR 回路のカレントミラー回路の出力抵抗を大きくして電源電圧に対する依存性を軽減している[1]。回路構成は先行研究[1]と同様のものを用いた。以降の BGR 回路に組み込まれるオペアンプは、図 2.12、図 2.13 のオペアンプとする。

図 2.11 のオペアンプでは、差動増幅回路とカスコード増幅回路を組み合わせた 2 段構造のオペアンプとした。2 段構造とすることで電圧利得を高めて 60dB 程度にすることができる[4]。2 段構造のオペアンプでは負帰還をかけたときに発振する可能性があるため、位相補償キャパシタ C_c を 1 段目の差動増幅回路と 2 段目のカスコード増幅回路の間に組み込んだ[1][4]。また、電源電圧 V_{DD} に依存しないバイアス電

圧を生成するため、オペアンプの出力電圧 V_o からバイアス電圧を生成している[1]。

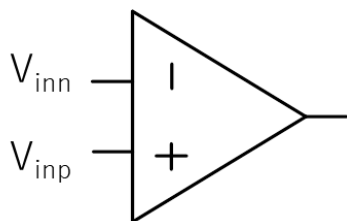


図 2.12 オペアンプの記号

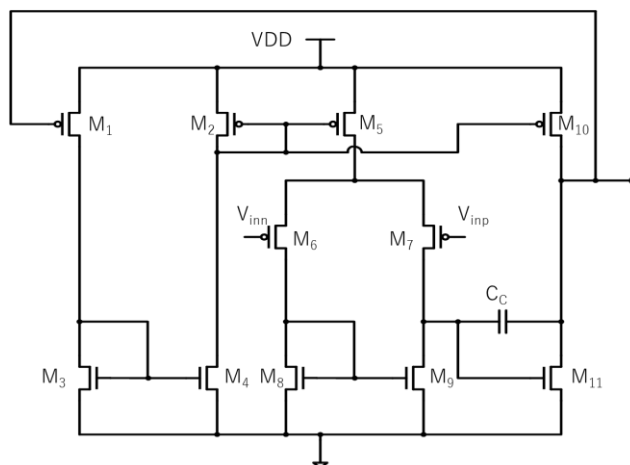


図 2.13 オペアンプの回路図

表 2.1 オペアンプのパラメータ

トランジスタ	ゲート長[μm]	ゲート幅[μm]	並列数
M_1, M_2	1.08	2.7	2
M_3, M_4	1.08	1.38	1
M_5	1.08	1.3	1
M_6, M_7	1.08	2.7	1
M_8, M_9	2	0.7	1
M_{10}	1.08	5.4	2
M_{11}	1.08	2.7	2
キャパシタ			[pF]
C_c			0.3

2.3.3 スタートアップ回路

図 2.14 に BGR 回路に使用したスタートアップ回路を示す[1]。表 2.2 にスタートアップ回路の各パラメータを示す[1]。

出力端子 I_{OUT} を図 2.10 や図 2.11 の BGR 回路のオペアンプの逆相端子の部分に接続することで、電源電圧 V_{DD} が立ち上がる際にオペアンプの逆相端子の部分に電流を流し BGR 回路を駆動させる。 V_{DD} が約 0.8V 以上となると M_{S3} が OFF 状態となり BGR 回路からスタートアップ回路を切り離す。このスタートアップ回路により、回路の始動時である V_{DD} が立ち上がる際に出力電圧が得られない点での動作を避け、BGR 回路が正常に動作できるようにする[1][2]。回路構成は先行研究[1]と同様のものを用いた。以降

の BGR 回路に組み込まれるスタートアップ回路は、図 2.14 のスタートアップ回路とする。

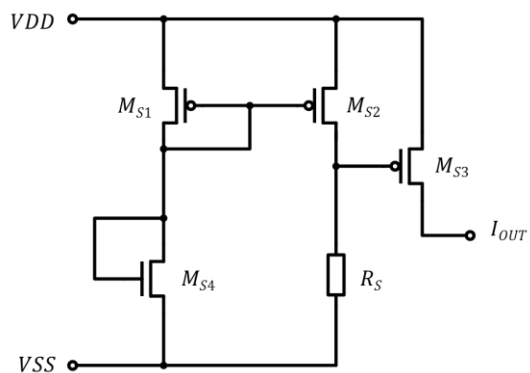


図 2.14 BGR 回路に使用するスタートアップ回路

表 2.2 スタートアップ回路のパラメータ

トランジスタ	ゲート長[μm]	ゲート幅[μm]	並列数
M_{S1}	0.54	2.7	1
M_{S2}	0.54	2.7	2
M_{S3}	1.08	2.7	1
M_{S4}	0.54	2.7	1
抵抗		[k Ω]	
R_S		200	

第3章 設計基準電圧回路

回路設計は Rohm0.18 μ mCMOS プロセスにより行われた。

以下に本研究で設計された回路を紹介する。

3.1 提案回路 1~3

図 3.1 に設計した提案回路 1~3 を示す。表 3.1、表 3.2、表 3.3 にそれぞれ提案回路 1~3 のパラメータを示す。図 3.2、図 3.3、図 3.4 に提案回路 1~3 のレイアウトを示す。本研究では、前述した BGR 回路が意図せず停止する原因として、出力段 MOSFET M_3 のバイアスが不安定だと予測した。ノイズなどの要因で、 M_3 のゲートをバイアスしているオペアンプの出力が急激に変動した場合、 M_3 が OFF になる可能性がある。 M_3 のゲートへのバイアスを安定させるには大容量のパスコンデンサが効果的であると考え、オペアンプ出力部-VDD 間にキャパシタ MC を挿入した。MC は、MOSFET Capacitor の略であり、MOSFET のゲート酸化膜を利用したキャパシタである。

図 3.1 に示す BGR 回路は、図 2.11 の BGR 回路と図 2.14 のスタートアップ回路を組み合わせられている。

提案回路 1~3 は、先行研究[1]で設計された先行研究回路 1~3 のオペアンプ出力-電源 VDD 間に MC を挿入した回路である。先行研究[1]で設計された先行研究回路 1~3 については後述する。

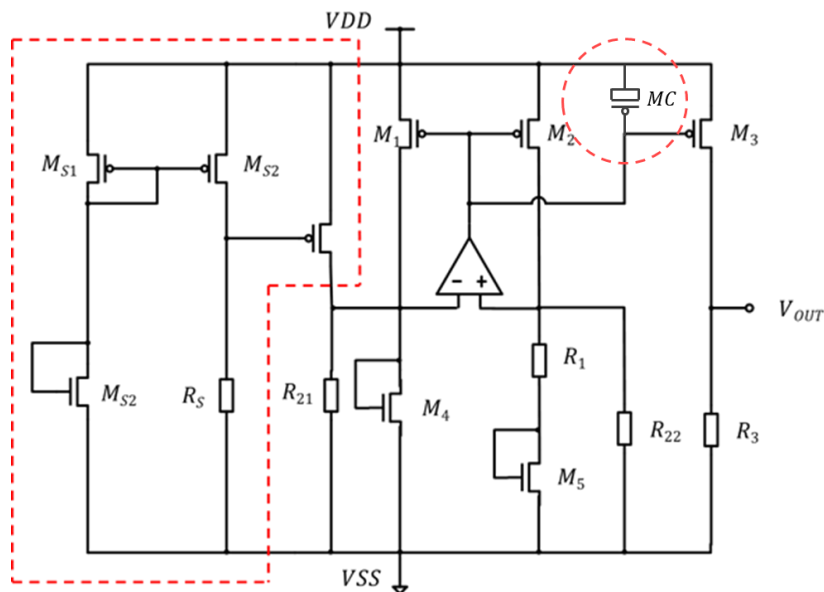


図 3.1 提案回路 1~3 の回路図

表 3.1 提案回路 1 のパラメータ

トランジスタ	ゲート長[μm]	ゲート幅[μm]	並列数
M_1, M_2, M_3	1.08	2.7	2
M_4	1	20	2
M_5	1	20	6
MC	2.7	10.8	20
抵抗			[k Ω]
R_1			20
R_{21}, R_{22}			222.5
R_3			262.5

表 3.2 提案回路 2 のパラメータ

トランジスタ	ゲート長[μm]	ゲート幅[μm]	並列数
M_1, M_2, M_3	1.08	2.7	2
M_4	1	10	2
M_5	1	20	2
MC	2.7	10.8	20
抵抗			[k Ω]
R_1			10
R_{21}, R_{22}			160
R_3			155

表 3.3 提案回路 3 のパラメータ

トランジスタ	ゲート長[μm]	ゲート幅[μm]	並列数
M_1, M_2, M_3	1.08	2.7	2
M_4	0.36	1	2
M_5	0.36	1	4
MC	2.7	10.8	20
抵抗			[k Ω]
R_1			20
R_{21}, R_{22}			175
R_3			230

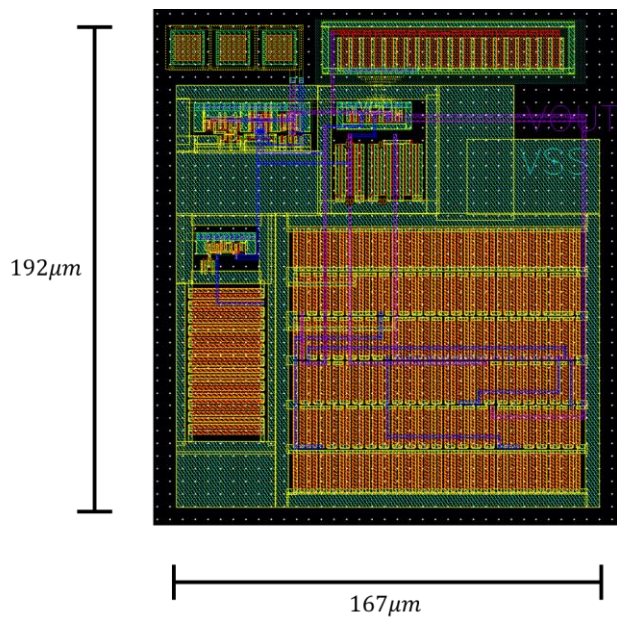


図 3.2 提案回路 1 のレイアウト

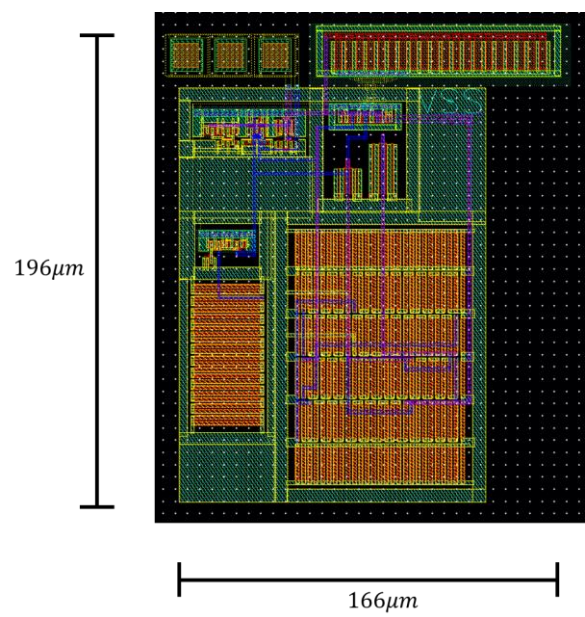


図 3.3 提案回路 2 のレイアウト

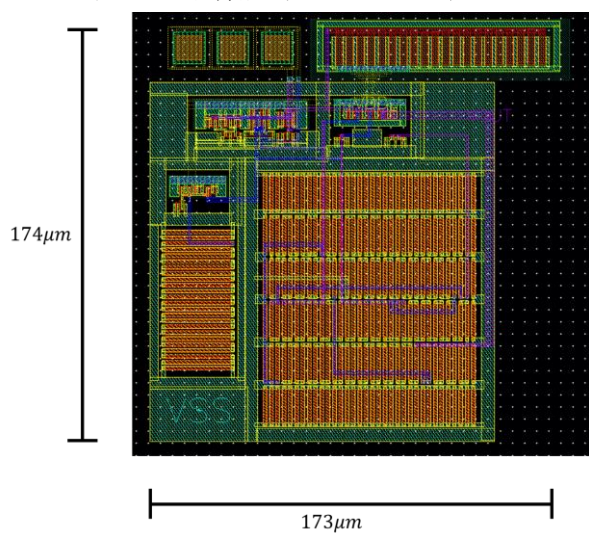


図 3.4 提案回路 3 のレイアウト

3.2 先行研究回路 1~3

本研究では、先行研究[1]で設計された BGR 回路と本研究の設計回路を比較するために、同チップ上に先行研究[1]設計回路である先行研究回路 1~3 も載せた。図 3.5 に設計した先行研究回路 1~3 を示す。表 3.4、表 3.5、表 3.6 にそれぞれ先行研究回路 1~3 のパラメータを示す。図 3.6、図 3.7、図 3.8 に先行研究回路 1~3 のレイアウトを示す。

図 3.5 に示す BGR 回路は、図 2.11 の BGR 回路と図 2.14 のスタートアップ回路を組み合わせられている。

先行研究回路 1~3 は、先行研究[1]で設計された回路 1~3 の回路とレイアウトを使用した。

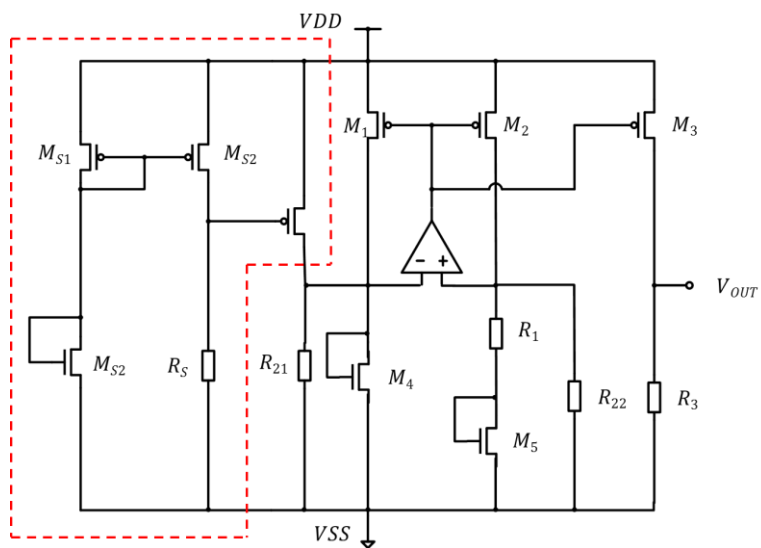


図 3.5 先行研究回路 1~3 の回路図

表 3.4 先行研究回路 1 のパラメータ

トランジスタ	ゲート長[μm]	ゲート幅[μm]	並列数
M_1, M_2, M_3	1.08	2.7	2
M_4	1	20	2
M_5	1	20	6
抵抗			[k Ω]
R_1			20
R_{21}, R_{22}			222.5
R_3			262.5

表 3.5 先行研究回路 2 のパラメータ

トランジスタ	ゲート長[μm]	ゲート幅[μm]	並列数
M_1, M_2, M_3	1.08	2.7	2
M_4	1	10	2
M_5	1	20	2
抵抗			[k Ω]
R_1			10
R_{21}, R_{22}			160
R_3			155

表 3.6 先行研究回路 3 のパラメータ

トランジスタ	ゲート長[μm]	ゲート幅[μm]	並列数
M_1, M_2, M_3	1.08	2.7	2
M_4	0.36	1	2
M_5	0.36	1	4
抵抗			[k Ω]
R_1			20
R_{21}, R_{22}			175
R_3			230

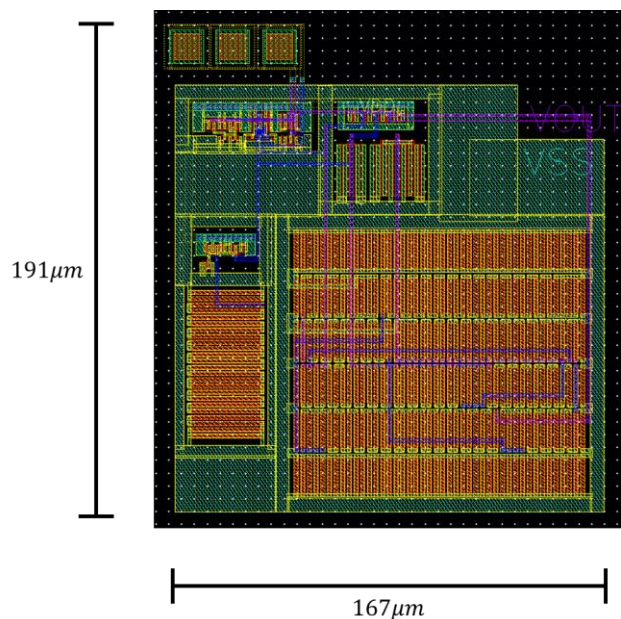


図 3.6 先行研究回路 1 のレイアウト

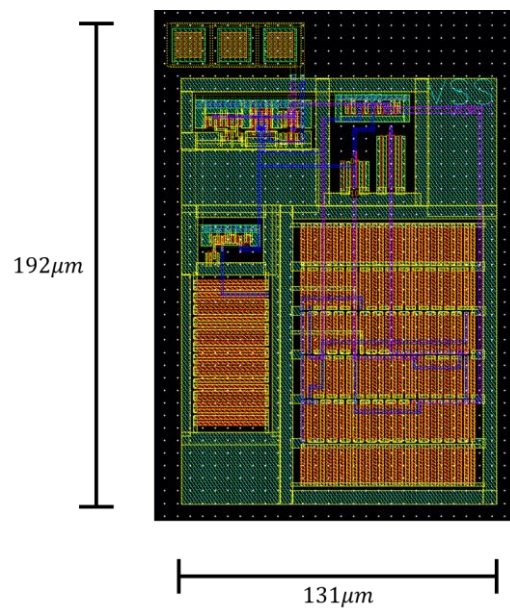


図 3.7 先行研究回路 2 のレイアウト

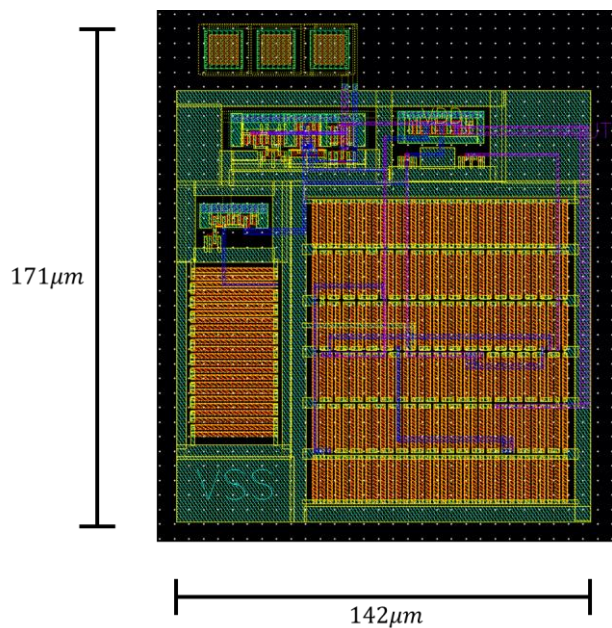


図 3.8 先行研究回路 3 のレイアウト

3.3 MOSFET Capacitor

ゲート酸化膜を利用して、MOSFET をキャパシタとして使用できる。MOSFET のゲート下にある酸化膜は絶縁体であり、ソース、ドレイン、基盤端子を短絡させることによって、電極が絶縁体を両面から挟む MIM キャパシタと似た構造になる。MC の容量はゲート-ボディ間電圧 V_{GB} により変化する[11][14]。

一般に MC のゲート容量 C_g は式(3.1)、(3.2)のように定義される。

$$C_g = W \times L \times C_{ox} \quad (3.1)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (3.2)$$

C_{ox} は単位酸化膜容量、 ϵ_{ox} は酸化膜誘電率、 t_{ox} は参加膜厚を意味する。ROHM 社から MOSFET の単位酸化膜容量 $C_{ox} \approx 10.7[\text{fF}/\mu\text{m}^2]$ が提示されている。MC は、メタルと絶縁層から形成される MIM キャパシタよりも小面積で大容量を実現できる[13]。表 3.7 に提案回路である提案回路 1~3 に挿入されている MC のゲート容量を示す。

表 3.7 MC のゲート容量

	ゲート面積($W \times L$) $[\mu\text{m}^2]$	ゲート容量 C_g [pF]
MC(回路 1~3)	583.2	6.3

第4章 実験結果

4.1 測定方法

表 4.1 に測定装置を示す。

図 4.1 に製作した治具を示す。図 6.1 の治具を使用して、チップ端子と測定装置のプロープを接続し、チップ内の回路の出力電圧の測定を行った。先行研究[1]から、直流電源のハムノイズが BGR 回路の出力電圧に及ぼす影響を考慮し、一つの試験条件につき 500 回の電圧測定を行い、平均値をとる方法がとられてきた。試験回数増加に当たり、VBA(Visual Basic Applications)を利用した測定機器のプログラム制御による自動測定が導入されている。温度特性の測定には、チップの動作温度を設定するためにエスペック社の小型環境試験装置 SH-241 を用いる。

表 4.1 測定器具

名称	型式	台数	メーカー
DC Power supply	E3642A	1	Agilent Technologies
Single Output DC Power Supply	U8001A	1	Agilent Technologies
6 1/2 Digital Multimeter	34401A	4	Agilent Technologies
Environmental Test Chamber	SH-241	1	ESPEC

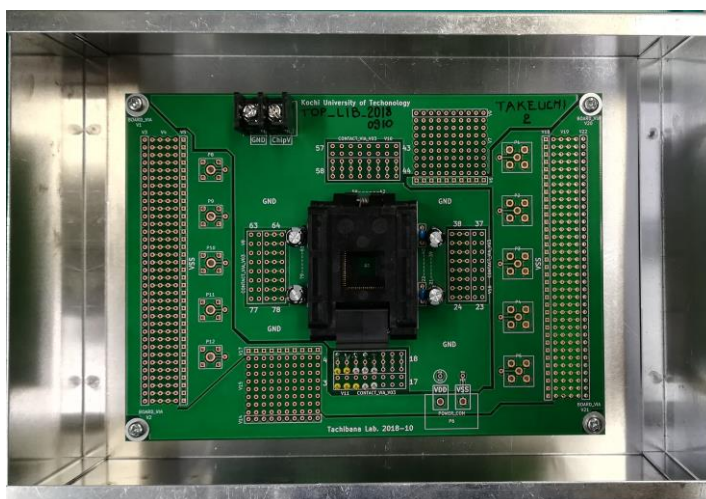


図 4.1 製作した治具

4.2 測定結果

提案回路 1~3 の電圧依存性測定結果を図 4.2~4.4、温度依存性測定結果を図 4.5~4.7 に示す。先行研究回路 1~3 の電圧依存性測定結果を図 4.8~4.10、温度依存性測定結果を図 4.11~4.13 に示す。SIM はシミュレーション結果、CHIP は回路の実測結果を指す。

提案回路 1~3 の電圧依存性のシミュレーション結果は動作電源電圧範囲内(VDD=1.6~2.5V)で、約 1V の安定電圧を出力している。提案回路 1 の実測結果は、動作電源電圧範囲内で約 0.9V の出力電圧を示した。VDD=1.7V 付近で出力電圧に 0.5V 程度振れる歪が見られた。提案回路 2 の実測結果は、動作電源電圧範囲内で、電源電圧 VDD の上昇に伴い、出力電圧が右肩上がりに約 0.8V から 0.9V へ上昇した。提案回路 3 の実測結果は、動作電源電圧範囲内で出力電圧が約 1V の出力電圧を示して、シミュレーションとほぼ一致した。VDD=0.8V 付近のスタートアップ回路の出力降下の様子が異なる。

提案回路 1~3 の温度依存性のシミュレーションでは、提案回路 1 は温度が 30°C 付近、提案回路 2 は 60°C 付近が頂点になる下向きに凸の出力電圧を見せた。提案回路 3 は 15°C と 70°C 付近で頂点が現れる三次曲線のような出力電圧を示した。提案回路 1 の実測結果は、出力電圧が右肩上がりに約 0.88 から 0.95V へ上昇した。提案回路 2 の実測結果は、出力電圧が右肩上がりに約 0.87 から 0.95V へ上昇した。提案回路 3 の実測結果は、出力電圧が右肩上がりに約 0.99 から 1.04V へ上昇した。提案回路 1~3 すべての実測結果に PTAT 電圧の割合が多かった。

先行研究回路 1~3 も提案回路 1~3 と同様、電圧依存性のシミュレーション結果は動作電源電圧範囲内(VDD=1.6~2.5V)で、約 1V の安定電圧を出力している。先行研究回路 1 の実測結果は、動作電源電圧範囲内で約 0.9V の出力電圧を示した。先行研究回路 2 の実測結果は、動作電源電圧範囲内で、電源電圧 VDD の上昇に伴い、出力電圧の右肩下がりの降下が見られた。先行研究回路 3 の実測結果は、動作電源電圧範囲内で約 1V の出力電圧を示して、シミュレーションとほぼ一致した。

先行研究回路 1~3 の温度依存性のシミュレーションも、先行研究回路 1 及び提案回路 1 は温度が 30°C 付近、先行研究回路 2 及び提案回路 2 は 60°C 付近が頂点になる下向きに凸の波形を見せた。先行研究回路 3 及び提案回路 3 は 15°C と 70°C 付近で頂点が現れる三次曲線のような波形を示した。先行研究回路 1 の実測結果は、出力電圧が右肩上がりに約 0.87 から 0.94V へ上昇した。先行研究回路 2 の実測結果は、出力電圧が右肩上がりに約 0.87 から 0.95V へ上昇した。先行研究回路 3 の実測結果は、出力電圧が右肩上がりに約 0.99 から 1.04V へ上昇した。

今回、電源電圧依存性の実測をしている時に、提案回路 1~3 と先行研究回路 1~3 で意図せぬ回路停止が発生した。図 4.2~4.13 には回路停止が発生しなかった時の出力結果を示した。

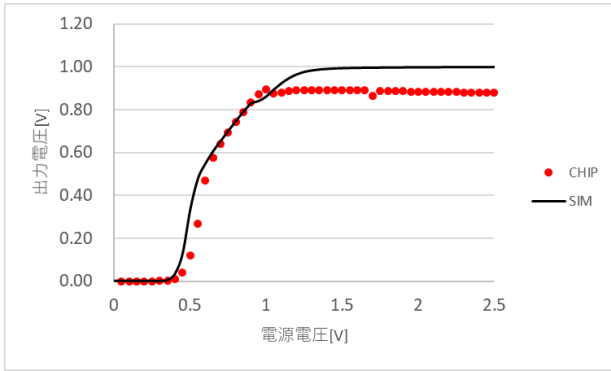


図 4.2 提案回路 1 の電源電圧特性の測定結果

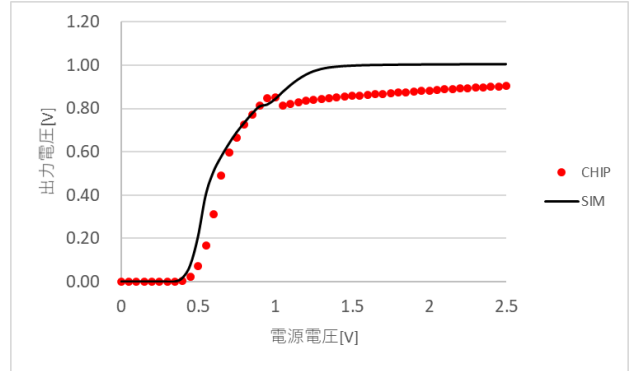


図 4.3 提案回路 2 の電源電圧特性の測定結果

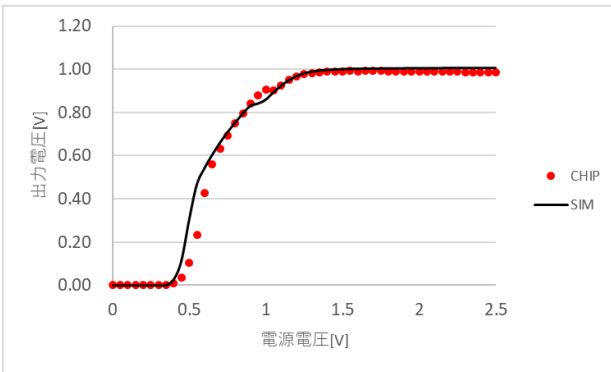


図 4.4 提案回路 3 の電源電圧特性の測定結果

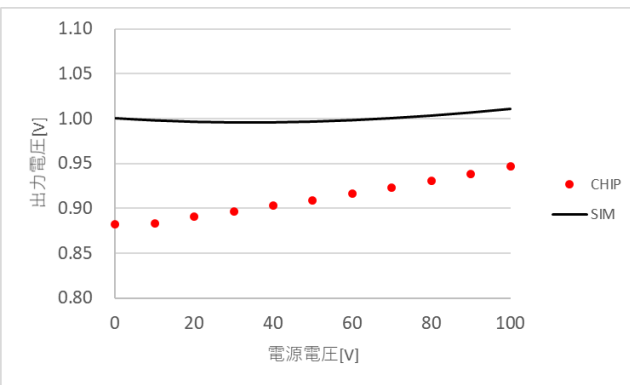


図 4.5 提案回路 1 の温度依存性の測定結果

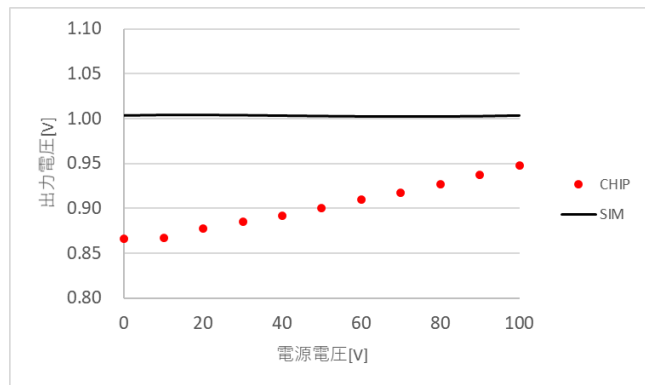


図 4.6 提案回路 2 の温度依存性の測定結果

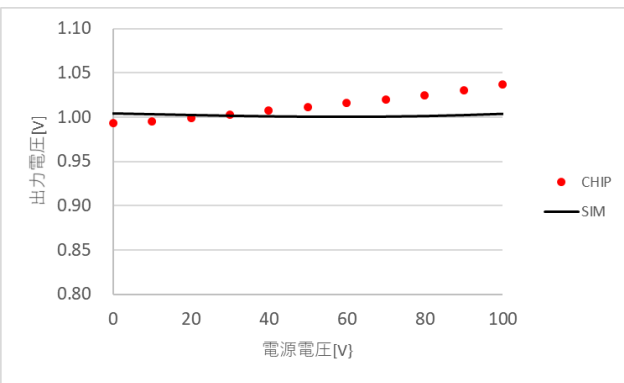


図 4.7 提案回路 3 の温度依存性の測定結果

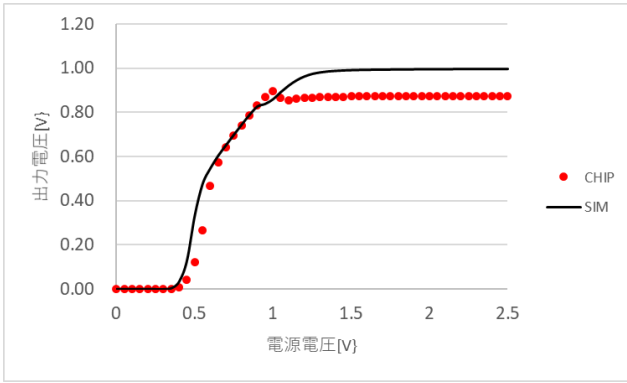


図 4.8 先行研究回路 1 の電源電圧特性の測定結果

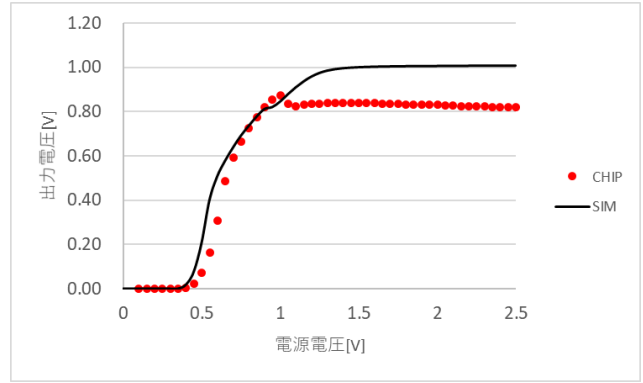


図 4.9 先行研究回路 2 の電源電圧特性の測定結果

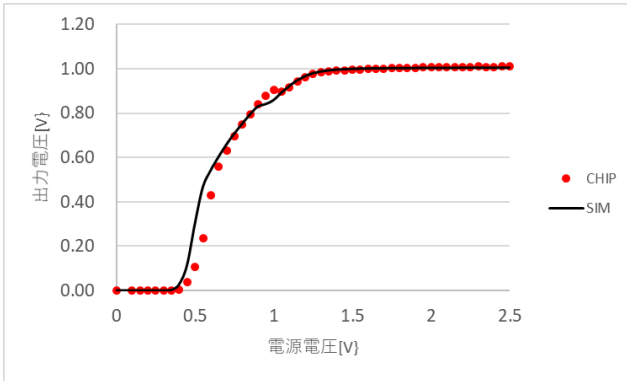


図 4.10 先行研究回路 3 の電源電圧特性の測定結果

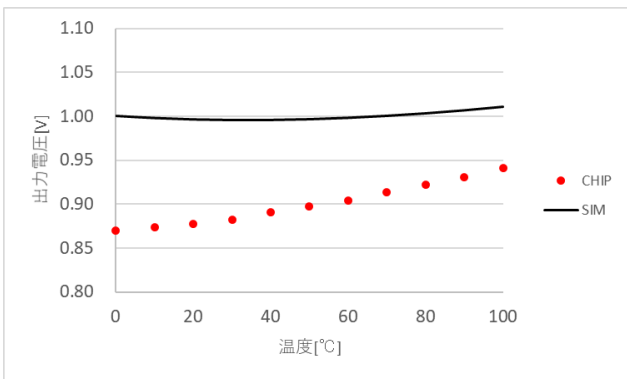


図 4.11 先行研究回路 1 の温度依存性の測定結果

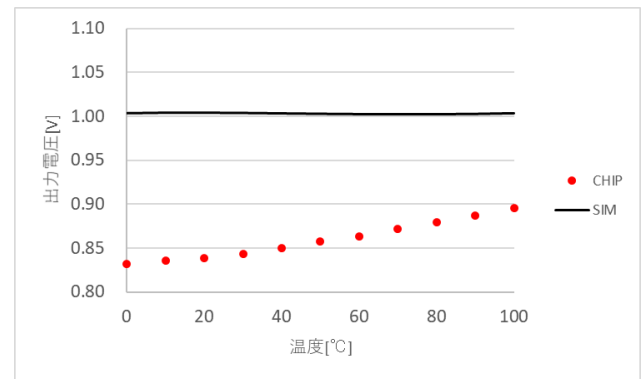


図 4.12 先行研究回路 2 の温度依存性の測定結果

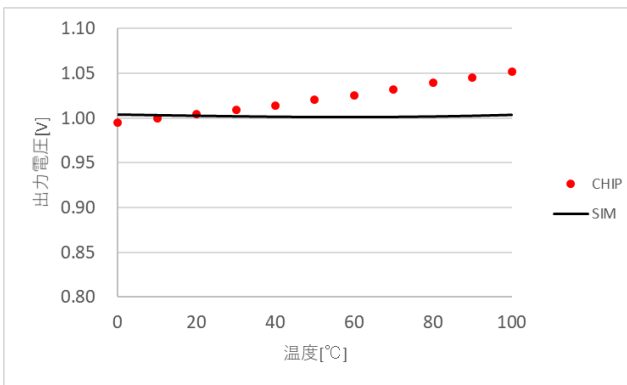


図 4.13 先行研究回路 3 の温度依存性の測定結果

第5章 考察

提案回路 1~3 と先行研究回路 1~3 の実測結果は電源電圧特性と温度特性ともに大きな違いは確認できなかった。提案回路 2 の出力波形が動作電源電圧範囲において、先行研究回路 2 より右肩上がりに傾斜していることに関しては、製造ばらつきが関与していると考えられる。提案回路 1、3 の出力波形に右肩上がりの傾向が確認できないため、提案回路 2 の出力波形の傾斜と MC 挿入は関係ないと考えられる。

そして、実測中に先行研究回路 1~3 と提案回路 1~3 に意図せぬ回路停止が確認された。MC 挿入だけでは問題を解消できなかった。

よって、考え得る本研究回路の問題点として以下の 3 点を提示し、対処法を考察する。

- ①スタートアップ回路の出力電流
- ②回路の駆動電圧不足
- ③MOSFET の I_D の安定性

5.1 スタートアップ回路の出力電流

現在使用しているスタートアップ回路(以降 SU 回路と記述)の問題点は 2 点挙げられる。①出力電流が大きさと②VDD に依存した動作である。従来、SU 回路は回路を起動させる為の回路であり、回路起動後は回路動作に影響を与えないために切り離される。

本研究の SU 回路の動作は、VDD の上昇に従い、抵抗 R_S の電圧が大きくなり、 M_{S3} の V_{SG} を下げている。VDD=0.8V を越えると M_{S3} の出力電流が減少していき、BGR 回路から切り離される。図 7.1 に本研究 SU 回路の出力電流の電源電圧特性シミュレーション結果を示す。SU 回路の出力電流の最大値が約 9.7 μA である(VDD=0.8V)。VDD=0.8V の時の M_1 の I_D が約 8.6 μA であり、SU 回路の出力電流が大きい。SU 回路の出力電流が過渡的に変動した場合、BGR 回路の動作に影響を与える可能性がある。本研究 SU 回路が閾値 VDD=0.81V を越えてから出力電流が約 0A になる VDD=0.99V までの傾斜は、 $\frac{\partial I_D}{\partial VDD} = 48.45[\mu A/V]$ である。また、この SU 回路は VDD に依存して動作する。BGR 回路が起動しても VDD=0.8V を越えるまでは電流供給を継続する。さらに、VDD=0.8 を越え、完全に SU 回路が OFF になると、それ以降 BGR 回路が停止しても起動させることが出来ない。

以上より、SU 回路が回路へ与える影響を抑えるために、BGR 回路の動作状況を検知して電流供給する SU 回路を提案する。提案 SU 回路の回路図を図 5.2、素子パラメータを表 5.1 に示す。文献[6],[9],[10],[12]を参考に設計した。提案 SU 回路の動作を説明する。 M_{S1} は接続先の MOSFET M_4 の ON/OFF 状態を検知する。接続先の MOSFET が OFF の場合、 M_{S1} 及び M_{S2} に電流は流れず、N1 と N2 の電位はそれぞれ VDD と VSS になる。この時、 M_{S3} の V_{GS} と V_{DS} は VDD-VSS になり、 M_{S3} に電流が流れる。 M_4 の電流は M_4 へ流れ込み、 M_4 を起動させる。 M_4 の起動と同時に、 M_{S1} と M_{S2} も起動して電流が流れ始める。すると、VDD の上昇と共に、N1 と N2 の電位はそれぞれ降下、上昇していき、最終的には M_{S3} の V_{GS} は閾値 V_{th} 以下になって、提案 SU 回路は BGR 回路から切り離される。

図 5.3 に提案 SU 回路を組み込んだ BGR 回路(提案回路 3)の出力電圧、図 5.4 に提案 SU 回路の出力電

流の電

源電圧特性シミュレーション波形を示す。図 5.3 を図 4.4 の波形と比較すると、0.8V 付近にあった出力波形の歪が無くなり、動作電源電圧範囲内でも約 1V の出力電圧が確認できた。図 5.4 が示すように、提案 SU 回路が OFF

になる閾値は $V_{DD}=0.4V$ である。 $V_{DD}=0.4V$ の時の出力電流は $20.4nA$ であり、本研究 SU 回路の出力電流の

約 0.2% に抑えられた。 $V_{DD}=0.40V$ から、出力電流が $0A$ になる $V_{DD}=0.56V$ までの傾斜は、 $\partial I_D / \partial V_{DD} =$

$0.13[\mu A/V]$ である。提案 SU 回路が OFF になった後 BGR 回路が停止しても、出力電流の供給を再開して BGR

回路を再起動させる。

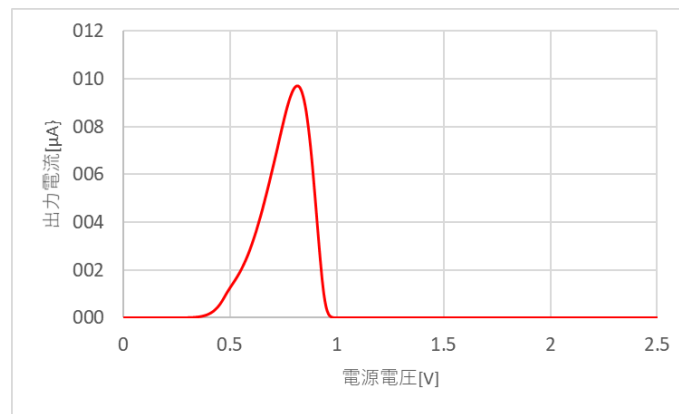


図 5.1 本研究 SU 回路の電源電圧特性波形

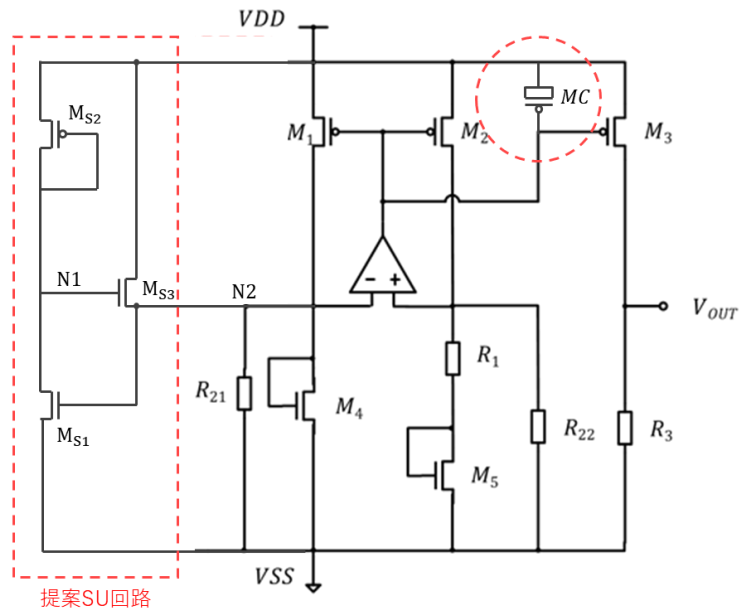


図 5.2 提案 SU 回路を付加した BGR 回路の回路図

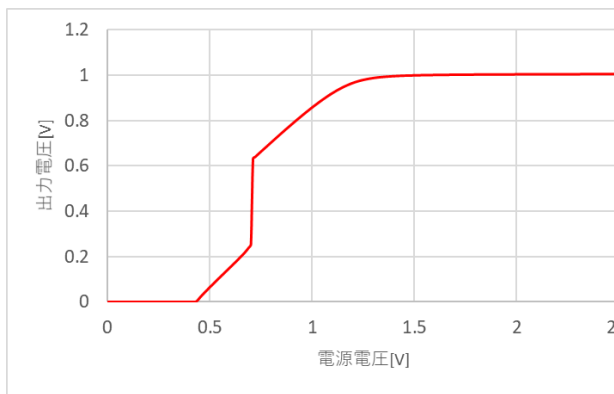


図 5.3 提案回路 3 の電源電圧特性波形(提案 SU 回路有)

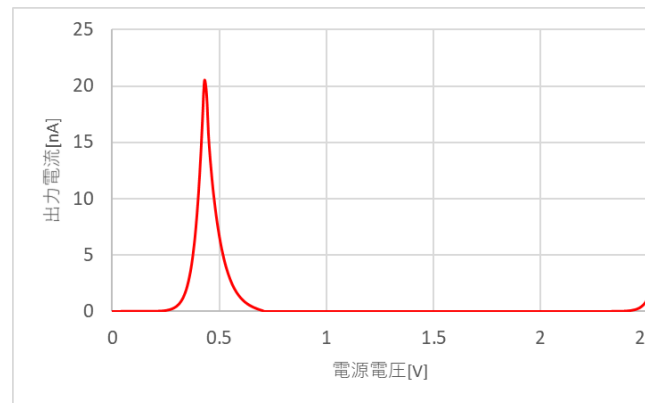


図 5.4 提案 SU 回路の電源電圧特性波形

表 5.1 提案 SU 回路のパラメータ

トランジスタ	ゲート長[μm]	ゲート幅[μm]	並列数
M_{S1}	10	5	0
M_4	2	50	0
M_5	1	10	0

5.2 回路の駆動電圧不足

回路の駆動電圧不足は、MOSFET の W を大きくしてゲインを上げることで解消できる。

MOSFET の電流 I_D はゲート-ソース間電圧 V_{GS} とドレイン-ソース間電圧 V_{DS} に依存した値になるが、MOSFET に流れる I_D に従って V_{GS} と V_{DS} が決定するとも言える。安定して回路が動作するには、回路中の各 MOSFET に所望の電圧を与える必要がある。

式(2.1)~ (2.4)に示した通り、 I_D は W/L に比例する。 W を大きくする程、小さい V_{GS} および V_{DS} でより大きい I_D を流せる。従って、オーバードライブ電圧 Δ_{ov} を多く稼ぐことが出来て、余裕のある回路動作に繋がる。

5.3 MOSFET の I_D の安定性

ノイズや温度変化などにより MOSFET の V_{DS} に変化があった場合、その MOSFET の I_D も同時に変動する。飽和領域の動作において、MOSFET の L が大きいほど、 V_{DS} の変化量に対する I_D の変化量は小さくなる。これをチャネル長変調という。飽和領域内で I_D の値を一定にしたい場合の具体的な L の値はプロセスの最小 L サイズ $L_{min} \times 10$ 以上である。本研究で使用している Rohm 0.18μ プロセスの場合、MOSFET の L の基準は $L_{min} \times 10 = 0.18 \mu \times 10 = 1.8 \mu m$ 以上である。デジタル設計など高速性が必要な回路の MOSFET はサイズを小さくする必要があるため、例から漏れる。

また、本研究の設計回路の出力電圧は出力段 MOSFET M_3 の I_D を R_3 に流すことで生成される。 M_3 の飽和領域内で I_D の定電流性が高い程、設計回路の出力電圧は安定する。 M_3 の L を大きくすることで、提案回路 2 の電源電圧依存性の波形に見られた動作電源電圧での傾きも緩やかになる。

第6章 まとめ

本研究では、BGR回路の動作安定性の向上を目的に基準電源回路の設計を行った。出力段 MOSFET_{M3} のゲート端子バイアスの安定させるために、オペアンプ出力端子と高電源 VDD の間に MOSFET Capacitor を挿入した。結果、測定中に提案回路 1~3 と先行研究回路 1~3 に意図せぬ回路停止が確認された、MC 挿入に効果は見られなかった。

回路動作の安定性向上の新たな策として、スタートアップ回路の改良、MOSFET のサイズの増大を提案した。

謝辞

本研究を進めるに当たり丁寧かつ的確な指導を賜りました高知工科大学システム工学群の橘昌良教授と星野孝総准教授と密山幸男准教授に深謝致します。温度特性に関する測定を行うにあたり小型環境試験装置を貸して頂いた高知工科大学システム工学群の山本真行教授並びに山本研究室の皆様に深謝致します。また、集積回路の指導を賜りました LULEA UNIVERSITY OF TECHNOLOGY の J. Johansson 氏, J. Nilsson 氏, S. Chouhan 氏に深謝致します。最後に、今日までお世話になりました橘・密山研究室の先輩、同輩、後輩の皆様に深謝致します。

本研究はJSPS 科研費 26330070 の補助の下、東京大学大規模集積システム設計教育研究センター(VDEC: VLSI Design and Education Center)を通して日本ケイデンス株式会社、シノプシス株式会社、メンター株式会社の協力で行われたものである。チップ試作においては、VDEC を通じてローム株式会社、凸版印刷株式会社の協力で行われたものである。

参考文献

- [1] 佐竹宏太,橘昌良,“基準電源回路の設計と評価”,高知工科大学システム工学群卒業論文,2016年.
- [2] 山田健太,橘昌良,“2 段オペアンプを用いたバンドギャップリファレンスの設計と評価”, 高知工科大学工学部基盤工学専攻電子・光システム工学コース修士論文,2016年
- [3] 吉澤浩和著,CMOSOP アンプ回路実務設計の基礎,CQ 出版,2012年1月1日第4版発行
- [4] 谷口研二著,CMOS アナログ回路入門,CQ 出版,2015年1月1日第10版発行
- [5] Behzad Razavi 著,黒田忠広監訳,アナログ CMOS 集積回路の設計基礎編,丸善出版,2011年9月15日第12刷発行
- [6] R.Jacob Baker 著,CMOS: Circuit Design, Layout, and Simulation Revised Second Edition, IEEE
- [7] Chi-Wan Kok, Wing-Shan Tam 著, CMOS Voltage References, IEEE
- [8] 沼田達宏著, ナノスケール MOSFET におけるキャリアの弾道・準弾道輸送解析モデリングに関する研究,名古屋大学,2013年
- [9] J. Nilsson, J. Borg, J. Johansson,“ High-Temperature Characterisation and Analysis of Leakage-Current-Compensated, Low-Power Bandgap Temperature Sensors”, Springer, Vol. 93, no 1, pp.137-147, 2017
- [10] S. Hongprasit, W. Sa-Ngiamvool, A. Aurasopon, “Design of Bandgap Core and Startup Circuits for All CMOS Bandgap Voltage Reference”, PRZEGLĄD ELEKTROTECHNICZNY, 2012
- [11] Massachusetts Institute of Technology, “Metal Oxide Semiconductor (MOS) Capacitor”, Fall 2001
- [12] Q. A. Khan,S. K. Wadhwa,K. Misri,“Low Power Startup Circuits for Voltage and Current Reference with Zero Steady State Current”,Aug 2003
- [13] 小久保智彬,佐伯勝敏,関根好文,“パルス形ハードウェアニューロンモデルのレイアウト面積削減に対する一検討”,平成24年度 日本大学理工学部 学術講演会論文集,pp.1135-1136
- [14] 板野由佳,“準ミリ波・ミリ波領域における低位相雑音電圧制御発振器の LC 共振器に関する研究”,岡山大学大学院 情報系工学研究科,2018年3月