

博士論文

非晶質 In-Ga-Zn-O_xヘテロ接合 チャンネル薄膜トランジスタの キャリア輸送特性および信頼性

Carrier transport properties and reliability of amorphous
In-Ga-Zn-O heterojunction channel thin-film transistors

審査委員会メンバー

主指導教員：古田 守 教授

副指導教員：牧野 久雄 教授

副指導教員：古田 寛 教授

審査委員：山本 哲也 教授

審査委員：河野 日出夫 教授

2020年3月2日

高知工科大学大学院 工学研究科基盤工学専攻

博士後期課程 基盤工学コース

佐々木 大地 (旧姓：是友 大地)

Daichi Sasaki (Daichi Koretomo)

目次

第1章 序論

1.1 はじめに.....	1
1.2 薄膜トランジスタ.....	2
1.2.1 発展の歴史.....	2
1.2.2 動作原理と伝達特性.....	3
1.2.3 要求移動度.....	5
1.3 非晶質酸化物半導体.....	5
1.3.1 デバイスの特徴.....	5
1.3.2 高移動度化への現状と課題.....	7
1.3.3 ヘテロ接合チャネル.....	8
1.4 研究目的、新規性、学術的意義.....	10
1.5 本論文の構成.....	11
参考文献.....	13

第2章 非晶質酸化物半導体における材料組成がトランジスタの伝達特性・信頼性に与える影響

2.1 はじめに.....	17
2.2 成膜時の酸素流量比が抵抗率に与える影響.....	18
2.3 微小角入射 X 線回折法による結晶状態の評価.....	19
2.4 抵抗率のアニール温度依存性.....	21
2.5 X 線光電子分光法による化学結合状態の評価.....	22
2.6 保護膜適用時における抵抗率のアニール温度依存性.....	24
2.7 組成の違いが伝達特性へ及ぼす影響.....	27
2.7.1 薄膜トランジスタ作製条件.....	27
2.7.2 伝達特性の評価.....	28

2.7.3 信頼性の評価.....	31
2.8 まとめ.....	34
参考文献.....	35
第3章 非晶質酸化物半導体ヘテロ接合がトランジスタの伝達特性・信頼性に与える影響	
3.1 はじめに.....	38
3.2 バンドアライメント評価.....	40
3.3 ヘテロ接合界面の急峻性評価.....	42
3.3.1 接合容量を用いたキャリア濃度の深さ方向依存性評価.....	42
3.3.2 二次イオン質量分析による In 量の深さ方向依存性評価.....	44
3.4 ヘテロ接合薄膜トランジスタ.....	46
3.4.1 薄膜トランジスタ作製条件.....	46
3.4.2 伝達特性の評価.....	47
3.4.3 信頼性の評価.....	49
3.5 ヘテロ接合薄膜トランジスタのチャネル膜厚の影響.....	50
3.5.1 上層膜厚依存性.....	50
3.5.1 下層膜厚依存性.....	52
3.6 まとめ.....	54
参考文献.....	55
第4章 非晶質酸化物半導体ヘテロ接合トランジスタのキャリア輸送特性の解析	
4.1 はじめに.....	57
4.2 薄膜トランジスタの再現.....	58
4.2.1 二次元デバイス構造の設定.....	58
4.2.1 材料物性値の選定.....	59
4.2.3 伝達特性の再現.....	62

4.3 単層薄膜トランジスタのキャリア輸送経路の解析	62
4.4 ポテンシャル障壁高さがキャリア輸送特性に及ぼす影響	64
4.4.1 デバイス特性	64
4.3.2 キャリア輸送経路の解析	65
4.5 下層膜厚がキャリア輸送経路に及ぼす影響	68
4.5.1 デバイス特性	68
4.3.2 キャリア輸送経路の解析	69
4.6 逆構造ヘテロ接合を有する薄膜トランジスタ	71
4.7 ポテンシャル障壁の急峻性がデバイス特性に及ぼす影響	74
4.8 界面電界強度が信頼性に与える影響	75
4.9 まとめ	78
参考文献	80
第5章 硬 X 線光電子分光法によるヘテロ界面欠陥準位密度の解析	
5.1 はじめに	81
5.2 化学結合状態の解析条件	82
5.3 角度分解測定によるヘテロ界面における化学結合状態の解析	83
5.4 バンドギャップ内の欠陥準位密度の解析	85
5.5 まとめ	87
参考文献	89
第6章 総括	
6.1 各章の要約	90
6.2 総括	93
6.3 今後の展望	93
謝辞	95
研究業績	97

付録

APX. 1	In-W-Zn-O 薄膜トランジスタ	100
A1.1	保護膜を有しない構造	100
A1.2	閾値電圧の膜厚および酸素流量比依存性	102
A1.3	伝達特性および信頼性のアニール温度依存性	103
A1.4	実効チャネル長評価	105
APX. 2	各層の材料物性が電界効果移動度を与える影響	106
A2.1	上層膜厚がキャリア輸送経路に及ぼす影響	106
A2.2	下層薄膜のキャリア濃度	107
A2.3	ゲート絶縁膜の誘電率および膜厚	109
APX. 3	3層構造によるヘテロ接合	110
APX. 4	非晶質酸化物半導体成膜時の水素導入効果	111
A4.1	キャリア濃度に及ぼす影響	111
A4.2	薄膜トランジスタの伝達特性に及ぼす影響	114
A4.3	薄膜トランジスタの信頼性に及ぼす影響	116
APX. 5	水素導入非晶質酸化物半導体によるヘテロ接合	118
	参考文献	119

第1章

序論

1.1 はじめに

フラットパネルディスプレイ (Flat Panel Display: FPD) は薄くて軽いという特徴を持つ映像・情報表示端末であり、ヒューマンマシンインターフェイスとして様々なエレクトロニクス機器に搭載されている。これまでの FPD の進化と共に我々の生活は利便性が向上しており、FPD の更なる性能向上 (高精細化、大画面化、形状自由化、薄型化、高輝度化など) が期待されるのは明らかである。

本論文で取り扱う薄膜トランジスタ (Thin Film Transistor: TFT) は、画素の表示・非表示を切り替えるスイッチングの役割を担う駆動素子であり、FPD の表示機能に大きな影響を与える。これまでの FPD の進化の背景には TFT 作製技術の発展があり、TFT 性能要求を満たす半導体材料の研究開発が進められてきた。水素化非晶質 Si (a-Si:H) は、低コストかつ大面積ガラス基板上に成膜可能という特徴から TFT の半導体材料として幅広く使用されている。しかしながら、近年の高精細・高フレームレート化に伴い a-Si:H は性能限界に近づきつつある。一方、In-Ga-Zn-O (IGZO) に代表される非晶質酸化物半導体 (Amorphous oxide semiconductor: AOS) は 2004 年に報告された TFT 動作実証以降、次世代 FPD に向けた半導体材料の有力候補となった[1]。IGZO TFT の優れた特徴として、1) a-Si:H TFT よりも一桁以上高い電界効果移動度、2)伝導帯下端の裾準位 (Tail states) が低く理論限界に近い高速スイッチング、3)ホール密度/生成頻度が低いために反転動作せず、低いオフ電流が保たれる、等が挙げられる[2]。このような優れた特徴を有することから AOS の研究開発が活発化し、多くの研究論文が報告されるようになった[3-6]。特に更なる移動度向上への期待は高く、次世代 FPD 応用に向けた高移動度 AOS の最適組成の探索ならびにその TFT 作製技術の確立は重要である。しかしながら、高移動度 AOS TFT は、閾値電圧の制御が困難であることやバイアスストレスによる閾値の劣化など実用化へ向けた課題も多い。

このような状況のもと、本研究では高移動度 AOS の TFT 応用に向けた学術的基盤を創出し、高移動度・高信頼性 TFT 実現に向けた手法提案を目的に研究を行った。本章は、AOS の特徴ならびに研究動向に関してまとめ、本研究の位置づけを明確にすることで目的と意義を示す。

1.2 薄膜トランジスタ

1.2.1 発展の歴史

薄膜トランジスタ (Thin Film Transistor: TFT) は電界効果トランジスタの一種である。ナノメートルオーダーの金属、絶縁膜、半導体薄膜を積層することで作製され、主にフラットパネルディスプレイ (Flat Panel Display: FPD) の画素の表示・非表示を切り替える駆動素子として利用されている。TFT の研究開発は 1971 年に発表されたアクティブマトリクス (Active matrix, AM) 駆動型液晶ディスプレイ (Liquid crystal display, LCD) の創設論文を契機として始まった[7, 8]。図 1.1 に AM 駆動型 LCD の回路図例を示す。AM 駆動の回路は走査線と信号線がマトリクスを形成し、交点に TFT が配置されている。この走査線は TFT のゲート電極と接続しており、TFT 駆動を制御する。信号線は TFT のドレインもしくはソース電極と接続しており、画素の透過率を決定する信号電圧が印加される。このような駆動方式への応用提唱が TFT の研究開発を加速させたが、その大きな理由には TFT がもつ特徴、1) 大きく安価なガラス基板上に大規模な素子アレイを形成できること、2) ガラス基板上では個々の素子が容易に絶縁分離できるので回路設計の制限が緩和されること、が挙げられる[9]。このように、TFT の特徴である透明な基板上に安価、大面積、均一に作製できる最大の利点は FPD 応用に適した特徴であったことから、TFT を用いた AM 駆動型は現在でも LCD や有機 EL (Organic Light Emitting Diode: OLED) ディスプレイといった FPD の主流方式として採用されている。

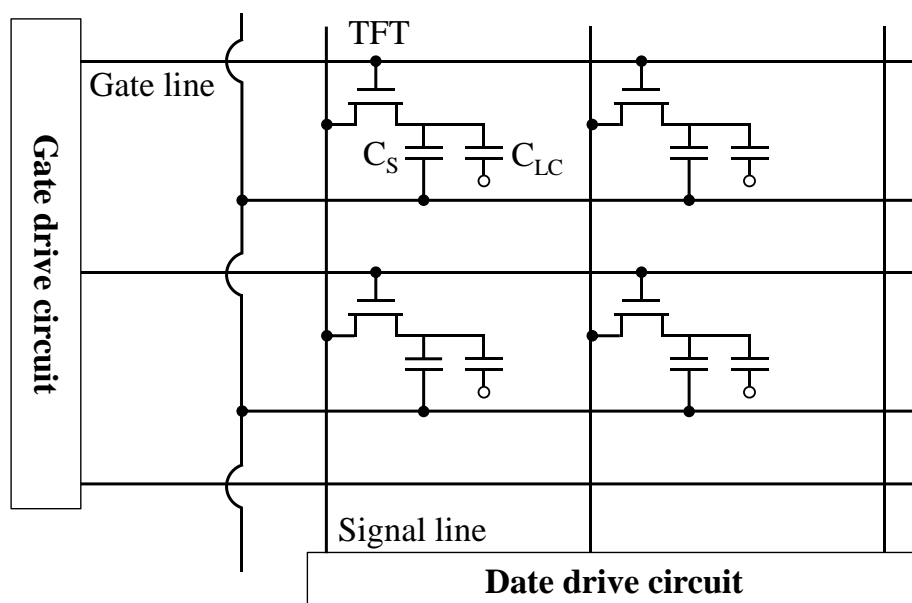


図 1.1 AM 駆動型 LCD の回路図例

1.2.2 動作原理と伝達特性

図 1.2 はガラス基板上に作製されたボトムゲート型 TFT の断面構造である。TFT は三端子の電極を有しており、半導体層はゲート絶縁膜を介してゲート電極と平行平板キャパシタを形成している。ゲート電極に電圧を印加していない場合、半導体は絶縁性を示すが、ゲート電圧を印加することで半導体層の電子もしくは正孔のキャリア濃度を変化させる事ができる。そして、ソース・ドレイン間に電位差を発生させることでドレイン電流が流れる。

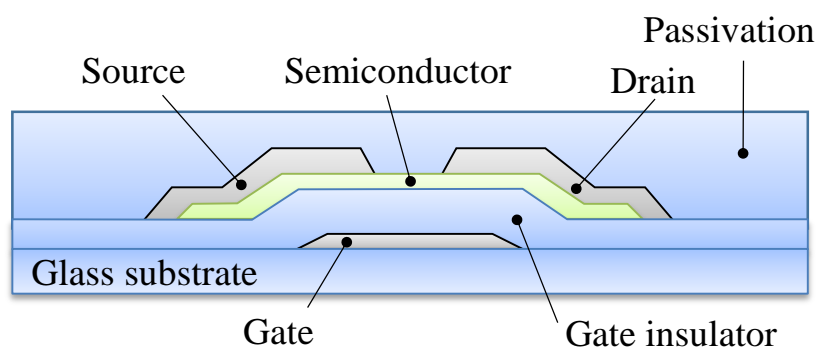


図 1.2 ボトムゲート型 TFT の断面構造

線形領域（ $V_{DS} < V_{GS} - V_{th}$ ）における TFT の伝達特性を図 1.3 に示す。伝達特性の代表的なパラメータに電界効果移動度（Field effect mobility: μ_{FE} ）、閾値電圧（Threshold voltage: V_{th} ）、S 値（Subthreshold swing: $S.S.$ ）、ヒステリシス（Hysteresis: V_H ）が挙げられる。電界効果移動度は電界によって電子もしくは正孔が半導体を流れる際の移動のしやすさを表す物性値であり、この値が大きいほど高いドレイン電流が得られる。線形領域（ $V_{DS} < V_{GS} - V_{th}$ ）における電界効果移動度は、以下に示す 1.1 式を用いて算出される。

$$\mu_{FE} = \frac{Lg_m}{WC_iV_{DS}} \quad (1.1)$$

ここで、 W 、 L はそれぞれチャンネル幅、チャンネル長である。チャンネルの相互コンダクタンス（ g_m ）は、

$$g_m = \frac{\Delta I_{DS}}{\Delta V_{GS}} \quad (1.2)$$

により与えられ、 ΔI_{DS} 、 ΔV_{GS} はそれぞれドレイン電流の変化量、ゲート電圧の変化量である。単位面積あたりのゲート絶縁膜の容量（ C_i ）は、

$$C_i = \varepsilon_0 \varepsilon_i / t_i \quad (1.3)$$

により与えられ、 ε_0 は真空の誘電率、 ε_i はゲート絶縁膜材料の誘電率、 t はゲート絶縁膜の膜厚である。閾値電圧は、MOSFETの場合、トランジスタ界面で半導体の導電型が反転する時と定義されるが、TFTでは慣例的に一定値の I_{DS} をとるときの V_{GS} とするものが実用的に使用されている[9]。本論文では $I_{DS}=10^{-9}$ Aの値となる際の V_{GS} として定義した。S値は伝達特性における V_{th} 以下でのドレイン電流の立ち上がりの傾きを表す指標であり、

$$S = \partial V_{GS} / \partial \log I_{DS} \quad (1.4)$$

により求めることができる。本研究では $I_{DS}=10^{-11} \sim 10^{-10}$ Aの範囲でのドレイン電流の傾きとして定義した。ヒステリシス (V_H) は順方向掃引 ($V_{GS} < 0 \text{ V} \rightarrow 0 \text{ V} < V_{GS}$) と逆方向掃引 ($V_{GS} > 0 \text{ V} \rightarrow 0 \text{ V} > V_{GS}$) における閾値電圧の差である。

これら伝達特性のパラメータを決定する要因は、半導体層の材料物性や絶縁膜/半導体界面の欠陥準位密度、作製工程中の種々のプロセスダメージなど多岐にわたるが、特に電界効果移動度は半導体材料の物性に大きく依存する。なお、本研究の移動度には、上記1.1式に示した伝達特性より算出される電界効果移動度 (μ_{FE}) に加え、Hall効果測定より算出されるHall移動度 (μ_{Hall})、デバイスシミュレーション上で使用する電子移動度 (μ_d) を取り扱う。 μ_{Hall} および μ_d に関する定義方法は別の章で後述する。

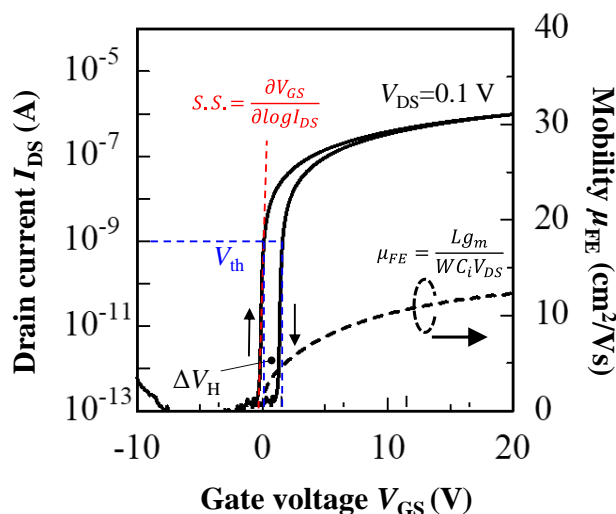


図 1.3 n型半導体 TFT の線形領域における伝達特性

1.2.3 要求移動度

TFT の要求移動度は集積回路 (Integrated Circuit: IC) と比較して 2~3 桁程度低く、それは TFT の役割が画素をスイッチングさせるもので人間の識別限界を超える速度で十分だからである。しかしながら、次世代 FPD 応用に向けて TFT の性能要求は向上している。TFT の要求移動度は

$$\mu_{FE} \gg \frac{(C_{LC} + C_S)}{\frac{W}{L} C_i (V_g - V_{th})} 60 \times m \times n \quad (1.5)$$

として与えられ、 $C_{LC} + C_S$ は画素容量、 m 、 n はそれぞれ FPD における駆動フレームレート比と走査線数である。以上より、FPD の高精細化・高フレームレート化に伴い要求される移動度が増大することがわかる[10]。次世代 FPD に要求される移動度はいくつか報告されており、120Hz 駆動で画素数 4k×2k の LCD では少なくとも 5~10 cm²/Vs 以上の移動度が要求されると報告されている[10, 11]。従来用いられてきた水素化非晶質シリコン (a-Si:H) の電界効果移動度は 0.1~1.0 cm²/Vs 程度と次世代デバイス要求を達成することが難しくなったことから、a-Si:H に代わる新規半導体材料の研究開発が加速した。

一方、OLED ディスプレイにおいても TFT は高い移動度が要求されている。OLED ディスプレイは各画素に自発光素子が内蔵されており、その輝度は駆動 TFT の電流値に依存する。駆動 TFT の電流は

$$I_{pixel} = \frac{W}{2L} \mu_{FE} C_i (V_{GS} - V_{th})^2 \quad (1.6)$$

と表され、高輝度を得るためには高い電界効果移動度が必要とされる[9]。

1.3 非晶質酸化物半導体

1.3.1 デバイスの特徴

前述した通り、次世代 FPD のトレンドとして高精細・高フレームレート化が挙げられ、TFT の性能向上が要求されている。特に半導体材料の物性を強く反映する TFT の電界効果移動度向上には従来の半導体材料である a-Si:H に代わる新規半導体材料が必要であった。酸化物半導体に関する研究の歴史は古く、1960 年代頃から SnO₂ や In₂O₃ などの研究が報告されているが、FPD 応用を目的とした酸化物半導体 TFT の研究は 2000 年代初頭から研究開

発が活発化し、 SnO_2 や ZnO をチャンネル層に用いた TFT が相次いで報告された[9, 12-14]。我々の研究グループでも世界で初めて ZnO TFT 駆動による LCD を報告している[15]。しかしながら、 ZnO 等の酸化物半導体はガラス基板上に室温成膜した場合においても容易に多結晶化するため、結晶粒界に起因した TFT 特性のばらつき、即ち大面積均一性に課題があった。その中で、2004年に報告された In-Ga-Zn-O (IGZO) は、非晶質でありながら高い移動度を示すことが実証され、非晶質酸化物半導体 (Amorphous oxide semiconductor: AOS) の次世代 FPD 応用研究が加速した。IGZO TFT の優れた特徴を以下に示す[2, 3, 5]。

- 1) a-Si:H TFT よりも一桁以上高い電界効果移動度。
- 2) 伝導帯下端に存在する裾準位 (Tail states) が低く理論限界に近い高速スイッチング。
- 3) ホール密度/生成頻度が低いために反転動作せず、低いオフ電流が保たれる。
- 4) 室温成膜であってもスイッチング特性が得られる。
- 5) ワイドバンドギャップであり、可視光に対して透明。
- 6) 既存製造ラインとの親和性が高いスパッタリングによって大面積基板上に成膜可能。

そもそも非晶質半導体は結合距離や結合角にゆらぎがあり結晶半導体のような長距離秩序はもたない。しかしながら、非晶質の場合でも原子配列にはある程度の短距離秩序があり、波動関数の局在化によって移動度端が形成され、バンド端のようなはたらきを示す[16, 17]。非晶質に伴う構造乱雑性がバンド端である価電子帯上端 (Valence band minimum: VBM) および伝導帯下端 (Conduction band minimum: CBM) のゆらぎ (ポテンシャル障壁) を誘発し、また、構造欠陥に伴うギャップ内準位と裾準位を形成する。このバンドギャップ内部に存在する状態密度が非晶質材料の移動度の低さの所以である。しかしながら、AOS の裾準位は図 1.4 に示す通り小さく、電子輸送に大きな影響を与えないことがわかっている[2, 28, 31]。それは、 $(n-1)d^{10}ns^0$ (主量子数: $n \geq 5$) の電子配置を有する金属原子と酸素とのイオン性結合に起因する。Si のような共有結合性半導体とは異なり、酸化物半導体は空間的に広がった球対称な金属の s 軌道が CBM を形成しており、キャリア輸送が構造乱れの影響を受けにくい[18]。そのため、In のような広がった 5s 軌道を最低比占有準位にもつ重金属を用いれば高い電子移動度を得る事が可能である。

半導体材料に求められる材料物性は移動度だけではなく、キャリア濃度の制御性や欠陥準位密度の低減も重要な指針となる。半導体材料のキャリア濃度は TFT の閾値電圧に大きく影響を及ぼす。また、欠陥準位密度も S 値やヒステリシスなど TFT のパラメータを決める重要な因子のひとつである。酸化物半導体の移動度を向上させるには上述した In の比率を高くする手法が挙げられるが、In-O 系の酸化物材料は高い移動度を示す一方で、酸素欠損起因の高濃度なキャリアが TFT の閾値制御を困難とする。つまり、半導体応用のためには低いキャリア濃度に制御可能かつ、高い移動度を示すといったトレード・オフの関係を解決する必要がある。その中で、IGZO は酸素結合解離エネルギーの高い Ga を添加するこ

とでキャリア濃度を低く抑えつつ、 $10 \text{ cm}^2/\text{Vs}$ を超える移動度を実現させた AOS 材料である。

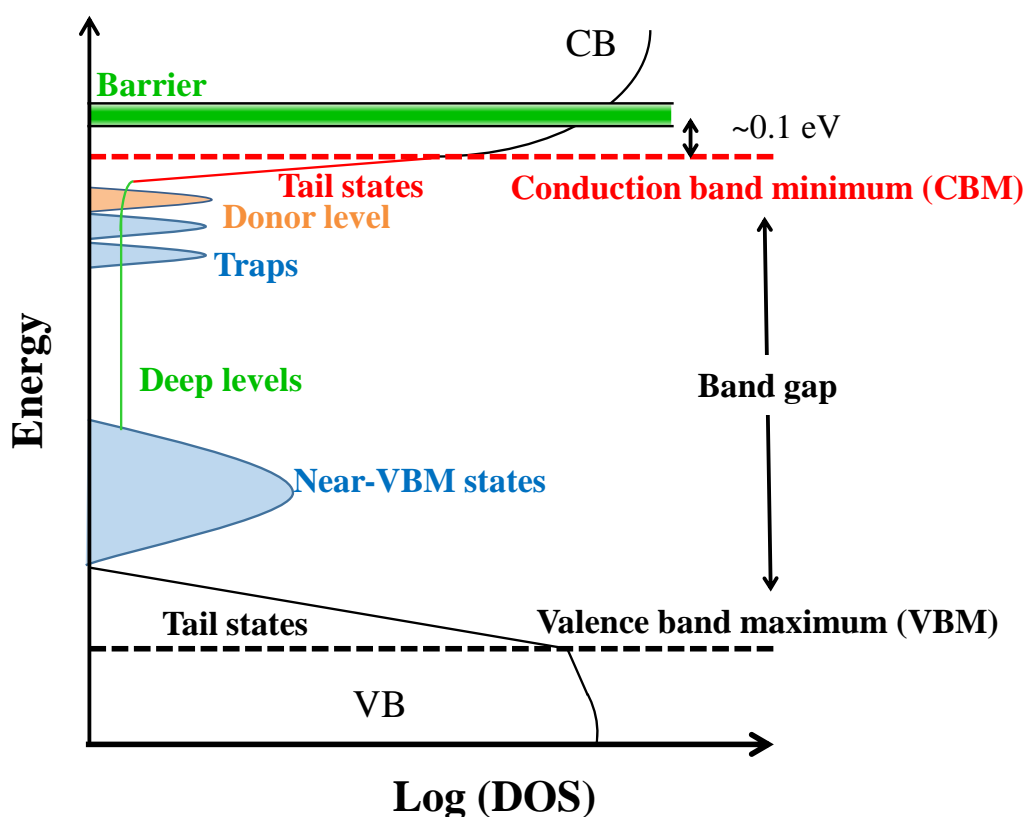


図 1.4 IGZO 薄膜の状態密度 (Density of states: DOS) の概念図 [31]

1.3.2 高移動度化への現状と課題

2020年現在、IGZOを用いた電子機器は既に量産化され、社会の発展に大きく貢献している[17]。一方、AOSの更なる性能向上への期待は高く、IGZOの移動度 ($\sim 10 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$) を超える材料開発とそのTFT応用に関する研究開発は盛んに行われている。AOS TFTにおける高移動度化に向けたアプローチには、1) 元素および組成比の最適組成を探り特性を制御する、2) デバイス構造の工夫や半導体層以外 (金属電極、絶縁膜) の最適化、といった二つが挙げられる。先に示した通り、AOSの移動度は空間的に広がった金属のs軌道に影響するため、元素や組成の探索は InO_x をベースとして多数報告されている[20-27]。従来研究として報告された高移動度 AOS TFT に関する特性の一部を表 1.1 にまとめた。

表 1.1 高移動度 AOS TFT の報告例

	膜厚 (nm)	μ_{FE} ($\text{cm}^2\text{V}^{-1}\text{s}^{-1}$)	V_{th} (V)	S.S. (V/dec.)
In-Sn-Zn-O [20]	50	~30	-5 ~ -3	0.4
In-W-O [21]	40	35	-1.6	0.18
In-W-O [22]	10	30	-6.3	0.46
In-Ti-O [22]	10	32	-4	0.3
In-Si-O [22]	10	17	0	0.29
In-Zn-O [23]	25	26.5	0	0.2
In-W-O [24]	10	19.3	-0.5	0.47
In-Sn-Zn-O [25]	10	39.6	-2.8	0.25
In-Sn-Zn-O [26]	50	34	-4.6	0.12
In-Sn-Zn-O [27]	n.d.	~25	0.2	0.16

従来研究の中には、電界効果移動度 (μ_{FE}) が $30 \text{ cm}^2/\text{Vs}$ を超える TFT も試作されており、IGZO と比較して 3 倍以上高い値を実現している。これら高移動度 AOS TFT は酸素結合解離エネルギーの高い元素である Sn や W、Si を In-O_x や In-Zn-O (IZO) に添加することでキャリア抑制を試みている。しかしながら、高い μ_{FE} を実現しようとした場合、キャリア抑制元素の比率がどうしても低くなってしまうため、酸素欠損起因のキャリアが生成されやすく、TFT 特性の制御が困難、すなわち閾値電圧 (V_{th}) が負の値を示す (ノーマリー・オン)。この移動度とキャリア濃度のトレード・オフの関係は高移動度 AOS の課題である。高移動度 AOS のキャリア濃度を減少させるために成膜時の酸素流量比増大や半導体層の薄膜化などのデバイス作製時の工夫が施されているが、トレード・オフの影響を緩和するに留まっており根本的な解決には至っていない。また、高移動度 AOS TFT は信頼性面にも課題が挙げられ、その要因は、キャリア抑制元素が少ないことに起因する酸素欠損の生成や、成膜時の高い酸素流量比条件による成膜ダメージの増大、余剰酸素による欠陥準位の生成などが考えられている[28-31]。一方、IGZO を上回る高い移動度かつ高信頼性を有する AOS TFT の報告もあるが、高移動度と高信頼性を両立する手法の統一の見解は未だ明らかにされていない。

1.3.3 ヘテロ接合チャネル

デバイス構造の観点からデバイス性能を向上させる一つのアプローチとして、AOS のヘテロ接合が挙げられる。半導体ヘテロ接合は、バンドギャップの異なる半導体同士の接合と定義され、そのヘテロ接合チャネルを TFT に用いることによってデバイス性能が向上することが報告されている。表 1.2 にこれまで報告されてきた一部のヘテロ接合を有するボト

ムゲート型 TFT の初期特性をまとめた[32-40]。

表 1.2 ヘテロ接合チャネルを有するボトムゲート型 TFT の報告例

上層/下層	膜厚 (nm)	μ_{FE} ($\text{cm}^2\text{V}^{-1}\text{s}^{-1}$)	V_{th} (V)	S.S. (V/dec.)
IGZO/IZO [32]	50/5	~30	1.3	n.d.
Hf-IZO/IZO [33]	23/12	41.4	-6.95	1.45
Hf-IZO/IZO [34]	40/5	48.28	-1.02	0.28
Zn-Sn-O/IZO [35]	35/5	32.3	0.5	0.12
Al-In-Zn-Sn-O/IZO [36]	30/9	53.2	-1 ~ -0.5	0.15
IGZO/IZO [37]	70/5	51.3	0.31	0.19
IGZO/In-Sn-O [37]	70/5	104	0.50	0.25
Zn-Sn-O/ In-Sn-O [38]	50/5	47	-0.5	n.d.
In-Sn-O/IGZO [39]	10/30	20	1	-5.1
Si-IGZO/IGZO/Si-IGZO [40]	5/10/2	~30	~3	n.d.

報告されているボトムゲート型構造 TFT の多くは、5~10 nm と非常に薄い In-Sn-O (ITO) や IZO のような高移動度 AOS と、キャリア濃度制御が容易な AOS 材料である IGZO や Zn-Sn-O (ZTO) を組み合わせることで 0V 付近に近い V_{th} を維持しつつ移動度を向上させており、中には信頼性も向上することが報告されている。30 $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ を超える高い移動度が報告されている一つの要因は、チャネル/ゲート絶縁膜界面の高移動度 AOS 薄膜が主たるキャリア輸送を担っているためと考えられている[41]。また、このヘテロ接合における上層薄膜はソース電極から注入されるキャリアのバリア層として働くことで閾値電圧を制御することに加え、上層薄膜から下層薄膜へ欠陥補償として働く元素が拡散することで信頼性が向上する従来研究が報告されている[35]。このように、ヘテロ接合チャネルでは各層がデバイス特性向上のために機能的に働くことを長所としている。一方、ヘテロ接合に期待される効果の一つにエネルギー不連続性に基づくポテンシャル障壁の形成が挙げられ、そのポテンシャル障壁の形成によって発現する量子閉じ込め効果は、Al-GaAs/GaAs に代表される結晶半導体の移動度向上手法としてよく知られている[42, 43]。しかしながら、これら下層に高移動度 AOS を成膜したヘテロ接合チャネルではヘテロ接合界面状態の解析や各半導体層のバンドアライメント評価が詳細に行われておらず、ヘテロ接合界面状態がデバイス特性へ及ぼす影響は明らかにされていない。

一方、非晶質酸化物半導体による量子閉じ込め効果は、Si-IGZO/IGZO/Si-IGZO ヘテロ接合チャネルによる検討が行われており、0.7 eV 程度のポテンシャル障壁が CBM に形成されることで、TFT の電界効果移動度が単層時と比較して 3 倍程度向上することが報告されている[40]。しかしながら、その界面形成とキャリア輸送特性の解析が充分におこなわれておらず、デバイス特性、特に信頼性に及ぼす影響が明らかにされているとは言い難い。先述

した通り、非晶質材料のバンド端はその構造乱雑性に伴うポテンシャル障壁が形成されているため、非晶質半導体同士のヘテロ接合界面形成に関して詳細に検討し、その効果がデバイス特性および信頼性に与える影響を明らかにする必要がある。また、ヘテロ接合に関する従来研究の多くは構成元素の異なる酸化物半導体を用いた報告であり、組成比が異なる材料同士によるヘテロ接合形成に関する研究が行われていない。構成元素の異なる半導体同士によるヘテロ接合は格子緩和に伴う界面準位の生成や、各半導体材料の経時変化などを考慮しなければならず、TFT 応用時に信頼性劣化メカニズムの複雑化が予想される。

1.4 研究目的、新規性、学術的意義

IGZO をはじめとした AOS は、次世代 FPD 応用に向けた多くの利点を有しており、既に量産化も開始されている[13]。一方、更なる性能向上に関する研究開発が活発に行われており、特に高性能・高信頼性 TFT 実現に向けた指導原理を明らかにすることは AOS を用いた次世代デバイスの発展に寄与する重要な基盤となる。AOS TFT の性能向上、すなわち高移動度化には 5s 軌道を最低比占有準位にもつ金属の組成比を増大させる手法が挙げられるが、先述の通り、酸素欠損の生成に伴う閾値電圧の制御性や信頼性の劣化を誘発するといった課題がある。この移動度と信頼性のトレード・オフを解決するために、元素および組成比の最適化や積層構造によるデバイス特性の制御手法に関する研究が多数報告されている。しかしながら、TFT 内部の欠陥密度やキャリア輸送を解析することが難しいことに加え、TFT 特性が様々な要素が絡み合った結果として得られることから、高移動度と高信頼性を両立する手法の統一的理解が得られていないというのが現状である。

このような背景のもと、本研究では AOS の高移動度・高信頼性化の手法を検討し、そのメカニズムを解明することによって高性能 TFT に向けた指導原理の提案を目的とする。AOS TFT の高移動度・高信頼性化の検討は以下の二つ、1) 組成探索によるアプローチ、2) ヘテロ接合界面のポテンシャル障壁形成によるアプローチ、について議論する。本研究のヘテロ接合界面のポテンシャル障壁の形成は構成元素が同じ二種類の IGZO (組成の異なる IGZO) を用いて実施した。また、ヘテロ接合界面のポテンシャル障壁がデバイス特性・信頼性に及ぼす影響は、材料物性評価ならびに TFT 応用とそのデバイスシミュレーション解析といった相補的研究を推進することで検討した。その結果、AOS のヘテロ接合においても、その界面に急峻なポテンシャル障壁が形成出来る事を見出し、そのヘテロ接合 AOS を TFT のチャンネル層に応用することで高移動度・高信頼性 TFT を実証できることを明らかにした。

これまでの研究では AOS のヘテロ接合に関する知見は明らかにされていない点が多く、特に構成元素が同じ AOS を用いたヘテロ接合界面へのポテンシャル障壁形成とその効果に関する研究は本研究が初めてである。また、これまでに行われてきた手法である組成探索に

よるアプローチは、移動度と信頼性のトレード・オフの関係を解決するには至らず、ある意味そのトレード・オフの関係のなかで妥協点を探す手法であった。一方、ヘテロ接合による高移動度・高信頼性化はそれぞれの半導体層で移動度と信頼性を制御できることを見出し、これまでのトレード・オフの関係から完全に分離する手法であることを実証した。このようなヘテロ接合 AOS チャネルによる TFT の高移動度・高信頼性化といった指導原理の提案は、非晶質酸化物半導体の応用研究を加速させ、新たな次世代デバイス開発に寄与することが期待される。

1.5 本論文の構成

本論文は、AOS の次世代デバイス応用拡大のために高移動度・高信頼性化の両立手法を検討し、そのメカニズムを解明することを目的として行ったものであり、第1章から第6章により構成される。

第1章は本論文の背景として AOS のデバイス応用に触れ、その特徴を示した。また、これまでの研究動向に関してまとめ、現状課題における本研究の位置づけを明確にすることで目的と意義を示した。

第2章は In 組成が高い AOS TFT の高性能・高信頼性化に関する研究成果について示した。検討した AOS 組成比率は以下の三種類、①In:Ga:Zn=1:1:1 atm.% (IGZO-111)、②In リッチ組成 (In/(Ga or Zn)>1 : IGZO-high-In)、③W ドープ In-Zn-O (In/(W or Zn)>1 : IWZO) である。IWZO は従来のキャリア抑制元素である Ga の代わりに、酸素結合解離エネルギーが高い W を採用した高移動度 AOS 材料である。元素添加によるキャリア制御、すなわち欠陥準位の生成を抑制する効果は、移動度と信頼性のトレード・オフ解決に有効な手法であると考えられる。本章では三種類の AOS を用いて TFT を作製し、各酸化物電気特性および信頼性を比較することで材料組成が移動度と信頼性に与える影響を検討する。

第3章は AOS ヘテロ接合 TFT による高移動度・高信頼性化に関する研究成果を示した。キャリア抑制元素をドープした材料組成のアプローチでは、依然としてキャリア制御性に課題が確認され、欠陥準位が生成されやすいことが示唆された。そのため、一種類の AOS にて移動度と信頼性の両立を目指す従来の手法ではなく、二種類の AOS を用いることで移動度と信頼性を分離して制御する手法が効果的だと考え、AOS ヘテロ構造の研究を開始した。従来報告より、AOS ヘテロ接合チャネルは TFT の高移動度化に効果的であると報告されてきた。しかしながら、その多くは高移動度 AOS の閾値制御性を向上する目的であり、信頼性の議論が詳細に行われていなかった。一方、ヘテロ接合界面に形成されるエネルギー

の不連続性 (n 型半導体である AOS の場合、伝導帯下端に形成されるポテンシャル障壁) が TFT の移動度・信頼性に影響を及ぼす可能性が示唆されており、TFT に対する AOS ヘテロ接合界面の量子閉じ込め効果は議論の途上である。従って、本章では IGZO-111 および IGZO-high-In を用いて AOS ヘテロ接合 TFT を作製し、ヘテロ接合界面に発現する量子閉じ込めが TFT の移動度および信頼性に与える影響について検討した。

第4章は AOS ヘテロ接合 TFT のキャリア輸送特性の解析に関する研究成果を示した。ヘテロ接合チャンネル内部のキャリア輸送経路は ATLAS による T-CAD シミュレーションを用いて解析した。ATLAS は有限要素法による電気特性解析ソフトであり、デバイス構造および各種材料物性を定義してプログラムを計算することでデバイス内部の物理現象を視覚化することが可能である。第3章の結果より、ポテンシャル障壁を有する AOS ヘテロ接合は TFT の高移動度・高信頼性化に効果的であることを明らかにしたが、そのメカニズムの解明には至っていなかった。本章では ATLAS を用いたデバイスシミュレーションを実施し、ヘテロ接合チャンネル内のキャリア輸送経路を可視化することで量子閉じ込め効果の影響を検討した。

第5章は硬 X 線光電子分光 (HAXPES) を用いたヘテロ接合界面における結合状態の解析結果を示した。HAXPES の特徴はその検出感度の深さにある。一般的な光電子分光法に比べて励起 X 線のエネルギーが高く、非破壊で試料バルクの結合状態を評価することが可能である。第3章、第4章の結果より、AOS ヘテロ接合の界面状態は、ゲート絶縁膜/半導体界面と比較して欠陥準位の少ない良質な界面が形成されていることが示唆された。しかしながら、その直接観測には至っておらず、詳細な物理現象の解明が必要であった。電子分光法は材料の結合状態を評価する有効なツールであるが、極めて表面敏感な測定であることから、ヘテロ接合界面の結合状態を観測するのは困難である。一方で、イオンスパッタによる深さ分解方向の評価手法もあるが、スパッタ時の衝突ダメージは新たな欠陥準位を生成する可能性も否定できない。本章では、Spring-8 の HAXPES 装置による角度分解測定によってヘテロ接合界面およびゲート絶縁膜/半導体界面の化学結合状態を非破壊で評価し、比較することで信頼性向上メカニズムに関する考察についてまとめた。

第6章は本研究で得られた成果を総括し、結論とした。本論文で明らかにした以下の視点、1) キャリア抑制元素をドーブした材料組成のアプローチ、2) ヘテロ接合界面の形成により発現する量子閉じ込め効果、を踏まえ AOS TFT における高移動度・高信頼性の両立手法に関する指針を示す。

参考文献

- [1] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, “Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors”, *Nature*, **432** (2004) 488.
- [2] 雲見日出也, “アモルファス酸化物半導体の薄膜トランジスタ応用”, *応用物理* **79** (2010) 981-987
- [3] H. Yabuta, M. Sano, K. Abe, T. Aiba, T. Den, H. Kumomi, K. Nomura, T. Kamiya, and H. Hosono, “High-mobility thin-film transistor with amorphous InGaZnO₄ channel fabricated by room temperature rf-magnetron sputtering”, *Appl. Phys. Lett.*, **89** (2006) 112123.
- [4] T. Kamiya, K. Nomura, and H. Hosono, “Present status of amorphous In–Ga–Zn–O thin-film transistors”, *Sci. Technol. Adv. Mater.*, **11** (2010) 044305.
- [5] T. Kamiya and H. Hosono, “Material characteristics and applications of transparent amorphous oxide semiconductors”, *NPG Asia Mater.*, **2** (2010) 15.
- [6] E. Fortunato, P. Barquinha, and R. Martins, “Oxide Semiconductor Thin-Film Transistors: A Review of Recent Advances”, *Adv. Mater.*, **24** (2012) 2945.
- [7] B. J. Lechner, F. J. Marlowe, E. O. Nester and J. Tulst, “Liquid Crystal Matrix Displays”, *Proceedings of the IEEE* **59** (1971) 1566-1579.
- [8] 堀浩雄, “液晶ディスプレイの歴史”, *応用物理* **68** (1999) 435-441.
- [9] 薄膜材料デバイス研究会 編, “薄膜トランジスタ”, コロナ社 (2008).
- [10] Y. Ukai, “5.2: Invited Paper: TFT-LCDs as the Future Leading Role in FPD”, *SID Symp. Digest of Technical Papers* **44** (2013) 28-31.
- [11] Y. Matsueda, “Required Characteristics of TFTs for Next generation Flat Panel Display Backplanes”, *The Proceedings of the 6th International Thin-Film Transistor Conference*, (2010) 314-317.
- [12] M. W. J. Prins, K. O. Grosse-Holz, G. Müller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, “A ferroelectric transparent thin-film transistor”, *Appl. Phys. Lett.*, **68** (1996) 3650-3652.
- [13] Y. Ohya, T. Niwa, T. Ban, and Y. Takahashi, “Thin film transistor of ZnO fabricated by chemical solution deposition”, *Jpn. J. Appl. Phys.*, **40** (2001) 297.
- [14] S. Masuda, K. Kitamura, Y. Okumura, S. Miyatake, H. Tabata, and T. Kawai, “Transparent thin film transistors using ZnO as an active channel layer and their electrical properties”, *J. Appl. Phys.*, **93** (2003) 1624-1630.
- [15] T. Hirao, M. Furuta, H. Furuta, T. Matsuda, T. Hiramatsu, H. Hokari, M. Yoshida, H. Ishii, and M. Kakegawa, “Novel top-gate zinc oxide thin-film transistors (ZnO TFTs) for AMLCDs”, *J. Soc. Inf. Disp.*, **15** (2007) 17-22.
- [16] N. F. Mott and R. S. Allgaier, "Localized states in disordered lattices" *Phys. Stat. sol.*, **21** (1967)

343-356.

- [17] M. H. Cohen, H. Fritzsche, and S. R. Ovshinsky, "Simple band model for amorphous semiconducting alloys." *Phys. Rev. Lett.*, **22** (1969) 1063.
- [18] T. Kamiya, and H. Hosono, "Creation of new functions in transparent oxides utilizing nanostructures embedded in crystal and artificially encoded by laser pulses", *Semicond. Sci. Technol.*, **20** (2005) S92.
- [19] Y. Hara, T. Kikuchi, H. Kitagawa, J. Morinaga, H. Ohgami, H. Imai, T. Daitoh and T. Matsuo, "IGZO-TFT technology for large-screen 8K display", *J. Soc. Inf. Disp.*, **26** (2018) 169-177.
- [20] S. Tomai, M. Nishimura, M. Itose, M. Matuura, M. Kasami, S. Matsuzaki, H. kawashima, F. Utsuno, and K. Yano, "High-Performance Thin Film Transistor with Amorphous In_2O_3 - SnO_2 -ZnO Channel Layer", *Jpn. J. Appl. Phys.* **51** (2012) 03CB01.
- [21] T. Kizu, S. Aikawa, N. Mitoma, M. Shimizu, X. Gao, M. F. Lin, T. Nabatame, and K. Tsukagoshi, "Low-temperature processable amorphous InW-O thin-film transistors with high mobility and stability", *Appl. Phys., Lett.* **104** (2014) 152103.
- [22] S. Aikawa, T. Nabatame, and K. Tsukagoshi, "Effects of dopants in InOx-based amorphous oxide semiconductors for thin-film transistor applications", *Appl. Phys., Lett.* **103** (2013) 172105.
- [23] H. Kumomi, S. Yaginuma, H. Omura, A. Goyal, A. Sato, M. Watanabe, M. Simada, N. Kaji, K. Takahashi, M. Ofuji, T. Watanabe, N. Itagaki, H. Shimizu, K. Abe, Y. Tateishi, H. Yabuta, T. Iwasaki, R. Hyashi, T. Aiba, and M. Sano, "Materials, Devices, and Circuits of Transparent Amorphous-Oxide Semiconductor", *J. Disp. Tech.*, **5** (2009) 531.
- [24] S. Aikawa, P. Darmawan, K. Yanagisawa, T. Nabatame, Y. Abe, and K. Tsukagoshi, "Thin-film transistors fabricated by low-temperature process based on Ga- and Zn-free amorphous oxide semiconductor", *Appl. Phys. Lett.*, **102** (2013) 102101.
- [25] C. S. Fuh, P. T. Liu, W. H. Huang, and S. M. Sze, "Effect of annealing on defect elimination for high mobility amorphous indium-zinc-tin-oxide thin-film transistor", *IEEE Electron Device Lett.*, **35** (2014) 1103-1105.
- [26] I. Noviyana, A. D. Lestari, M. Putri, M. S. Won, J. S. Bae, Y. W. Heo, and H. Y. Lee, "High mobility thin film transistors based on amorphous indium zinc tin oxide", *Materials*, **10** (2017) 702.
- [27] F. Liu, D. Wang, L. Xin, L. Yan, M. Wang, G. Yuan, and G. Wang, "High Mobility ITZO BCE Type TFTs for AMOLED Applications", *SID Symposium Digest of Technical Papers* **46** (2015) 1180-1183.
- [28] J. Raja, K. Jang, C. T. P. Nguyen, J. Yi, N. Balaji, S. Q. Hussain, and S. Chatterjee, "Improvement of mobility in oxide-based thin film transistors: A brief review". *Transactions on Electrical and Electronic Materials* **16** (2015) 234-240.
- [29] P. Barquinha, L. Pereira, G. Goncalves, R. Martins, and E. Fortunato, "Toward high-performance

- amorphous GIZO TFTs”, *J. Electrochem. Soc.*, **156** (2009) H161-H168.
- [30] S. Kim, Y. M. Jeon, Y. Kim, D. Kong, H. K. Jung, M. K. Bae, and J. Park, “Impact of oxygen flow rate on the instability under positive bias stresses in DC-sputtered amorphous InGaZnO thin-film transistors”, *IEEE Electron Device Lett.*, **33** (2011) 62-64.
- [31] K. Ide, K. Nomura, H. Hosono, and T. Kamiya, “Electronic defects in amorphous oxide semiconductors: A review”, *physica status solidi (a)*, **216** (2019) 1800372.
- [32] S. Jeon, S. I. Kim, S. Park, I. Song, J. Park, S. Kim and C. Kim, “Low-Frequency Noise Performance of a Bilayer InZnO–InGaZnO Thin-Film Transistor for Analog Device Applications”, *IEEE Electron Device Lett.*, **31** (2010) 1128-1130.
- [33] E. Chong, S. Y. Lee, “Influence of a Highly Doped Buried Layer for HfInZnO Thin-Film Transistors”, *Semicond. Sci. Technol.*, **27** (2012) 012001.
- [34] H. S. Kim, J. S. Park, H. K. Jeong, K. S. Son, T. S. Kim, J. B. Seon, E. Lee, J. G. Chung, D. H. Kim, M. Ryu, and S. Y. Lee, “Density of States-Based Design of Metal Oxide Thin-Film Transistors for High Mobility and Superior Photostability”, *ACS Appl. Mater. Interfaces*, **4** (2012) 5416-5421.
- [35] H. Y. Jung, Y. Kang, A. Y. Hwang, C. K. Lee, S. Han, D. H. Kim, J. U. Bae, W. S. Shin, and J. K. Jeong, “Origin of the Improved Mobility and Photo-Bias Stability in a Double-Channel Metal Oxide Transistor”, *Sci. Rep.*, **4** (2014) 3765.
- [36] J. H. Yang, J. H. Choi, S. H. Cho, J. E. Pi, H. O. Kim, C. S. Hwang, K. C. Park, and S. Yoo, “Highly Stable AlInZnSnO and InZnO Double-Layer Oxide Thin-Film Transistors With Mobility Over $50 \text{ cm}^2/\text{V}\cdot\text{s}$ for High-Speed Operation”, *IEEE Electron Device Lett.*, **39** (2018) 508-511.
- [37] S. I. Kim, C. J. Kim, J. C. Park, I. Song, S. W. Kim, H. Yin, E. Lee, J. C. Lee, and Y. Park, “High performance oxide thin film transistors with double active layers” In 2008 IEEE International Electron Devices Meeting (pp. 1-4). IEEE.
- [38] H. Wakana, T. Kawamura, K. Fujii, H. Uchiyama, and M. Hatano, “Amorphous ZTO/ITO Stacked-Channel TFTs with Field Effect Mobility over $50 \text{ cm}^2/\text{Vs}$ and Resistant to Channel Thickness Dispersion”, *SID Symposium Digest of Technical Papers*, **41** (2010) 1287-1290.
- [39] S. Taniguchi, M. Yokozeki, M. Ikeda, and T. Suzuki, “Transparent Oxide Thin-Film Transistors Using $n\text{-(In}_2\text{O}_3\text{)}_{0.9}\text{(SnO}_2\text{)}_{0.1}/\text{InGaZnO}_4$ Modulation-Doped Heterostructures”, *J. Jpn. Appl. Phy.* **50** (2011) 04DF11.
- [40] S. Nobuyoshi, T. Ueda, T. Tezuka, and K. Ikeda, "High-mobility and H_2 -anneal tolerant InGaSiO/InGaZnO/InGaSiO double hetero channel thin film transistor for Si-LSI compatible process" *IEEE J. Electron Devices Soc.*, **6** (2018) 500-505.
- [41] M. A. Marrs, C. D. Moyer, E. J. Bawolek, R. J. Cordova, J. Trujillo, G. B. Raupp, and B. D. Vogt, “Control of threshold voltage and saturation mobility using dual-active-layer device based on amorphous mixed metal–oxide–semiconductor on flexible plastic substrates”, *IEEE transactions*

on electron devices, **58** (2011) 3428-3434.

- [42] R. Dingle, H. L. Störmer, A. C. Gossard, and W. Wiegmann, “Electron mobilities in modulation-doped semiconductor heterojunction superlattices” *Appl. Phys. Lett.*, **33** (1978) 665-667.
- [43] T. Mimura, S. Hiyamizu, T. Fujii, and K. Nanbu, “A New Field-Effect Transistor with Selectively Doped GaAs/n-Al_xGa_{1-x}As Heterojunctions”, *Jpn. J. Appl. Phys.*, **19** (1980) L225-L227.

第2章

非晶質酸化物半導体における

材料組成がトランジスタの伝達特性・信頼性に与える影響

2.1 はじめに

非晶質酸化物半導体 (Amorphous oxide semiconductor: AOS) は、2種類以上の元素を主成分として含み、構成する金属材料および組成によって材料物性が変化する。2004年に In-Ga-Zn-O (IGZO)の薄膜トランジスタ (TFT) 応用が発表されて以降、デバイス特性の高性能・高信頼性化を目的とした AOS の最適組成の探索が盛んに研究されてきた[1-3]。AOS TFT の高性能化、即ち更なる移動度の向上手法は高移動度元素の増大およびキャリア抑制元素の減少、この2つの材料設計指針が重要視される[4-6]。しかしながら、この手法は酸素欠損起因の欠陥準位を生成しやすく、プロセスマージンの狭小化や信頼性低下の課題が存在する[7]。上記課題を解決するために報告されたのが、キャリア抑制元素である Ga の代わりに酸素結合解離エネルギーの高い W をドーピングした In-W-O (IWO) である[7, 8]。W-O の酸素結合解離エネルギーは 720 kJ/mol と、Ga-O (320 kJ/mol) と比較して高く、少ない添加量で酸素欠損起因のキャリア生成を抑制できると報告されている[9]。しかしながら、W が In-O_x セラミックの緻密化に寄与できないことが起因して IWO のスパッタリングターゲット密度は<70%と低い。そこで近年、IWO に Zn を添加した In-W-Zn-O (IWZO) が開発された。Zn はスパッタリングターゲットの緻密化に寄与することから、IWZO のスパッタリングターゲット密度は97%まで向上できる[10]。この IWZO のキャリア濃度および移動度は W ドーピング量に強く依存することが報告されており、W 組成を最適化することで TFT の閾値 0 V 付近 (適正なキャリア濃度) を維持したまま高い電界効果移動度 (~30 cm²/Vs) を示すことに成功している[11, 12]。しかしながら、IWZO を含めた高 In 組成 TFT の実用例はまだ少なく、特に信頼性を含めた詳細な解析は充分に行われているとは言い難い。

本章では、AOS 組成比率が異なる以下の三種類、①In:Ga:Zn=1:1:1 atm.% (IGZO-111)、②In リッチ組成 (In/(Ga or Zn)>1 : IGZO-high-In)、③W ドープ In-Zn-O (In/(W or Zn)>1 : IWZO) を用いて TFT を作製し、電気特性および信頼性を評価した。AOS の代表である IGZO-111 TFT を標準指標とし、二種類の高 In 組成 AOS の電気特性および信頼性を比較することで AOS 材料組成の違いが TFT の高性能・高信頼性化に及ぼす影響に関して検討した。

なお、本章で議論する IGZO-high-In および IWZO 薄膜の組成は、それぞれ三井金属株式会社および住友電気工業株式会社との守秘契約のため非開示とする。

2.2 成膜時の酸素流量比が抵抗率に与える影響

In 組成が多い AOS 薄膜は高いキャリア濃度であることが予想されるため、デバイス応用に向けたキャリア濃度の制御が必要である。AOS のキャリア制御手法として、AOS 成膜時の酸素流量比 (R_{O_2}) の増大によってキャリア濃度を制御できることが知られており、当研究室でも同様の現象が確認されている[13, 14]。従って、本節では AOS 成膜時の R_{O_2} が各 AOS 薄膜の抵抗率に与える影響を検討した。

RF マグネトロンスパッタ法にて成膜した各 AOS 薄膜の条件を表 2.1 に示す。 R_{O_2} は $O_2/Ar+O_2$ で表され、IGZO-111 は 2~5% まで変化させた。一方、キャリア制御が困難と予想される IGZO-high-In および IWZO 薄膜は 5~49% と大きく変化させた。その他の成膜条件として、成膜圧力は 0.5 Pa、成膜温度は非加熱、RF 電力は 200 W、膜厚 (t) は 30 nm とした。ガラス基板上に各 AOS 薄膜を成膜後、サンプル四隅にはんだごてを用いて In 電極を形成し、Van der Pauw 法により抵抗率を測定した。サンプルサイズは~1 mm 角である。

表 2.1 実験に用いた酸化物半導体薄膜の成膜条件

	IGZO-111	IGZO-high-In	IWZO
酸素流量比, $O_2/Ar+O_2$ (%)	2~5	5~49	5~49
成膜圧力 (Pa)	0.5		
成膜温度 (°C)	非加熱		
RF 電力 (W)	200		
膜厚 (nm)	30		

図 3.1 に未アニール (as deposition: as-depo.) 時の各 AOS 薄膜における抵抗率の酸素流量比依存性を示す。IGZO-111 の場合、 $R_{O_2}=2, 3\%$ の抵抗率は、それぞれ $1.1 \times 10^0, 1.3 \times 10^1 \Omega\text{cm}$ の値を示した。 $R_{O_2}=4\%$ に増大した時、IGZO-111 の抵抗率は $1.6 \times 10^4 \Omega\text{cm}$ まで急激に増大し、 $R_{O_2}=5\%$ では測定限界 ($>10^5 \Omega\text{cm}$) を示した。一方、IGZO-high-In の場合、IGZO-111 が測定限界を示した $R_{O_2}=5\%$ においても $2.9 \times 10^{-1} \Omega\text{cm}$ と低い抵抗率を示し、 R_{O_2} を 10% へ増大させた時、 $1.2 \times 10^4 \Omega\text{cm}$ まで急激に増大した。また、その抵抗率は $R_{O_2} \geq 20\%$ で測定限界 ($>10^5 \Omega\text{cm}$) を示した。IWZO においても IGZO-high-In と似た傾向が得られており、 $R_{O_2}=10\%$ で $8.7 \times 10^2 \Omega\text{cm}$ の抵抗率を示し、その抵抗率は R_{O_2} が 49% へ増大するにしたがい $1.6 \times 10^4 \Omega\text{cm}$ まで緩やかに増大した。以上の結果から、IGZO-111、IGZO-high-In、IWZO の全ての AOS 薄膜において酸素流量比の増大に伴う抵抗率の増大が確認でき、AOS の抵抗率 (キャリア濃度) は、成膜時の R_{O_2} によって制御可能であることがわかった。これらの結果は、AOS のキャリア起源である酸素欠損が R_{O_2} 増大に伴い減少しているためと考えることができる[15]。しかしながら、In 組成の高い IGZO-high-In および IWZO 薄膜で高い抵抗率を得るためには、IGZO-111 と比較して高い R_{O_2} が必要であることが明らかとなった。

成膜時 R_{O_2} の増大はキャリア制御性を向上させる反面、成膜レートの低下や酸素イオンによる成膜ダメージ増大、プラズマが不安定になるといったデメリットも存在するため、量産では注意が必要となる[16]。しかしながら、以降の節では、キャリア濃度を低減させ閾値電圧 0V 付近でデバイス動作させることを優先し、IGZO-high-In および IWZO 薄膜の R_{O_2} は最も抵抗率が高い条件である 49%を用いて議論を展開する。

なお、Van der Pauw 法による抵抗率評価と同時に各 AOS 薄膜のホール移動度 (μ_H) およびキャリア濃度 (n_e) 評価も試みたが、 $R_{O_2} \geq 10\%$ の抵抗率が高い領域では測定限界となり、正確な値を得ることができなかった。各 AOS 薄膜の Hall 移動度およびキャリア濃度は、デバイスに近い (チャンネル保護膜を有する) 構造で再度評価する。

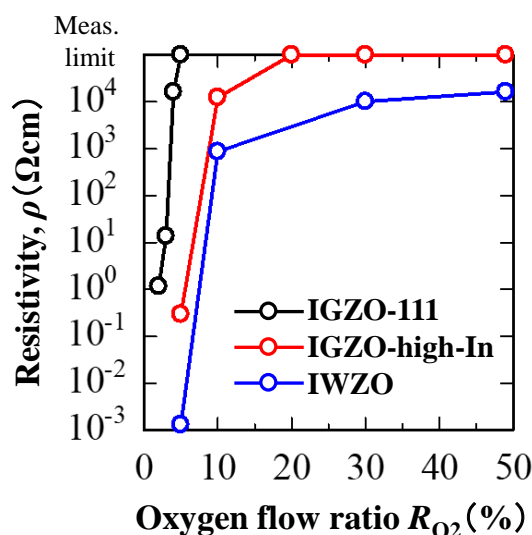


図 2.1 As-depo.時の各 AOS 薄膜における抵抗率の酸素流量比依存性

2.3 微小角入射 X 線回折法による結晶状態の評価

FPD 応用では大面積ガラス基板上に均一に成膜することが要求されるため、一般的には非晶質状態を維持することが望まれる。本節では、各 AOS 薄膜の結晶状態を微小角入射 X 線回折 (GIXRD) 法により評価した。評価装置は Rigaku ATX-G を使用し、ビーム線源は Cu-K α ($\lambda=0.15418$ nm)、照射角度 (ω) は 0.35° 、加速電圧は 50 kV、放出電流は 300 mA である。各 AOS 薄膜成膜条件は前節と同様であり、 R_{O_2} は IGZO-111 が 2%、IGZO-high-In および IWZO が 49%とした。石英基板上に成膜した各 AOS 薄膜に熱処理 (アニール) を施し、結晶化のアニール温度依存性を検討した。アニール条件は大気雰囲気 1 時間である。

図 2.2 に各 AOS 薄膜の GIXRD 回折パターンを示す。全ての AOS 薄膜は as-depo.時において 22° 付近の石英基板由来のピークおよび 32° 付近の非晶質由来のブロードピークが

得られ、非晶質状態であることが確認された。また、TFT 応用時に必要とされるアニール温度（ $\sim 350^{\circ}\text{C}$ ）においても非晶質状態であることがわかった。一方、アニール温度の増大に伴い In_2O_3 由来の結晶化ピークが得られた。この結晶化ピークが得られるアニール温度は、IGZO-111 が 700°C 、IGZO-high-In が 800°C 、IWZO が 700°C であった。一般的に、AOS の欠陥準位密度を低減させるのに必要なアニール温度は $\sim 350^{\circ}\text{C}$ 程度と報告されていることから[17]、 $600^{\circ}\text{C} \sim 700^{\circ}\text{C}$ まで非晶質状態を維持する結果は TFT 応用において十分なプロセスマージンであると考えられる。

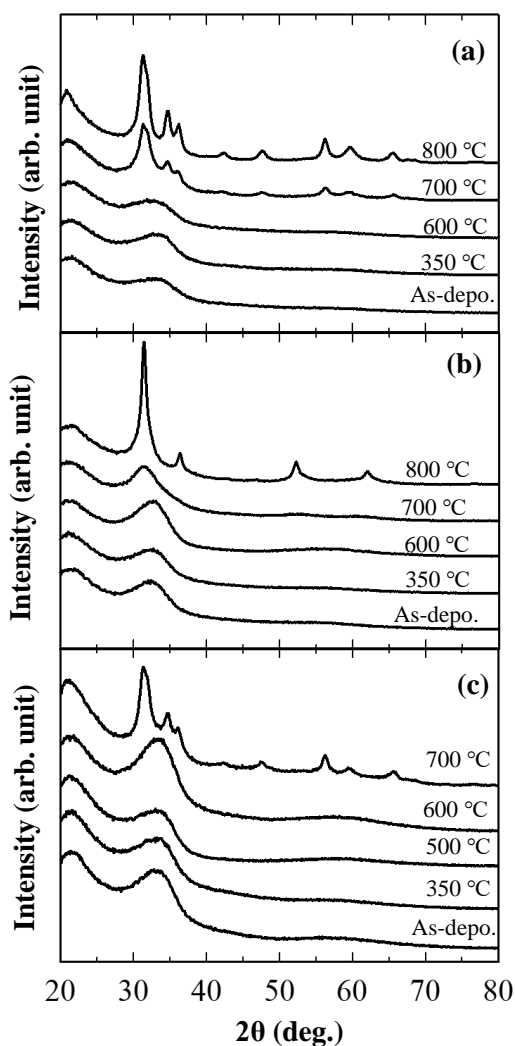


図 2.2 GIXRD 回折パターン
(a) IGZO-111 (b) IGZO-high-In (c) IWZO

2.4 抵抗率のアニール温度依存性

通常、as-depo.時の AOS 薄膜は、成膜時のプラズマダメージに起因した高密度の欠陥準位が形成されており、良好な TFT 特性を得るためには、 $\sim 350^{\circ}\text{C}$ のアニール処理が必要とされる[15]。前節の結果から、 R_{O_2} の増大によって as-depo.時における各 AOS 薄膜の抵抗率を増大できることを明らかにし、 350°C のアニール処理では非晶質状態を維持することを確認した。本節では、AOS 膜内の欠陥準位密度の低減に欠かすことのできないアニール温度が抵抗率に及ぼす影響を評価した。各 AOS の R_{O_2} は、IGZO-111 が 2%、IGZO-high-In および IWZO が 49%である。図 2.3 に各 AOS 薄膜の抵抗率のアニール温度依存性を示す。アニール処理は大気雰囲気ですべて 1 時間施した。

IGZO-111 の抵抗率は、 200°C のアニール処理によって 1.1×10^0 から $5.1 \times 10^{-2} \Omega\text{cm}$ まで減少した。一方、 200°C 以上のアニール処理によって抵抗率が增大する傾向が得られ、 300°C アニールにおいて $5.7 \times 10^2 \Omega\text{cm}$ を示した。この結果は、IGZO-111 薄膜が $300 \sim 350^{\circ}\text{C}$ 程度のアニール処理によって TFT 応用可能な抵抗率（キャリア濃度）に制御可能であることを示唆している。一方、In 組成の高い AOS 材料である IGZO-high-In および IWZO 薄膜の抵抗率は 200°C のアニールによって $\sim 10^{-3} \Omega\text{cm}$ まで急激に減少した。また、その抵抗率は 200°C 以上のアニールを施しても大きく変化することなく $10^{-3} \sim 10^{-2} \Omega\text{cm}$ 程度の低い値を維持した。これらの結果は、IGZO-high-In および IWZO 薄膜の抵抗率がアニール処理によって容易に低抵抗化してしまうことを示している。つまり、 R_{O_2} の増大によって as-depo.時の抵抗率を増大させても、欠陥準位密度の低減に不可欠である高温熱処理 ($300 \sim 350^{\circ}\text{C}$) の適用が困難であることが示唆された。従来研究より、IWZO TFT の閾値電圧がアニール温度の増大に伴い負シフトすることが報告されている[18]。この閾値電圧の負シフトはキャリア濃度の増大を示唆しており、本節で得られた In 組成の高い AOS の抵抗率のアニール温度依存性と対応する結果である。

以上の結果から、高 In 組成 AOS はキャリア濃度制御が困難であることを再確認し、高温アニール ($\sim 350^{\circ}\text{C}$) を施して TFT を動作させるためには、 R_{O_2} の増大と共に他のキャリア制御手法が不可欠であることを明らかにした。

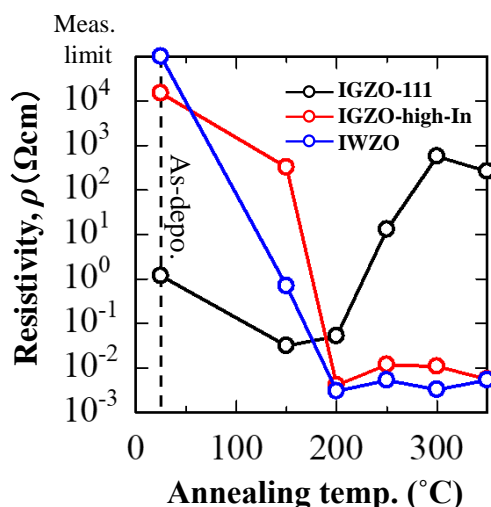


図 2.3 各 AOS 薄膜の抵抗率のアニール温度依存性

2.5 X 線光電子分光法による化学結合状態の評価

前節より、高 In 組成 AOS 薄膜の抵抗率がアニール処理によって容易に減少することが明らかとなった。これは TFT 応用時の閾値電圧の制御性に課題があることを示唆している。そこで、硬 X 線光電子分光 (HAXPES) 法を用いてアニール処理が AOS の化学結合状態に与える影響を検討し、キャリア生成起源の解析を行った。本節では、高 In 組成の中から IWZO 薄膜に注目し、as-depo.時および 300°C アニール時の薄膜の化学結合状態を比較することでキャリア生成起源を考察する。表 2.2 に HAXPES 測定の内容を示す。線源は試料表面およびバルク情報を検出するために CrK α を用いた。また、IWZO 薄膜はチャージアップを防ぐために低抵抗 Si 基板上に 30 nm 成膜した。なお、本節で用いた HAXPES の情報深さは 20 nm 程度であり、基板由来のピークが検出されないことを確認している。図 2.4 は as-depo.および 300°C アニール後における IWZO 薄膜の O1s スペクトルのピーク分離結果である。また、表 2.3 に IWZO 薄膜の O1s スペクトルに占める積分強度比率を示す。O1s のピーク分離は、最もフィッティングがあった Gauss-Lorents 混合関数にて実施し、531.2 eV (M-O)、532.4 eV (V_O)、532.3 eV (O_H) の三種類に分離した[19, 20]。O_H は水酸化物や物理吸着した水に起因するピーク、V_O は酸素欠損に起因するピーク、M-O は金属酸化物に起因するピークである。300°C のアニール処理により、水酸化物に起因する O_H の比率は 6.9% から 4.5% に減少した。一方で、酸素欠損に起因する V_O の比率は 12.4% から 20.1% に増大し、金属酸化物起因の M-O 比率は 80.7% から 75.4% に減少した。これらの結果は、アニール処理によって IWZO 薄膜の酸素欠損が増大していることを示唆している。

表 2.2 HAXPES 測定条件

X 線源	CrK α
X 線エネルギー (eV)	5414.87
光電子検出角度, TOA (°)	85
スリット幅 (mm)	0.8
測定ステップ (eV)	0.05
チャンバー圧力 (Pa)	8×10^{-8}
測定温度	室温
中和銃	w/o

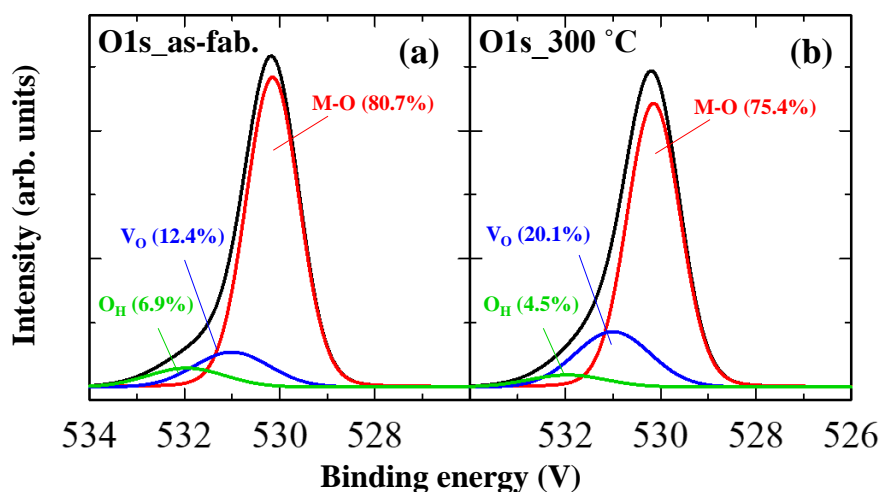


図 2.4 IWZO 薄膜の O1s スペクトルのピーク分離結果
(a) as-depo., (b) 300°Cアニール後

表 2.3 IWZO 薄膜の O1s スペクトルに占める積分強度比率

	O _H (%)	V _O (%)	M-O (%)
as-depo.	6.9	12.4	80.7
300°C	4.5	20.1	75.4

図 2.5 に 300°Cアニール前後における IWZO 薄膜の In3d および Zn2p のスペクトルを示す。444.3 eV の In³⁺に起因するピークが減少し、443.7 eV の In に起因するピークが増大した。また、Zn2p スペクトルにおいても 1021.5 eV の Zn²⁺が減少し、2021.2 eV のサテライトピークが増大する結果が得られた。これらは、300°Cアニール処理によって、IWZO 薄膜が金属リッチな状態に変化していることを示唆しており、酸素欠損の増大と対応する結果が得られた。

上記 HAXPES による化学結合状態評価より、O1s スペクトルからは酸素欠損の生成、In3d

および Zn2P ピークからはメタリックになる結果が得られた。従って、アニール処理によって IWZO 薄膜の酸素脱離が促進し、キャリア濃度が増大したことが考えられる。次節では、SiO_x 保護膜の適用について検討した結果について記述する。

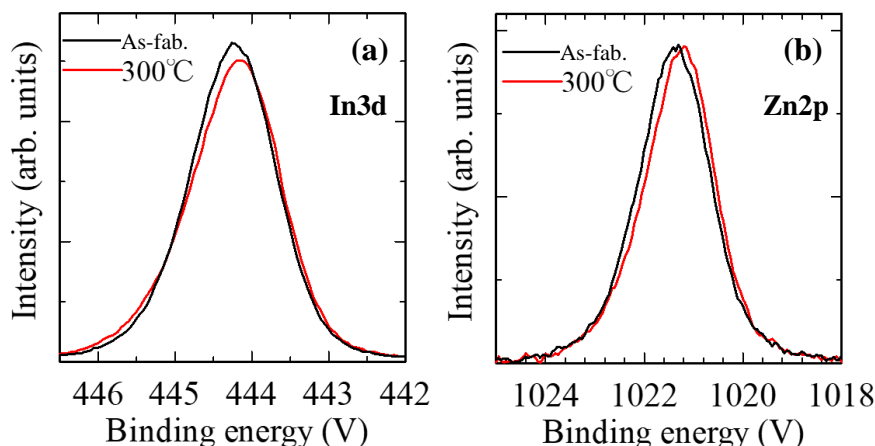


図 2.5 300°C アニール前後における IWZO 薄膜の
(a) In3d ピーク、および (b) Zn2p スペクトル

2.6 保護膜適用時における抵抗率のアニール温度依存性

前節の結果から、高 In 組成 AOS の抵抗率は 200°C 程度と低いアニール処理によって容易に減少することが確認され、350°C のアニール処理を施すことが困難であることが明らかとなった。また、そのアニール処理による抵抗率の減少は、酸素欠損増大に伴うキャリアの生成に起因していることを確認した。そこで、本節では、チャンネル保護膜の適用による酸素欠損生成の抑制を検討する。TFT におけるチャンネル保護膜は、半導体層への種々のプロセスダメージを低減させる働きや、大気由来の水分子から半導体層を保護する役割を担っており、良好なデバイス特性および信頼性を得る上で欠かすことができない層である[21, 22]。IGZO TFT における保護膜成膜の影響はこれまで多く報告されてきたが、IWZO TFT における保護膜適用例は少ない。従来研究より、チャンネル保護膜を応用した IWZO TFT の報告例はあるものの、電子ビーム蒸着法により成膜された保護膜であり量産で一般的に使用される手法ではない [23]。高移動度組成 AOS を用いた TFT の駆動実証は数多く報告されている一方で、チャンネル保護膜の応用が IGZO-111 と同様に可能なかという点が明らかにされていない。従って、本節では各 AOS 薄膜上にチャンネル保護膜を成膜し、Hall 効果測定によってその材料物性を評価することで、チャンネル保護膜適用によるキャリア制御性に関して検討する。各 AOS 薄膜のホール移動度 (μ_H) およびキャリア濃度 (n_c) は、それぞれ

$$\mu_H = \frac{t}{B_z} \cdot \frac{\Delta R_{AC,BD}}{\rho} \quad (2.1)$$

$$n_e = \frac{B_z}{qd\Delta R_{AC,BD}} \quad (2.2)$$

として与えられる[24]。ここで、 t はIGZOの膜厚、 B_z は磁束密度である。

チャネル保護膜の成膜条件を表2.4に示す。チャネル保護膜は、オルトケイ酸テトラエチル (Tetra ethyl orthosilicate: TEOS) および酸素 (O_2) を成膜ガスとしたプラズマ化学気相堆積法 (plasma-enhanced chemical vapor deposition: PE-CVD) により、SiOx: 100 nm を各 AOS 薄膜上に成膜した。成膜条件は、成膜ガス流量 TEOS/ O_2 =1/200 sccm、温度 180°C、圧力 53.3 Pa、RF 電力 50 W である。また、各 AOS 薄膜の成膜条件は前節と同様である。コンタクトホールは CF_4/O_2 ガスを用いた誘導結合プラズマ (Inductively Coupled Plasma: ICP) ドライエッチング装置にて形成し、コンタクトホール上にはんだごてにて In 電極を形成した。

表 2.4 チャネル保護膜成膜条件

成膜ガス流量 (sccm)	TEOS/ O_2 =200/1
成膜温度 (°C)	180
成膜圧力 (Pa)	53.3
RF 電力 (W)	50
膜厚 (nm)	100

図 2.6 (a) は各 AOS 薄膜の抵抗率のアニール温度依存性を示している。As-depo.時における AOS 薄膜の抵抗率はチャネル保護膜の成膜によって $\sim 10^{-2} \Omega\text{cm}$ まで減少する結果が得られた。これは成膜前に CVD チャンバー内にて 180°C でアニールさせることによる酸素欠損の生成が考えられる。一方、プラズマ成膜時の水素拡散やイオンボンバードメントの影響も考えられ[25, 26]、保護膜成膜直後のキャリア生成起源のメカニズム解析にはより詳細な解析が必要である。しかしながら、この保護膜成膜によって減少した各 AOS 薄膜の抵抗率はアニール温度の増大に伴い増大する傾向が得られた。350°C アニール時における IGZO-I11、IGZO-high-In、IWZO 薄膜の抵抗率は、それぞれ $6.2 \times 10^2 \Omega\text{cm}$ 、 $8.3 \times 10^1 \Omega\text{cm}$ 、 $1.1 \times 10^1 \Omega\text{cm}$ を示した。この結果は、保護膜がない場合における抵抗率のアニール温度依存性と逆の傾向であり、保護膜の適用によって高 In 組成 AOS 薄膜への高温アニール処理が可能になる可能性を示唆している。

図 2.6 (b) には各 AOS 薄膜のキャリア濃度のアニール温度依存性を示している。抵抗率とキャリア濃度には相関関係があり、as-depo.時には各 AOS 薄膜は $\sim 10^{19} \text{cm}^{-3}$ と高いキャリア濃度を示したが、アニール温度増大に伴い $10^{16} \sim 10^{17} \text{cm}^{-3}$ 程度まで減少する傾向が得ら

れた。このアニール温度の増大に伴うキャリアの減少（抵抗率の増大）は窒素雰囲気のアニール処理でも得られている。従って、キャリアの減少（抵抗率の増大）は大気中の酸素の拡散による欠陥補償ではなく、高温アニールに伴う膜内の欠陥修復の効果によるものだと考えられる[27]。以上の結果から、AOS 薄膜へのチャネル保護膜成膜は、as-depo.時のキャリア生成を誘発する一方で、アニールによる酸素欠損生成を抑制し、高温アニール処理の適用を可能とすることを明らかにした。

図 2.7 に保護膜を有する各 AOS 薄膜の μ_H と n_c の関係 (μ_H - n_c プロット) を示す。各 AOS の μ_H は n_c の増大に伴い増大する傾向が得られた。AOS のキャリア輸送はパーコーレションモデルで説明され、この傾向は AOS の特徴の一つとしてよく知られている[1, 4]。ここで、 $n_c \sim 19 \text{ cm}^{-3}$ における IGZO-111、IGZO-high-In、IWZO 薄膜のホール移動度に注目すると、それぞれ $\sim 10 \text{ cm}^2/\text{Vs}$ 、 $\sim 20 \text{ cm}^2/\text{Vs}$ 、 $\sim 35 \text{ cm}^2/\text{Vs}$ 程度が得られ、高 In 組成 AOS の IGZO-high-In および IWZO は、IGZO-111 と比較して高い移動度が得られることを確認した。

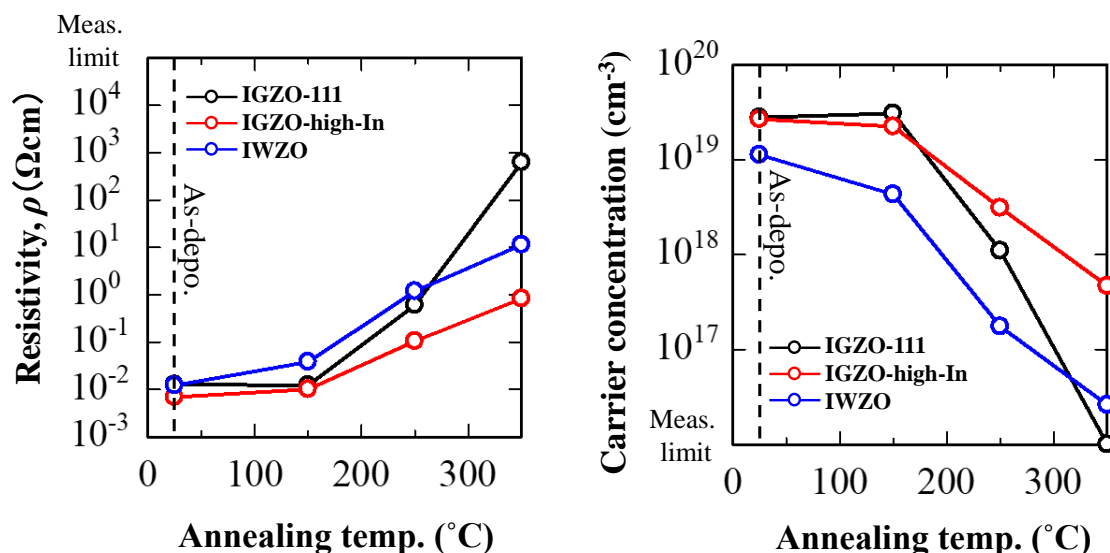
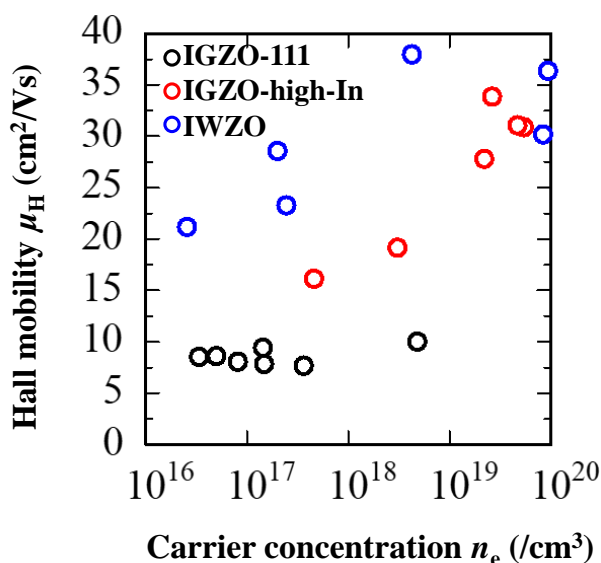


図 2.6 各 AOS 薄膜の (a) 抵抗率および (b) キャリア濃度のアニール温度依存性

図 2.7 各 AOS 薄膜の μ_H - n_e プロット

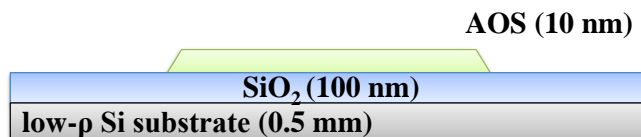
2.7 組成の違いが伝達特性へ及ぼす影響

2.7.1 薄膜トランジスタ作製条件

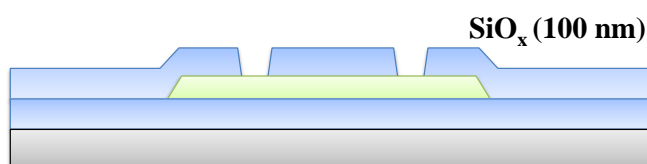
前節の結果より、チャネル保護膜の適用によって、アニール処理による酸素欠損生成を抑制できることを見出した。そこで本節では、IGZO-111、IGZO-high-In、IWZO 薄膜を用いてチャネル保護膜を有する TFT を作製し伝達特性を評価・比較することで、組成の違いが伝達特性に及ぼす影響を検討する。TFT 構造はボトムゲート・トップコンタクト型を採用した。TFT の作製プロセスを図 2.8 に示す。本研究の TFT は熱酸化膜付 n+ Si 基板上に作製し、n+ Si 基板をゲート電極、熱酸化膜をゲート絶縁膜とした。熱酸化膜の表面は、有機物除去を目的とした UV オゾン処理を 5 分施した後、半導体層として IGZO-111、IGZO-high-In、IWZO 薄膜をそれぞれ 10 nm メタルマスクを用いて成膜した。成膜手法および条件は前節と同様であり、IGZO-111、IGZO-high-In、IWZO の R_{O_2} は、それぞれ 2%、49%、49% である。半導体層の膜厚を 10 nm とした理由は閾値電圧を 0 V 付近にするためである。膜厚の薄膜化をすることで以下の二つの効果、1)膜内キャリア濃度総量の減少、2)バックチャネル領域まで容易に空乏化可能、によって閾値電圧を制御できることが報告されている[28]。TFT の膜厚最適化による閾値電圧の制御結果は本論文最後の付録内で記述する。

AOS 成膜後、チャネル保護膜として PE-CVD を用いて前節と同様の条件で SiO_x: 100 nm を成膜した。ICP ドライエッチング装置にてコンタクトホールを形成後、ソース・ドレイン (S/D) 電極としてメタルマスクを用いた DC マグネトロンスパッタ装置にて In-Sn-O (ITO) を室温成膜した。最後に大気雰囲気中で 350 °C、1 時間のポストアニール処理を行った。TFT のチャネル幅/チャネル長 (W/L) は、W/L=1000/690 μm である。

(1) AOS deposition



(2) Deposition & etching of a passivation layer



(3) Deposition of S/D electrodes

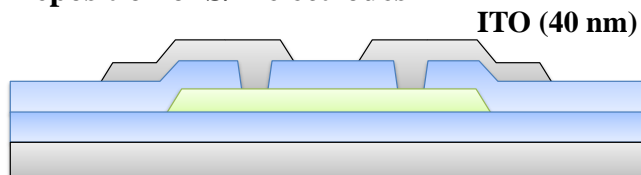


図 2.8 チャンネル保護膜有りボトムゲート IWZO TFT 作製プロセス

2.7.2 伝達特性の評価

伝達特性の評価は暗闇雰囲気では agilent 4156A および agilent 4156C を使用し、 V_{GS} の測定範囲は -10 V から $+20\text{ V}$ 、 0.1 V ステップとした。図 2.9 に (a) IGZO-111、(b) IGZO-high-In、(c) IWZO 薄膜を用いて作製した TFT の伝達特性を示す。また、表 2.5 に伝達特性から抽出した各パラメータを示す。なお、それぞれのパラメータの算出手法は 1 章に記述した通りである。

図 2.9 (a) より、IGZO-111 TFT の線形領域における電界効果移動度 (μ_{FE}) は $12.3\text{ cm}^2/\text{Vs}$ が算出され、前節で得られた Hall 移動度と同程度の値が得られた。閾値電圧 (V_{th})、S 値 ($S.S.$)、ヒステリシス (V_H) の値は、それぞれ $+0.3\text{ V}$ 、 0.11 V/dec. 、 $+0.1\text{ V}$ が得られた。これらの結果は、 350°C のアニール処理によって IGZO-111 のキャリア濃度が TFT 駆動に適した値に制御できており、また膜内・界面欠陥準位も充分低減していることを示唆している。次に図 2.9 (b) より、IGZO-high-In TFT の μ_{FE} は $20.9\text{ cm}^2/\text{Vs}$ が得られ、IGZO-111 TFT と比較して 2 倍程度高い値が得られた。この結果は、前節の $n_e \sim 10^{19}\text{ cm}^{-3}$ 時における Hall 移動度と同程度の値である。一方、 V_{th} の値は -0.6 V と IGZO-111 と比較して負側であり、また $V_H = +1.2\text{ V}$ とゲート絶縁膜/半導体界面欠陥準位による電子トラップの影響が確認された。ま

た図 2.9 (c) より、IWZO TFT の μ_{FE} は $34.1 \text{ cm}^2/\text{Vs}$ が得られ、IGZO-111 TFT の移動度より約 3 倍高い値を示した。一方、閾値電圧は -0.7 V と IGZO-111 と比較して負側であった。また、 $S.S.$ および V_H の値は IGZO-111 TFT と同等の結果が得られ、界面欠陥準位密度が充分低いことが考えられる。ここで、各 AOS TFT の V_{th} とキャリア濃度の関係に着目する。前節 2.6 (b) に示した通り、 350°C アニール後における IGZO-111、IGZO-high-In、IWZO 薄膜のキャリア濃度は、それぞれ $1 \times 10^{16} \text{ cm}^{-3}$ 以下、 $4.7 \times 10^{17} \text{ cm}^{-3}$ 、 $2.6 \times 10^{16} \text{ cm}^{-3}$ である。IGZO-high-In および IWZO 薄膜のキャリア濃度は IGZO-111 と比較して高く、この高いキャリア濃度に起因して IGZO-high-In および IWZO TFT の V_{th} は負側であることが考えられる。一方、IGZO-high-In 薄膜のキャリア濃度は IWZO 薄膜と比較して 1 桁程度高いにもかかわらず、IGZO-high-In TFT と IWZO TFT の V_{th} は同程度の値が得られた。これは、各チャネル膜厚が 10 nm と薄く、この程度のキャリア濃度差であれば $V_{GS} = -1 \text{ V}$ 程度の負バイアス印加によって空乏化可能であるためと考えられる。

以上の結果から、IGZO-high-In TFT および IWZO TFT は標準組成 IGZO-111 と比較して高い移動度を示し、In 組成増大による移動度の向上が確認できた。一方、両者の V_{th} は酸素流量比や膜厚の最適化によって 0 V に近い値を実現したが、依然として -1 V 程度負側であり、移動度と閾値の制御性、すなわちキャリア濃度制御のトレード・オフの影響が確認された。加えて、IGZO-high-In の V_H は IGZO-111 と比較して高く、In 組成増大による界面欠陥準位の生成が示唆された。しかしながら、同じ高 In 組成である IWZO TFT の V_H は、IGZO-111 と同程度と良好な値を示した。その原因は、キャリア抑制元素である Ga の代わりに酸素結合解離エネルギーの高い W をドーピングしたことによって、界面欠陥準位が形成されづらくなっていることが考えられる。界面欠陥準位に関する考察は次節の信頼性試験結果を踏まえて再度議論する。

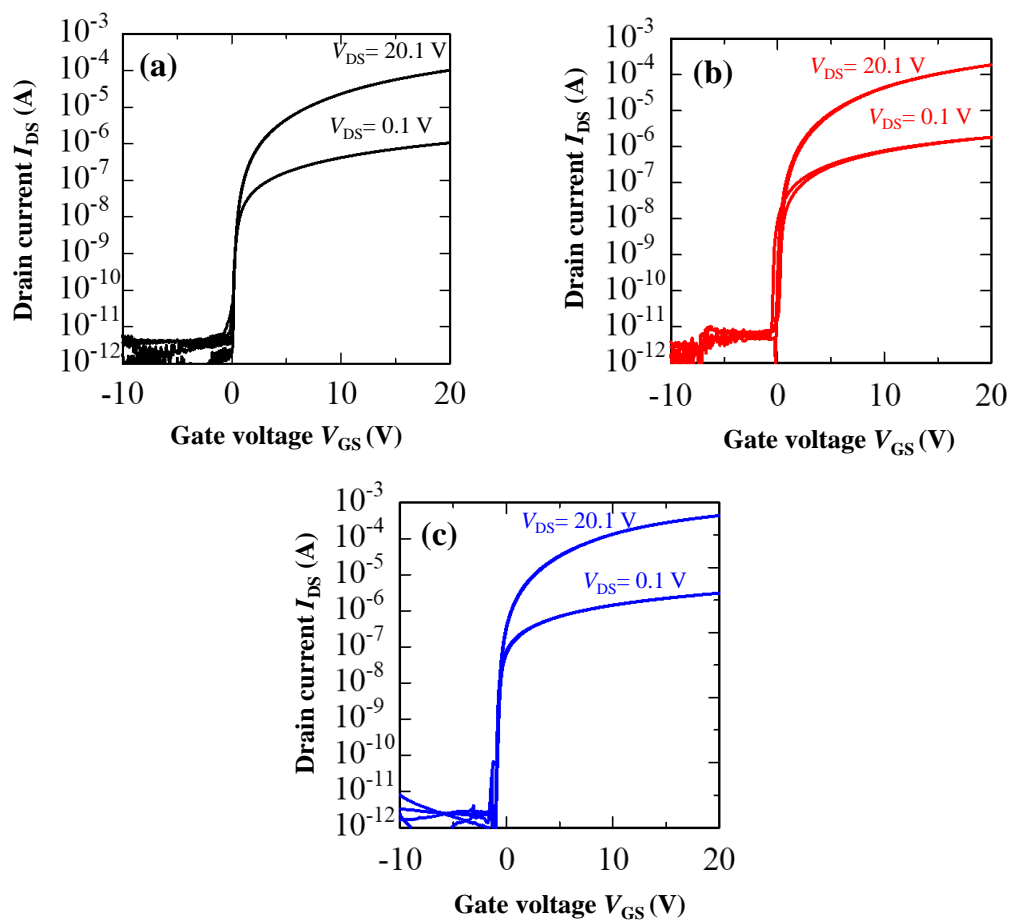


図 2.9 各 AOS TFT の伝達特性 (350°Cアニール時、W/L=1000/690 μm)
 (a) IGZO-111 TFT、(b) IGZO-high-In TFT、(c) IWZO TFT

表 2.5 図 2.9 の TFT 特性パラメータ

アニール温度	IGZO-111	IGZO-high-In	IWZO
μ_{FE} (cm ² V ⁻¹ s ⁻¹)	12.3	20.9	34.1
S.S. (V/dec.)	0.11	0.10	0.09
V_{th} (V)	+0.3	-0.6	-0.7
V_H (V)	0.0	+1.2	0.0

2.7.3 信頼性の評価

AOS TFT は電圧ストレス印加によって特性が変化する劣化現象が報告されている[29]。特に正ゲート電圧ストレス印加条件では閾値が正方向にシフトし、これはゲート絶縁膜/半導体界面に存在する界面欠陥準位への電子トラップならびにゲート電圧への電子注入が主要因であると考えられている[30, 31]。信頼性を確保することは、TFT 応用において極めて重要である。本節では、正ゲートバイアス印加ストレス (Positive bias stress: PBS) および正ゲートバイアス印加熱ストレス (Positive bias temperature stress: PBTS) 試験を実施し、各 AOS TFT の信頼性に関して評価した。本節のストレス試験条件は、 $V_{GS}=+20\text{ V}$ 、 $V_{DS}=\text{GND}$ 、PBTS 時の熱ストレス (T) を室温 (23°C)、 60°C 、 100°C の3条件とし、10,000 秒印加した。

図 2.10 に 60°C で実施した PBTS 試験における伝達特性の変化を示す。図 2.10 (a) より、IGZO-111 TFT の伝達特性はストレス印加時間の増大に伴い平行シフトする結果が得られ、10,000 秒印加後の閾値電圧の変化量 (ΔV_{th}) は+1.0 V の値が得られた。同様に、IGZO-high-In TFT および IWZO TFT においてもストレス印加時間の増大に伴う伝達特性の平行シフトが確認された。そして IGZO-high-In TFT および IWZO TFT の PBTS 試験後の ΔV_{th} は、それぞれ+7.0 V、+0.5 V を示した。ドレイン電流や S 値の劣化現象が確認できなかったことから、閾値電圧の平行正シフトの原因は、界面欠陥準位への電子トラップであることが考えられる[27-29]。ここで、各 AOS TFT の V_{th} シフト量に着目すると、IGZO-high-In TFT は、IGZO-111 TFT および IWZO TFT と比較して大きくシフトしており、ゲート絶縁膜/チャンネル界面には、IGZO-111 と比較して多くの界面欠陥準位が形成されていることが示唆された。一方、IWZO TFT は、IGZO-111 と同等以上の PBTS 信頼性試験結果を示し、W ドープによって界面欠陥準位の生成が抑制されていることが示唆された。

図 2.11 に PBS および PBTS 試験時における閾値変化量 (ΔV_{th}) の時間依存性を示す。また表 2.6 に PBTS 信頼性試験後の V_{th} シフト量を示す。IGZO-111 TFT の PBS 信頼性試験結果は、 $\Delta V_{th}=+0.3\text{ V}$ が得られた。この ΔV_{th} の値は、ストレス温度の増大に伴い増大する傾向を示し、 $T=100^{\circ}\text{C}$ において $\Delta V_{th}=+1.5\text{ V}$ が得られた。しかしながら、IGZO-high-In TFT は、PBS 信頼性試験後の ΔV_{th} が 4.2 V と大きな値を示し、加えてストレス温度の増大に伴う閾値電圧が大きく正シフトする結果が得られた。 $T=100^{\circ}\text{C}$ における IGZO-high-In TFT の ΔV_{th} は+11.5 V であった。この結果は、温度とゲート電圧のストレス環境下にて界面欠陥準位の生成が促進されたことを示唆している。従って、IGZO-high-In TFT は In 組成の増大によって高い移動度を示す一方、欠陥準位を生成しやすく、信頼性に課題があることが明らかとなった。一方、高 In 組成であるにもかかわらず IWZO TFT の PBS および PBTS 信頼性試験結果は、IGZO-111 TFT と同程度と良好な信頼性結果が得られた。この結果はキャリア抑制元素である W が Ga と比較して熱および温度ストレス印加時における界面欠陥準位密度を生成しにくいことを示唆しており、この高信頼性は W の特徴である高い酸素結合解離エネルギーによる酸素欠損生成の抑制効果に起因するものと考えられる。

以上の結果より、従来手法の In 組成を増大させる手法では移動度と信頼性のトレード・オフが顕著に確認することができるが、W をドーピングした高 In 組成材料 IWZO によって、高性能・高信頼性 TFT の実現に成功した。

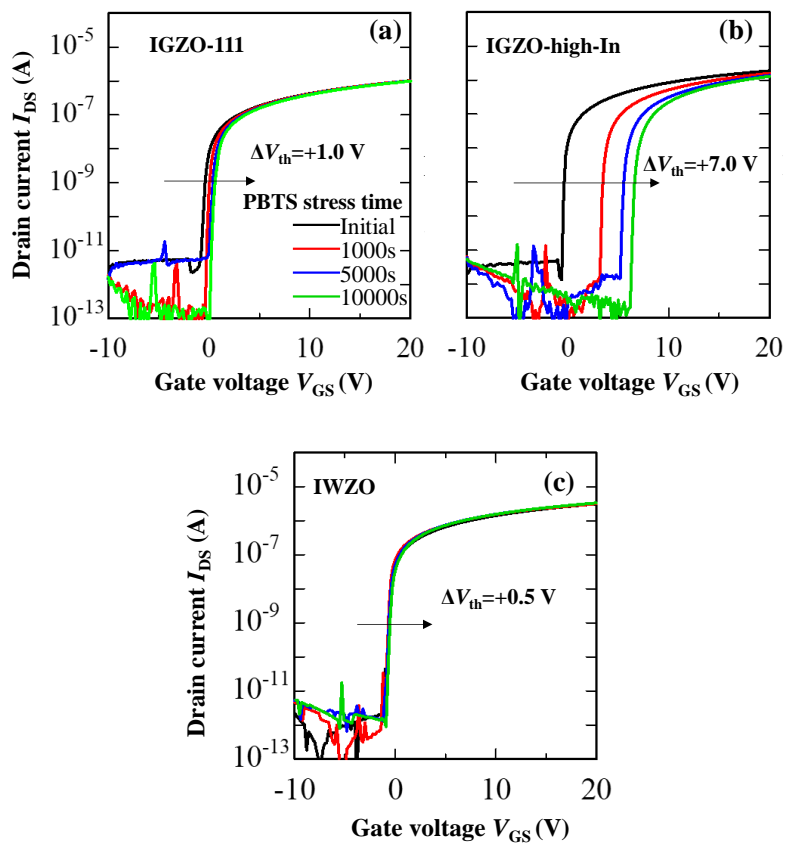


図 2.10 PBTS (60°C) 試験における伝達特性の変化
(a) IGZO-111 TFT、(b) IGZO-high-In TFT、(c) IWZO TFT

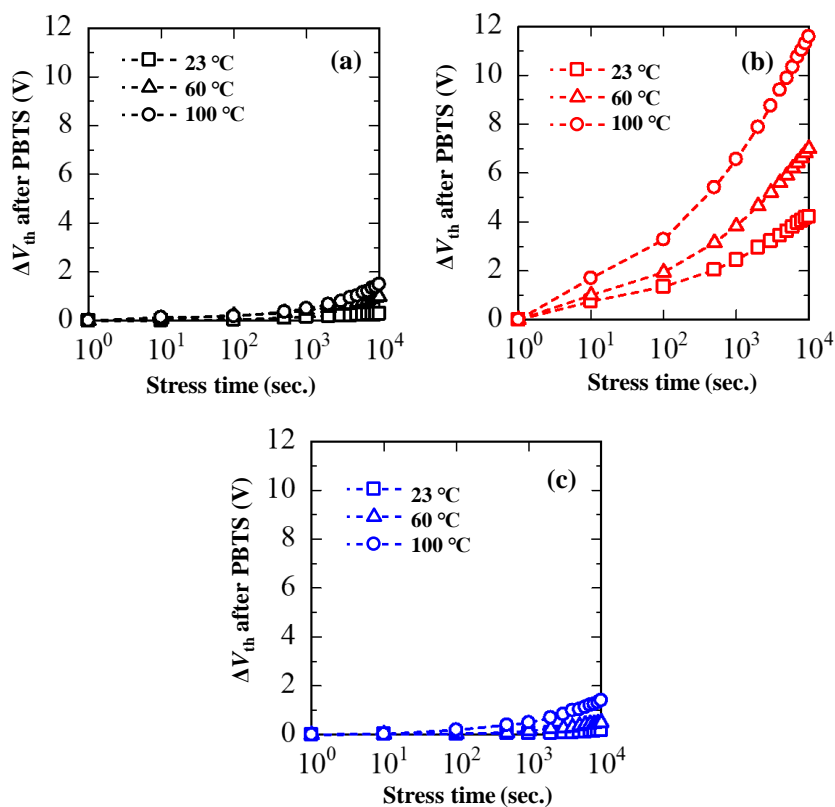


図 2.11 PBTS 試験時における閾値変化量のストレス温度依存性
 (a) IGZO-111 TFT、(b) IGZO-high-In TFT、(c) IWZO TFT

表 2.6 PBTS 信頼性試験後の V_{th} シフト量

ストレス温度	IGZO-111	IGZO-high-In	IWZO
室温 (23°C)	+0.3 V	+4.2	+0.2 V
60°C	+1.0 V	+7.0	+0.5 V
100°C	+1.5 V	+11.5	+1.4 V

2.8 まとめ

本研究では、移動度と信頼性のトレード・オフを解消するために、AOS 材料の組成比が電気特性および信頼性に及ぼす影響を検討した。使用した AOS は以下の三種類、① In:Ga:Zn=1:1:1 atm.% (IGZO-111)、②In リッチ組成 ($\text{In}/(\text{Ga or Zn}) > 1$: IGZO-high-In)、③W ドープ In-Zn-O ($\text{In}/(\text{W or Zn}) > 1$: IWZO) である。

In 組成が高い高移動度 AOS である IGZO-high-In および IWZO 薄膜は、200°C 程度の熱処理でキャリア濃度が $\sim 10^{19} \text{ cm}^{-3}$ 程度まで増大し、欠陥準位密度の低減に不可欠である高温熱処理 (300~350°C) の適用が困難であることが確認された。CrK α 線源を有する硬 X 線光電子分光 (HAXPES) による化学結合状態の解析を行った結果、膜内からの酸素脱離 (酸素欠損) がキャリア生成の起源であることを明らかにした。また、SiO₂ 保護膜の応用を検討した結果、保護膜成膜時の種々のプロセスダメージによって as-depo. 時のキャリア濃度を増大させるが、アニール温度増大に伴うキャリア濃度増大を抑制できることを確認した。この結果は、高 In 組成 AOS における保護膜の応用がキャリア濃度制御に効果的であることを示唆している。加えて、信頼性向上に不可欠な高温アニール処理を IGZO-high-In および IWZO TFT へ適用できることを明らかにした。

3 種類の AOS 薄膜を用いて TFT を作製し、伝達特性を評価・比較した結果、IGZO-high-In および IWZO TFT の閾値電圧は、アニール温度 350°C においても 0 V 付近で駆動し、半導体層として適切なキャリア濃度であることがわかった。また、IGZO-high-In TFT および IWZO TFT の移動度は、IGZO-111 と比較してそれぞれ 2 倍、3 倍高い値が得られ、In 組成増大に起因する移動度の向上が確認された。しかしながら、IGZO-high-In は 60°C の PBTS 試験結果の閾値変化量 (ΔV_{th}) が +7.0 V と、IGZO-111 TFT の信頼性結果 $\Delta V_{th} = +1.0 \text{ V}$ と比較して大きく劣化する結果を示し、In 組成増大もしくはキャリア抑制元素である Ga の減少に伴う界面欠陥準位の生成が確認された。またこの IGZO-high-In における PBTS 信頼性の劣化現象は、ストレス温度の増大とともに加速しており、熱+電圧のストレス環境下で新たな界面欠陥準位が生成されやすいことを明らかにした。一方、IWZO TFT は IGZO-111 と同等以上の信頼性を示し、高移動度組成においても酸素結合解離エネルギーの高い W ドープによって信頼性が向上できることを見出した。しかしながら、IGZO-high-In および IWZO 薄膜は、酸素流量比の増大やチャネル膜厚の薄膜化等の工夫を施すことで 0 V 付近の閾値電圧を実現することができており、そのキャリア制御性には依然として課題が確認され、欠陥準位が生成されやすいことが示唆された。

参考文献

- [1] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, “Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors”, *Nature* **432** (2004) 488.
- [2] T. Kamiya, K. Nomura, and H. Hosono, “Origins of High Mobility and Low Operation Voltage of Amorphous Oxide TFTs: Electronic Structure, Electron Transport, Defects and Doping”, *J. Disp. Tech.* **5** (2009) 468.
- [3] E. Fortunato, P. Barquinha, and R. Martins, “Oxide Semiconductor Thin-Film Transistors: A Review of Recent Advances”, *Advanced materials* **24** (2012) 2945.
- [4] K. Nomura, A. Takagi, T. Kamiya, H. Ohta, M. Hirano, and H. Hosono, “Amorphous Oxide Semiconductors for HighPerformance Flexible Thin-Film Transistors”, *Jpn. J. Appl. Phys.* **45** (2006) 4303.
- [5] S. Tomai, M. Nishimura, M. Itose, M. Matuura, M. Kasami, S. Matsuzaki, H. kawashima, F. Utsuno, and K. Yano, “High-Performance Thin Film Transistor with Amorphous $\text{In}_2\text{O}_3\text{-SnO}_2\text{-ZnO}$ Channel Layer”, *Jpn. J. Appl. Phys.* **51** (2012) 03CB01.
- [6] H. Kumomi, S. Yaginuma, H. Omura, A. Goyal, A. Sato, M. Watanabe, M. Simada, N. Kaji, K. Takahashi, M. Ofuji, T. Watanabe, N. Itagaki, H. Shimizu, K. Abe, Y. Tateishi, H. Yabuta, T. Iwasaki, R. Hyashi, T. Aiba, and M. Sano, “Materials, Devices, and Circuits of Transparent Amorphous-Oxide Semiconductor”, *J. Disp. Tech.* **5** (2009) 531.
- [7] T. Kizu, S. Aikawa, N. Mitoma, M. Shimizu, X. Gao, M. F. Lin, T. Nabatame, and K. Tsukagoshi, “Low-temperature processable amorphous In-WO thin-film transistors with high mobility and stability”, *Appl. Phys. Lett.*, 104 (2014) 152103.
- [8] Z. Yang, T. Meng, Q. Zhang, and H. D. Shieh, “Stability of Amorphous Indium–Tungsten Oxide Thin-Film Transistors Under Various Wavelength Light Illumination”, *IEEE Electron Device Lett.*, **37** (2016) 437-440
- [9] S. Aikawa, T. Nabatame, and K. Tsukagoshi, “Effects of dopants in InOx-based amorphous oxide semiconductors for thin-film transistor applications”, *Appl. Phys. Lett.*, 103 (2013) 172105.
- [10] T. Kizu, N. Mitoma, M. Miyanaga, H. Awata, T. Nabatame, and K. Tsukagoshi, “Codoping of zinc and tungsten for practical high-performance amorphous indium-based oxide thin film transistors”, *J. Appl. Phys.* **118** (2015) 125702.
- [11] D. Wan, X. Liu, A. Abliz, C. Liu, Y. Yang, W. Wu, G. Li, J. Li, H. Chen, T. Guo and L. Liao, “Design of highly stable tungsten-doped IZO thin-film transistors with enhanced performance”, *IEEE Transactions on Electron Devices* **65** (2018) 1018-1022.
- [12] H. Tsuji, M. Nakata, Y. Nakajima, T. Takei, Y. Fujisaki, N. Shimidzu, and T. Yamamoto, “Development of back-channel etched In-W-Zn-O thin-film transistors”, *Journal of Display Technology* **12** (2016) 228-231.

- [13] 東 龍之介, “高移動度 InGaZnO_x 薄膜トランジスタの特性・信頼性制御”, 高知工科大学大学院修士論文 (2019).
- [14] X. F. Chen, G. He, M. Liu, M., J. W. Zhang, B. Deng, P. H. Wang, M. Zhang, J. G. Lv. and Z. Q. Sun, “Modulation of optical and electrical properties of sputtering-derived amorphous InGaZnO thin films by oxygen partial pressure”, *J. Alloys Compd.*, **615** (2014) 636-642.
- [15] T. Kamiya, and H. Hosono, “Roles of hydrogen in amorphous oxide semiconductor”, *ECS Transactions*, **54** (2013) 103-113.
- [16] T. Hata, “Deposition of Metal-oxide Films by Reactive Sputtering”, *Journal of The Surface Finishing Society of Japan*, **46** (1995) 590-593.
- [17] K. Ide, K. Nomura, H. Hosono, and T. Kamiya, “Electronic defects in amorphous oxide semiconductors: a review”, *phys. status solidi A*, **216** (2019) 1800372.
- [18] R. Fu, J. Yang, W. C. Chang, W. C. Chang, C. M. Chang, D. Lin, Q. Zhang, P. T. Liu, and H. P. D. Shieh, “The Influence of Annealing Temperature on Amorphous Indium-Zinc-Tungsten Oxide Thin-Film Transistors”, *physica status solidi* **215** (2018) 1700785.
- [19] J. K. Jeong, H. W. Yang, J. H. Jeong, Y. G. Mo, and H. D. Kim, “Origin of threshold voltage instability in indium-gallium-zinc oxide thin film transistors”, *Appl. Phys. Lett.* **93** (2008) 123508.
- [20] H. Jeong, B. Lee, Y. Lee, J. Lee, M. Yang, I. Kang, M. Mativenga, and J. Jang, “Coplanar amorphous-indium-gallium-zinc-oxide thin film transistor with He plasma treated heavily doped layer”, *Appl. Phys. Lett.*, **104** (2014) 022115.
- [21] Y. Magari, H. Makino, and M. Furuta, “Carrier generation mechanism and origin of subgap states in Ar-and He-plasma-treated In–Ga–Zn–O thin films”, *ECS J. Solid State Sci. Technol.* **6** (2017) Q101.
- [22] S. G. M. Aman, and M. Furuta, “Correlation between passivation film density and reliability of In–Ga–Zn–O thin-film transistors”, *Jpn. J. Appl. Phys.*, **57** (2018) 088001.
- [23] D. B. Ruan, P. T. Liu, Y. C. Chiu, P. Y. Kuo, M. C. Yu, K. J. Gan, T. C. Chien, and S. M. Sze, “Mobility enhancement for high stability tungstendoped indium-zinc oxide thin film transistors with a channel passivation layer”, *RSC Adv.* **8** (2018) 6925.
- [24] 薄膜材料デバイス研究会 編, “薄膜トランジスタ”, コロナ社 (2008).
- [25] S. G. M. Aman, D. Koretomo, Y. Magari, and M. Furuta, “Influence of Deposition Temperature and Source Gas in PE-CVD for SiO₂ Passivation on Performance and Reliability of In–Ga–Zn–O Thin-Film Transistors”, *IEEE Trans. Elec. Device*, **65** (2018) 3257.
- [26] J. Tanaka, Y. Ueoka, K. Yoshitsugu, M. Fujii, Y. Ishikawa, Y. Uraoka, K. Takechi, and H. Tanabe, “Comparison between effects of PECVD-SiO_x and thermal ALD-AlO_x passivation layers on characteristics of amorphous InGaZnO TFTs”, *ECS J. Solid State Sci. Technol.*, **4**, Q61, (2015).
- [27] K. Ide, K. Nomura, H. Hiramatsu, T. Kamiya, and H. Hosono, “Structural relaxation in

- amorphous oxide semiconductor, a-In-Ga-Zn-O”, J. Appl. Phys. **111** (2012) 073513.
- [28] J. Jaewook, and Y. Hong, “Debye length and active layer thickness-dependent performance variations of amorphous oxide-based TFTs”, IEEE Trans. Electron Devices, **59** (2012) 710-714.
- [29] R. B. M. Cross, and M. M. De Souza. “Investigating the stability of zinc oxide thin film transistors” Appl. Phys. Let., **89** (2006) 263513.
- [30] K. Hoshino, D. Hong, H. Q. Chiang, and J. F. Wager, “Constant-voltage-bias stress testing of a-IGZO thin-film transistors”, IEEE Transactions on Electron Devices, **56** (2009) 1365-1370.
- [31] T. Toda, D. Wang, J. Jiang, M. P. Hung, and M. Furuta, “Quantitative analysis of the effect of hydrogen diffusion from silicon oxide etch-stopper layer into amorphous In-Ga-Zn-O on thin-film transistor”, IEEE Transactions on Electron Devices, **61** (2014) 3762-3767.

第3章

非晶質酸化物半導体ヘテロ接合が

トランジスタの伝達特性・信頼性に与える影響

3.1 はじめに

キャリア抑制元素をドーブした材料組成のアプローチでは、依然としてキャリア制御性に課題が確認され、欠陥準位が生成されやすいことが示唆された。そのため、一種類の AOS にて移動度と信頼性の両立を目指す従来の手法ではなく、二種類の AOS を用いることで移動度と信頼性を分離して制御する手法が効果的だと考え、AOS ヘテロ構造の研究を開始した。同じ半導体同士の接合をホモ接合と呼ぶのに対し、異なる半導体同士の接合はヘテロ接合と呼ばれる。ヘテロ接合は、2つの半導体のバンドギャップ、誘電率、屈折率、吸収係数などの諸定数が異なるから、ホモ接合ではみられない以下に示す効果が期待される[1]。

- 1) 伝導帯下端 (Conduction band minimum: CBM) または価電子帯上端 (Valence band maximum: VBM) にエネルギー不連続性に基づくポテンシャル障壁が形成され、電子または正孔のどちらかを支配的にすることができる。
- 2) エネルギー不連続性に基づくポテンシャル障壁の存在によって、キャリアを局部的に閉じ込めることができる。
- 3) 級数係数が異なるので、外部の光を接合に導く、あるいは接合近辺で発生した光を外部に導くことが容易になる。
- 4) 屈折率の違いを利用して光を閉じ込めることができる。

GaAs/AlGaAs に代表される高移動度トランジスタ (High electron mobility transistor: HEMT) は、ヘテロ接合を利用した良い例である[2,3]。その大きな特徴は、GaAs と AlGaAs の格子定数の不整合性が小さく、ヘテロ接合結晶界面に二次元電子ガス (Two dimensional electron gas: 2DEG) が形成される点にある。AlGaAs に不純物を多くドーブする変調ドーブ (Modulation doped: MOD) を行うと、AlGaAs 中の電子はこの界面量子井戸に蓄積し、非常に薄い電子蓄積層が形成される。この電子蓄積層は格子散乱の影響を受けにくく高い電子移動度を示す。これは、上記 2) に示した量子閉じ込め効果に由来する。

AOS においても高移動度化を目的としたヘテロ接合トランジスタの研究が行われており、高い移動度を示す TFT の実証が成されている[4-8]。しかしながら、その報告の多くは

ゲート絶縁膜/半導体界面（フロントチャネル）に非常に薄い高移動度 AOS を挿入した構造であり、ヘテロ接合界面の形成とその効果に関する議論が充分に行われていない。一方、ヘテロ接合界面のポテンシャル障壁の形成に関する従来研究として、In-Ga-Zn-O (IGZO) /ITO、IGZO/In-Zn-O (IZO) /IGZO、In-Ga-Si-O (IGSiO) /IGZO/IGSiO などの二層もしくは三層構造のヘテロ接合チャネルが報告されている [9-12]。しかしながら、積層構造であるが故に物性評価とキャリア輸送経路の解析が難しく、ポテンシャル障壁の形成がデバイス特性および信頼性に及ぼす影響について詳細に解析されていないのが現状である。

そこで本章では移動度と信頼性のトレード・オフを解決することを目的とし、組成の異なる二種類の非晶質 IGZO、①IGZO-111 および②IGZO-high-In を用いたヘテロ接合による界面形成と、そのデバイス特性と信頼性に及ぼす影響について評価した。上記2種類の IGZO を用いた理由は以下の4つである。

- 1)、非晶質同士のヘテロ接合の従来研究である Si:H/SiC では、格子緩和に伴う界面準位の生成が報告されている[13]。同一構成元素の半導体は欠陥準位の少ない良好なヘテロ接合界面形成が期待される。
- 2) IGZO は In 組成比によって電子親和力を変化でき、同じ構成元素であってもポテンシャル障壁形成が期待される。
- 3) 2章で示した通り、各 IGZO 薄膜は TFT 応用時におけるデバイス特性が大きく異なり（移動度・信頼性）、その特性差はヘテロ接合形成がデバイス特性へ及ぼす影響の理解を深めることができると思われ。
- 4) ヘテロ接合では、2種類の材料を使用するため、デバイス応用時における経時変化影響の複雑化が予想される。一方で、同じ構成元素であれば、各材料の経時変化メカニズム、およびその影響差の緩和が期待される。

以上の理由のもと、2種類の非晶質 IGZO 薄膜を用いてヘテロ接合形成に関する研究を開始した。

3.2 バンドアライメント評価

ヘテロ接合チャンネルは、2章と同様のマルチカソードRFマグネトロンスパッタ装置を用いて成膜を行った。使用したAOSは以下の2種類、In:Ga:Zn=1:1:1 atm.% (IGZO-111) と In/(Ga or Zn)>1 (IGZO-high-In) である。また、ヘテロ接合チャンネルは、ヘテロチャンネル界面への不純物混入などの影響をなくすために大気曝露することなく同一チャンバー内で連続成膜した。なお、異なる組成ターゲットを連続成膜する際はシャッター越しのプリスパッタを15分間実施した。各IGZO薄膜の成膜条件は表3.1の通りである。なお、2章で得られた結果を参考にIGZO-high-Inの酸素流量比は49%と高くすることで成膜直後のキャリア濃度を減少させた。

表 3.1 IGZO-111 および IGZO-high-In の成膜条件

	IGZO-111	IGZO-high-In
酸素流量比 (%)	2	49
成膜圧力 (Pa)		0.5
背圧 (Pa)		$\leq 4 \times 10^{-4}$
成膜温度 (°C)		室温
RF 電力		200

ヘテロ接合による期待される各種効果はCBM また VBM のポテンシャル障壁高さが重要となる[1]。本節では、各IGZO薄膜のバンドアライメントを測定するために、光学特性およびイオン化ポテンシャルを評価した。評価サンプルは石英基板上にIGZO-111 およびIGZO-high-In 薄膜をそれぞれ100 nm 成膜した。光学特性はHITACHI U-4100 分光光度計を用いて入射角5°、波長(λ)200-2500 nm の条件で透過率(T)・反射率(R)を測定した。また、T および R から吸収係数(α)を算出し、Tauc プロットを用いて光学バンドギャップ(E_g)を測定した[14]。 α は以下の3.1式を用いて算出した。

$$\alpha = -\ln \left[\frac{T}{1-R} \right] / d \quad (3.1)$$

また、イオン化ポテンシャルエネルギー(I_p)は光電子収量分光(Photoemission yield spectroscopy: PYS)法を用いて算出した。評価サンプルは、石英基板上に前節と同じ条件で100 nm 成膜し、350°C大気雰囲気1時間のアニールを行った。図3.1にIGZO-111 および-high-In の(a) Tauc プロット、および(b) 光電子収率を示す。

Tauc プロットより、IGZO-111 および-high-In の E_g は、それぞれ~3.1 eV、~2.8 eV の値が得られた。また、IGZO-111 および-high-In の I_p は、~7.4 eV、~7.5 eV が得られ、In 組成

の違いによる大きな差はみられなかった。これらの結果を元に作成した各 IGZO におけるバンドアライメントの概略図を図 3.2 (a) に示す。図 3.2 (a) より、CBM のエネルギー差 (ΔE_c) は ~ 0.4 eV となりヘテロ接合界面には図 3.2 (b) に示すようなポテンシャル障壁が形成されることが示唆された。In 比率の増大によって電子親和力が大きくなる要因は、AOS の CBM が主に In の 5s 軌道によって形成されていることに起因していると考えられる[15]。

以上の結果から、図 3.2 (b) に示す様に電子親和力が小さい IGZO-111 薄膜上に IGZO-high-in を形成した構造の場合に、ヘテロ接合界面で量子閉じ込め効果が期待されることを確認した。

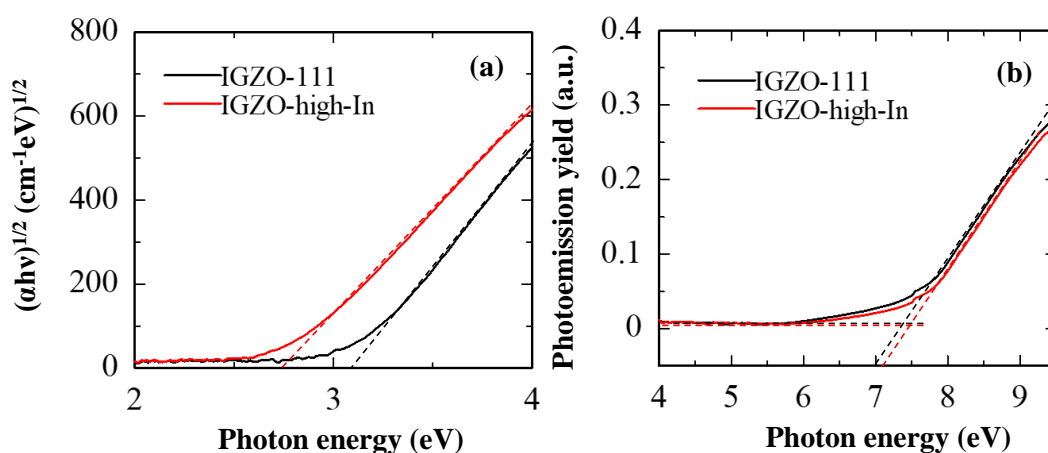


図 3.1 IGZO-111 および-high-In 薄膜の (a) Tauc プロット、および (b) 光電子収率

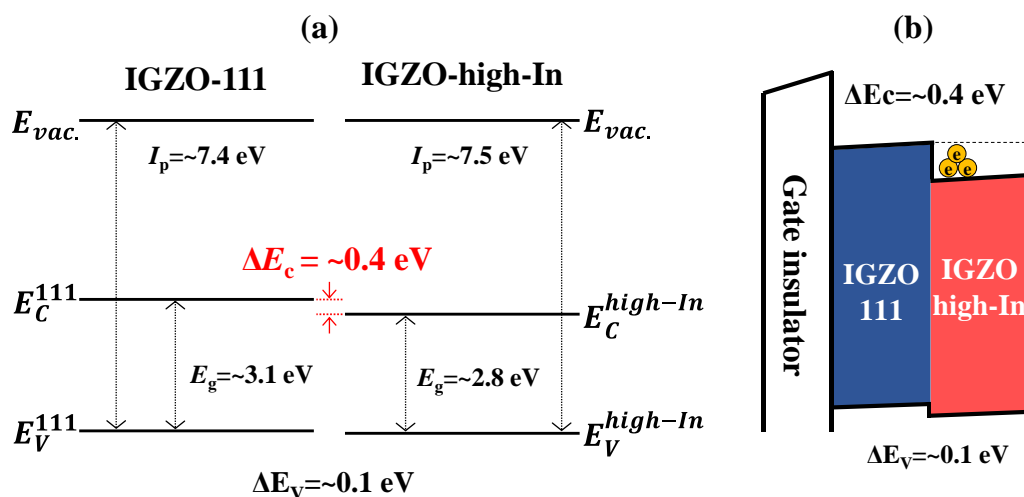


図 3.2 IGZO-111 および IGZO-high-In 薄膜の (a) バンドアライメント図、および (b) ヘテロ接合時のイメージ図

3.3 ヘテロ接合界面の急峻性評価

3.3.1 接合容量を用いたキャリア濃度の深さ方向依存性評価

前節のバンドアライメント評価の結果より、IGZO-111 と IGZO-high-In 薄膜の接合界面の CBM には 0.4 eV 程度の差があり、ポテンシャル障壁形成による量子閉じ込め効果が期待された。しかしながら、これらのバンドアライメントは各 IGZO の単層で評価した結果である。スパッタリング法を用いて非晶質材料のヘテロ接合を形成する場合、打ち込みによる In 拡散などの影響で、良好な界面が形成されない可能性も考えられ、実際に接合した際にポテンシャル障壁が形成されるのかどうか評価する必要がある。従って、本節では接合容量を用いたキャリア濃度の深さ方向依存性を評価することで、ヘテロ接合界面がどの程度急峻に形成されているか検討した。

接合容量を用いたキャリア濃度の測定は、ショットキー接合や MOS 構造の容量がそれによって印加する電圧によって変化することを利用している。この容量の変化は電圧印加によってチャンネル内部の空乏層幅が変化するためであり、空乏層厚さとその電圧に対する変化量はキャリア濃度に依存する。従って、接合容量の電圧に対する変化からチャンネル内のキャリア濃度を算出可能であり、キャリア濃度の深さ方向依存性は以下のように求めることができる[16]。

印加電圧 V が ΔV だけ変化した時、それに対応する電荷 Q の増分 ΔQ は、

$$\Delta Q = qN_D(x)\Delta x \quad (3.1)$$

と表される。ここで、 q は電子の単位電荷である。従って、ガウスの定理を用いれば、 ΔV は

$$\Delta V = x \cdot \Delta E = \frac{q}{\epsilon} N_D(x) \cdot x \Delta x \quad (3.2)$$

と表すことができ、3.1 式および 3.2 式より、

$$C = \frac{\Delta Q}{\Delta V} = \frac{\epsilon}{x} \quad (3.3)$$

を得る。また、3.2 式および 3.3 式より、

$$\frac{\Delta V}{\Delta(C^{-2})} = \frac{q\varepsilon}{2} N_D(x) \quad (3.4)$$

となる。ここで、 C は単位面積あたりの接合容量、 ε は半導体の誘電率、 $N_D(x)$ はある深さのキャリア濃度である。 x は電圧によって変えることができ、その最大値は接合の降伏電圧に対応する深さである。従って、3.3式および3.4式の C から深さが、 C の電圧に対する微分からキャリア濃度を求めることができる。

接合容量を測定するために図3.3(a) グラフ内に示すショットキー接合ダイオードを作製した。ガラス基板上にスパッタリング法によりITOを100nm成膜した。その後、ヘテロ接合層としてIGZO-high-In/IGZO-111を各30nm成膜し、大気雰囲気350°Cのアニール処理を施した。最後にリアクティブスパッタ法により酸化銀(AgO_x)を成膜し、リフトオフにてIGZO-111/ AgO_x 界面にショットキー接合を形成した[17]。全ての薄膜はこれまでに使用してきたRFマルチスパッタリング装置を使用した。

図3.3(a)にショットキーダイオードの $1/C^2$ プロットを示す。電圧-2Vから0Vまで増大させた時、 $1/C^2$ はゆるやかに減少する傾向が得られた。この結果は、電圧の増大に伴いヘテロ接合チャンネル内の空乏層が薄くなることで、キャパシタンスが増大しているためと考えられる。一方で、0Vを超える電圧が印加されたとき、 $1/C^2$ は急激に減少した。チャンネル内のキャリア濃度は C の電圧に対する微分から算出されることから、 $1/C^2$ が二つの傾きを示す結果はチャンネル内にキャリア濃度が異なる層が形成されていることを示唆している。

図3.3(b)にキャリア濃度の深さ方向依存性を示す。IGZO-high-InおよびIGZO-111のキャリア濃度は、それぞれ $\sim 10^{19} \text{ cm}^{-3}$ 、 $\sim 10^{17} \text{ cm}^{-3}$ 程度が得られた。このIGZO-high-Inの高いキャリア濃度は、保護膜がない構造に起因してアニール処理時に酸素欠損が増大したためだと考えられる。また、IGZO-high-In/IGZO-111界面でキャリア濃度が急峻に変化する結果が得られ、その界面のキャリア濃度は2~3nm程度で変化していることがわかった。この結果は、ヘテロ接合界面に急峻なポテンシャル障壁が形成されていることを示唆している。また、ヘテロ接合界面のIGZO-high-In側のキャリア濃度は $\sim 4 \times 10^{19} \text{ cm}^{-3}$ を示したのに対し、バルクでは $\sim 2 \times 10^{19} \text{ cm}^{-3}$ が得られ、ヘテロ接合界面でキャリア濃度が2倍程度増大する結果が得られた。しかしながら、high-Inの高キャリア濃度は保護膜がない構造に起因していることが考えられ、界面における高いキャリア濃度がヘテロ接合界面に量子閉じ込めが誘発するという実験的な証拠となるとは言い難い。従って、本研究のヘテロ接合チャンネル界面における量子閉じ込め効果は、伝達特性およびデバイスシミュレーション結果を用いた相補的アプローチによって議論を展開する。

なお、 AgO_x /IGZO-111界面でキャリア濃度が増大する要因は、ショットキー接合形成時の成膜ダメージ、リソグラフィプロセス時における有機物材料の付着や純水洗浄の影響、また AgO_x 電極からの酸素引き抜きなど、デバイス作製工程中の種々のダメージ影響により表面界面近傍のキャリア濃度が増大するためと考えられる[18-20]。また、空乏層膜厚(深さ

方向の膜厚) がチャンネル膜厚の 60 nm にならない要因は、IGZO-high-In のキャリア濃度が高く空乏層幅が広がらないためと考えられる。

以上の結果より、スパッタ法による組成の異なる非晶質 IGZO 薄膜においても急峻なポテンシャル障壁をもつ良好なヘテロ接合界面の形成が形成されることが示唆された。この構造を用いて TFT を作製し、ヘテロ接合チャンネルにポテンシャル障壁が形成されているのかどうか、またそのポテンシャル障壁が形成された場合、デバイス特性および信頼性にどのような影響を及ぼすのかについて議論していく。

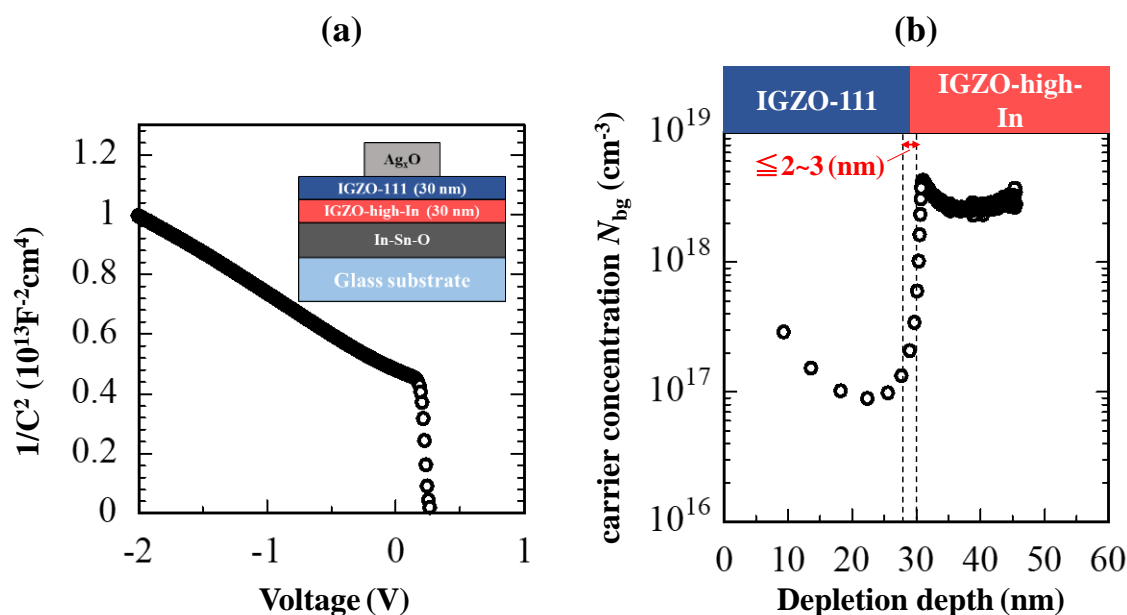


図 3.3 ヘテロ接合を有するショットキーダイオードの
 (a) $1/C^2$ プロット (挿入図は測定試料の断面構造図)、
 および (b) キャリア濃度の深さ方向依存性

3.3.2 二次イオン質量分析による In 量の深さ方向依存性評価

次にヘテロ接合界面形成状態の更なる解析として、二次イオン質量分析 (Secondary Ion Mass Spectrometry: SIMS) による In 量の深さ方向依存性を評価した。SIMS はイオン照射によるスパッタリングを利用した物理分析手法で、試料から放出された二次イオンの質量を分析することで元素の種類と濃度を評価でき、半導体をはじめとした様々な材料の深さ方向分析が可能である[21]。本研究における SIMS 分析は奈良先端科学技術大学院大学の装置を用いて表 3.2 に示す条件で実施した。また評価試料は測定中のチャージアップを防ぐために低抵抗 Si 基板上に各 IGZO を 30 nm ずつ成膜した。

表 3.2 IGZO-111 および IGZO-high-In の成膜条件

イオン銃	O ₂ ⁺
加速電圧 (kV)	1
照射電流 (nA)	100
イオンビーム照射面積 (μm ²)	400×400
質量分析範囲 (%)	16

図 3.4 に SIMS 測定によるヘテロ接合薄膜内の In カウント数の深さ方向依存性を示す。IGZO-111 膜内では、試料表面で In カウント数が低い傾向を示したが、バルク内ではおよそ 3×10^5 /sec の値が得られた。一方、IGZO-high-In では、In 組成が高いことに起因しておおよそ 4.5×10^5 /sec の値を示し、IGZO-111 と比較して高い値が得られた。また、この IGZO 組成の違いに起因する In カウント数の変化はヘテロ接合界面における 5~6 nm の間で生じていることが確認された。このヘテロ接合界面における In カウント数変化の傾きは、前項の図 3.3 に示したキャリア濃度変化の傾き (2~3 nm) より大きい結果である。この結果の要因として、SIMS 測定では一次イオンのスパッタリングによる様々な原因、1) スパッタクレ一多側壁からの影響、2) ノックオン効果およびカスケードミキシング、3) スパッタリングに伴う表面凹凸の発生等の影響によって本来の試料が持つ傾きより緩やかになることが考えられる[22]。これらの原因を抑制するための工夫として、試料膜厚の薄膜化、加速電圧の減少、スパッタ領域に対する分析領域の縮小などを試みたが、厳密な測定条件の最適化は行っていない。しかしながら、最適化を行っていない SIMS 測定による In 量に深さ方向依存性評価においても組成の異なる 2 種類の非晶質 IGZO を用いたヘテロ接合にて界面が形成されていることを確かめた。

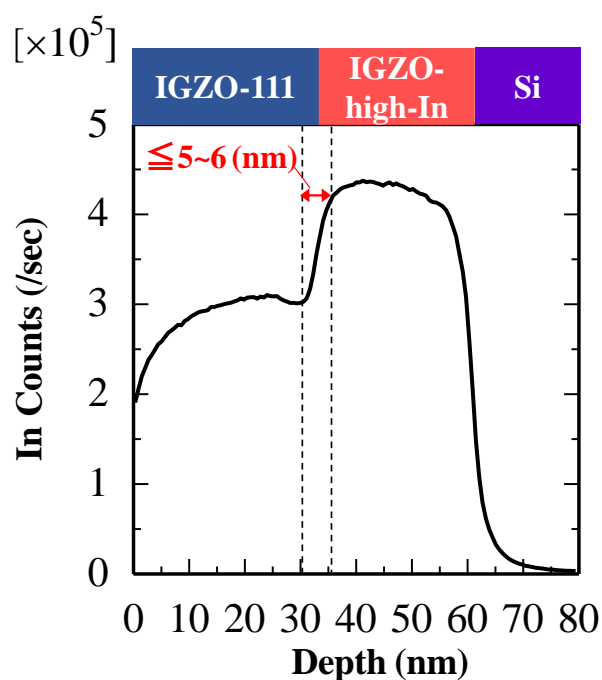


図 3.4 SIMS によるヘテロ接合薄膜内の In カウント数の深さ方向依存性

3.4 ヘテロ接合薄膜トランジスタ

3.4.1 薄膜トランジスタ作製条件

前節の結果より、IGZO-111 および IGZO-high-In の ΔE_c は ~ 0.4 eV が得られ、IGZO-111 上に IGZO-high-In を成膜することで、急峻なポテンシャル障壁が形成されることが示唆された。本節ではこのヘテロ接合 IGZO を TFT のチャネル材料として応用し、ヘテロ接合チャネルが伝達特性および信頼性に及ぼす影響を検討した。作製した TFT 構造はボトムゲート・トップコンタクト型である。TFT の作製プロセスを図 3.5 に示す。本研究の TFT は熱酸化膜付 n+Si 基板上に作製し、n+Si 基板をゲート電極、熱酸化膜をゲート絶縁膜とした。熱酸化膜の表面は、有機物除去を目的とした UV オゾン処理を 5 分施した後、メタルマスクを用いてヘテロ接合 IGZO チャネルを形成した。ヘテロ接合チャネルは各層の膜厚を 10 nm (総膜厚 20 nm) とした。また、図 3.5 に示す通り、ヘテロ接合チャネルの構造は、以下 2 種類、1) 下層/上層=IGZO-111/IGZO-high-In (IGZO-hetero) および、2) 下層/上層=IGZO-high-In/IGZO-111 (IGZO-hetero-rev.) を成膜した。次にチャネル保護膜として、オルトケイ酸テトラエチル (Tetra ethyl orthosilicate: TEOS) および酸素 (O_2) を成膜ガスとしたプラズマ化学気相堆積法 (plasma-enhanced chemical vapor deposition: PE-CVD) により、 SiO_x : 100 nm を成膜した。その後、 CF_4/O_2 ガスを用いた誘導結合プラズマ (Inductively Coupled Plasma: ICP) ドライエッチング装置にてコンタクトホールを形成した。ソース・ドレイン (S/D) 電極は

メタルマスクを用いて DC マグネトロンスパッタ装置にて In-Sn-O (ITO) を室温成膜した。最後に、大気雰囲気中で 350 °C、1 時間のポストアニール処理を行った。TFT のチャネル幅/チャネル長 (W/L) は、W/L=1000/690 μm である。

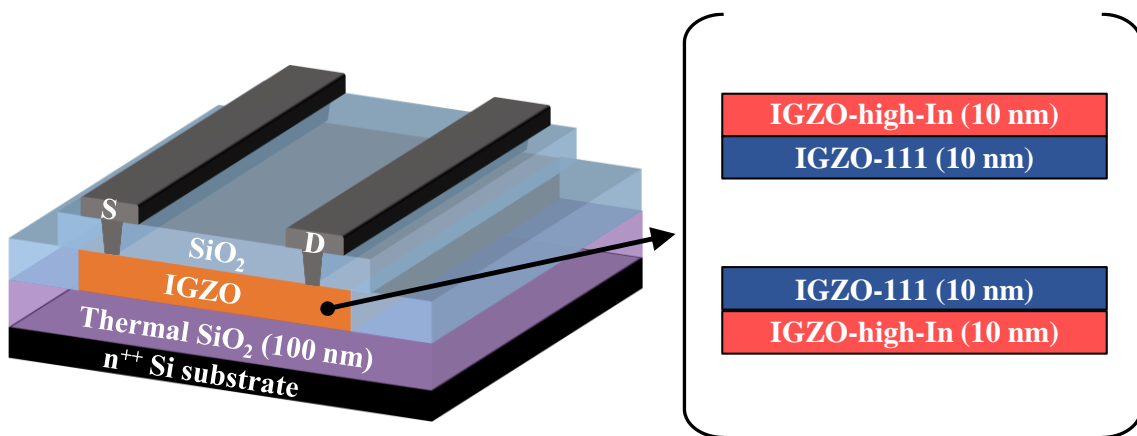


図 3.5 IGZO TFT の断面図とチャネル構造

3.4.2 伝達特性の評価

伝達特性の評価は暗闇雰囲気中で agilent 4156A および agilent 4156C を使用し、 V_{GS} の測定範囲は -10 V から +20 V、0.1 V ステップとした。なお、本章における伝達特性は同一グラフ内で比較しやすいよう順方向掃引 ($V_{GS} < 0 \text{ V} \rightarrow 0 \text{ V} < V_{GS}$) 時のみを示すが、TFT は逆方向掃引も測定しており、ヒステリシスの値を算出している。

図 3.6 にヘテロ接合 IGZO TFT の伝達特性、表 3.3 に図 3.6 から抽出した伝達特性のパラメータを示す。IGZO-hetero-rev. の電界効果移動度 (μ_{FE}) は $22.7 \text{ cm}^2/\text{Vs}$ が算出された。また、S 値 (S.S.) および閾値電圧 (V_{th}) の値は、それぞれ 0.10、-0.9 V が得られた。また、ヒステリシス (V_H) は +0.9 V を示した。これら IGZO-hetero-rev. の伝達特性パラメータは、前章で得られた IGZO-high-In 単層 TFT と同等の値である。この結果は、伝達特性に強く影響を及ぼすゲート絶縁膜/チャネル (フロントチャネル) 界面が IGZO-high-In で形成されていることが起因していると考えられる。

一方、量子閉じ込め効果が期待される IGZO-hetero TFT の μ_{FE} は、 $19.6 \text{ cm}^2/\text{Vs}$ が算出され、フロントチャネル界面が移動度の低い材料 IGZO-111 ($\mu_{FE} \sim 10 \text{ cm}^2/\text{Vs}$) で形成されているにもかかわらず高い μ_{FE} を示した。また、 V_{th} は -0.9 V を示し、IGZO-hetero-rev. と比較して -0.7 V 程度負シフトする結果が得られた。 V_H の値は 0.0 V が得られ、掃引方向の違いによる V_{th} の差は確認されなかった。

ここで、 μ_{FE} のゲート電圧依存性に注目すると、IGZO-hetero-rev. TFT ではゲート電圧の

増大に伴い移動度が増大する傾向を示したのに対し、IGZO-hetero TFT では高ゲート電圧領域 ($V_{GS} \geq 10$ V) で移動度が減少する傾向がみられた。しかしながら、低ゲート領域 ($V_{GS} \leq 10$ V) における移動度のゲート電圧依存性 (μ_{FE} - V_{GS} 特性) は、IGZO-hetero-rev. TFT と同じ特性を示した。一般的に、TFT のチャンネル層はゲート絶縁膜を介してゲートと対向して平行平板キャパシタを形成しているため、フロントチャンネル付近にキャリアが蓄積し、電流経路が形成される[21]。従って、フロントチャンネル界面が IGZO-111 で形成しているにも関わらず高い移動度を示す IGZO-hetero TFT はヘテロ接合界面に誘発される量子閉じ込め効果がデバイス性能の向上に寄与していることが考えられる。しかしながら、この移動度の向上結果から量子閉じ込め効果が誘発していると結論づけるのは難しく、更なる解析が必要である。

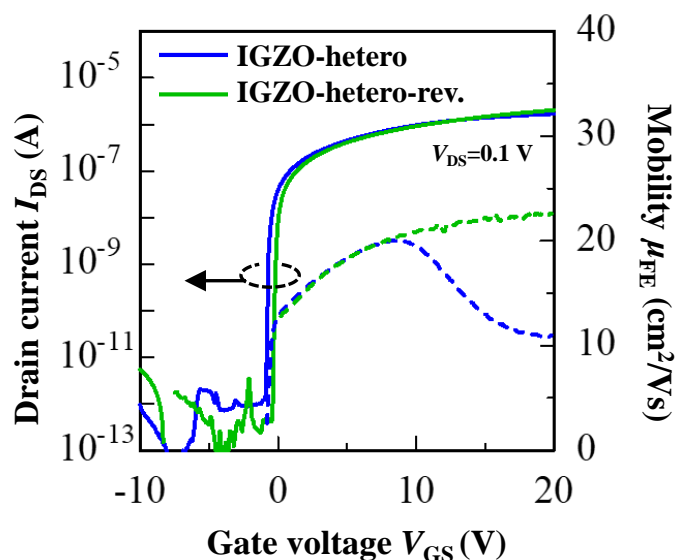


図 3.6 IGZO-hetero および IGZO-hetero-rev. TFT の伝達特性比較
(アニール温度 350°C、W/L=1000/690 μm)

表 3.3 図 3.6 から抽出した伝達特性パラメータ

	IGZO-hetero	IGZO-hetero-rev.
μ_{FE} ($\text{cm}^2\text{V}^{-1}\text{s}^{-1}$)	19.6	22.7
S.S. (V/dec.)	0.10	0.08
V_{th} (V)	-0.9	-0.18
V_H (V)	0.0	+0.9

3.4.3 信頼性の評価

次にヘテロ接合 IGZO が信頼性に及ぼす影響を検討した。正ゲートバイアス印加熱ストレス (Positive bias temperature stress: PBTS) 試験の条件は、 $V_{GS}=+20$ V、 $V_{DS}=GND$ 、PBTS 時の熱ストレス (T) を 60°C とし、10,000 秒印加した。

図 3.7 に各ヘテロ接合 IGZO TFT の PBTS (60°C) 試験における伝達特性の変化を示す。IGZO-hetero-rev. TFT および IGZO-hetero TFT の伝達特性は、ストレス時間の増大に伴い平行シフトする結果が得られ、熱および電圧ストレスによるドレイン電流値や $S.S.$ の劣化が確認されなかった。これは、ストレス印加によって CBM 下端の欠陥準位は新たに生成されず、界面欠陥準位への電子トラップによりゲート電圧からの電界強度が減少していることを示唆している[23-25]。IGZO-hetero-rev. TFT の閾値電圧変化量 (ΔV_{th}) は、10,000 秒後の PBTS 試験後に $+5.24$ V と大きくシフトする結果が得られた。この結果は、2章で示した IGZO-high-In 単層 TFT の結果と類似した結果であり、フロントチャネル界面が欠陥準位を生成しやすい IGZO-high-In で形成されているためと考えられる。一方、IGZO-hetero TFT では $\Delta V_{th}=+1.2$ V と単層 IGZO-111 TFT と同様に良好な信頼性を示した。従って、ヘテロ接合 IGZO TFT の信頼性はフロントチャネル界面を形成している AOS 材料の信頼性に依存している結果が得られた。しかしながら、IGZO-hetero TFT ではヘテロ接合界面にも電界が印加されているため、IGZO-high-In の欠陥準位への電子トラップが信頼性に影響を及ぼすことが考えられ、IGZO-111 と同程度の信頼性結果を示すメカニズムを明らかにする必要がある。この信頼性結果に関する考察は、デバイスシミュレーション結果等を踏まえ、再度議論する。

以上、ヘテロ接合チャネルを有する IGZO TFT の電気特性および信頼性を評価した結果、ヘテロ接合界面に量子閉じ込め効果が期待される IGZO-hetero TFT において、高移動度・高性能デバイスの実現に成功した。しかしながら、そのメカニズムを明らかにするには、更なる解析が不可欠である。

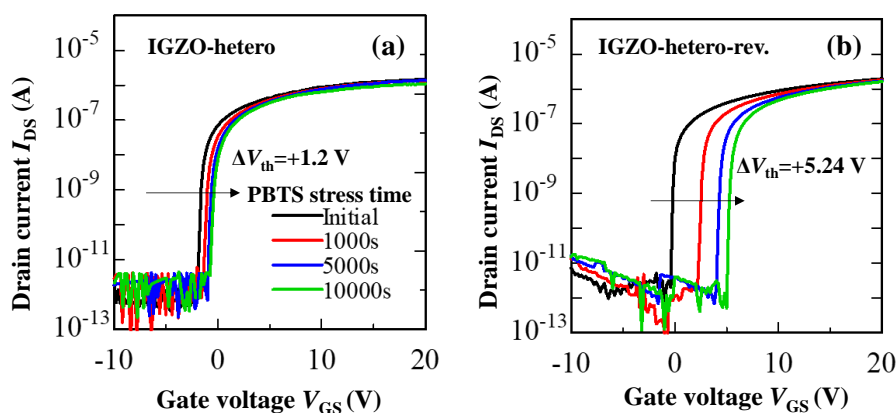


図 3.7 PBTS (60°C) 試験における伝達特性の変化
(a) IGZO-hetero TFT、(b) IGZO-hetero-rev. TFT

3.5 ヘテロ接合薄膜トランジスタのチャネル膜厚の影響

3.5.1 上層膜厚依存性

IGZO-hetero TFT が高性能・高信頼性を示すメカニズムを明らかにするために、上層 (IGZO-high-In) 膜厚を 0~20 nm 変化させ伝達特性へ及ぼす影響を検討した。

図 3.8 に IGZO-hetero TFT の伝達特性の上層 IGZO-high-In 膜厚依存性、表 3.4 に図 3.8 の伝達特性から抽出した TFT パラメータを示す。IGZO-hetero TFT の $S.S.$ は上層膜に依存せず同程度の値を示した。一方、IGZO-hetero TFT の μ_{FE} は上層膜厚増大に伴い低ゲート電圧領域 ($V_{GS} \leq 10$ V) で増大する傾向が得られた。上層膜厚 0 nm、すなわち IGZO-111 単層の場合、ゲート電圧の増大に伴い μ_{FE} が増大する傾向を示し、 $V_{GS}=20$ V では $\mu_{FE}=12.3$ cm²/Vs が得られた。この μ_{FE} - V_{GS} 特性は 2 章で示した IGZO-111 TFT と同様の傾向である。上層膜厚 2.5 nm を成膜した時、 μ_{FE} の増大は確認されず、IGZO-111 単層 TFT と似た μ_{FE} - V_{GS} 特性が得られた。一方、上層膜厚が 5 nm へ増大したとき、低ゲート電圧領域 ($V_{GS} \leq 10$ V) で μ_{FE} が増大し、17.2 cm²/Vs を示した。 μ_{FE} の増大は上層膜厚 10 nm 以上で飽和傾向を示し、おおよそ 20 cm²/Vs の値まで増大した。また V_{th} が膜厚の増大に伴い負シフトする傾向が得られた。上層膜厚 10 nm までは、 V_{th} シフト量が -1 V 程度であったが、10 nm 以上で急激な負シフトが確認され、上層膜厚 20 nm の V_{th} は -5.1 V であった。これは、上層 IGZO-high-In のキャリア濃度が高く、膜厚の増大に伴い IGZO-high-In/チャネル保護膜 (バックチャネル) 界面側の空乏化が困難になるためと考えられる[26]。なお、 V_H は上層膜厚に依存せず、0.0 V と良好な値が得られた。

次に図 3.9 に PBTS (60°C) 試験時における閾値変化量の膜厚依存性を示す。IGZO-hetero TFT の PBTS 試験結果は、上層 IGZO-high-In 膜厚に依存せず、全ての TFT で閾値変化量 (ΔV_{th}) ~1.2 V 程度が得られた。この ΔV_{th} は IGZO-111 単層 TFT と同等の結果である。上層膜厚に依存せず良好な信頼性を示すことから、IGZO-hetero TFT における信頼性劣化はフロントチャネル近傍の界面状態が支配的要因であり、ヘテロ接合界面の影響が小さいことが考えられる。IGZO-high-In 単層 TFT および IGZO-hetero-rev. TFT の信頼性結果より、IGZO-high-In 界面は熱・温度ストレス印加によって界面欠陥準位が容易に形成されることが示唆されているにもかかわらず、IGZO-hetero TFT において信頼性の劣化を誘発しない点については詳細なメカニズム解明が必要である。IGZO-hetero TFT の高信頼性要因についてのメカニズム解析と考察に関しては本論文の 4 章および 5 章で記述する。

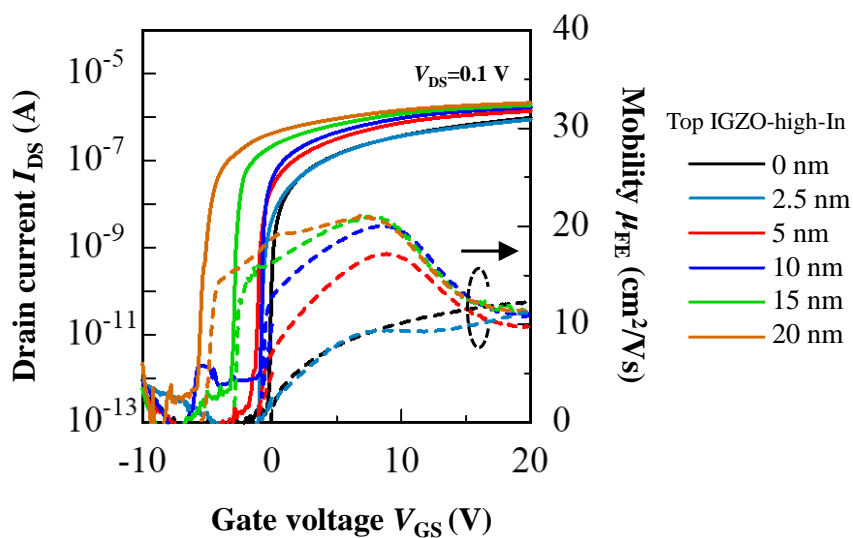


図 3.8 IGZO-hetero TFT の伝達特性の上層 IGZO-high-In 膜厚依存性

表 3.4 図 3.8 から抽出した伝達特性パラメータ

Upper thickness	0 nm	2.5 nm	5 nm	10 nm	15 nm	20 nm
μ_{FE} ($\text{cm}^2\text{V}^{-1}\text{s}^{-1}$)	12.3	9.9	17.2	19.6	21.8	21.3
S.S. (V/dec.)	0.09	0.10	0.10	0.10	0.12	0.15
V_{th} (V)	0.1	0	-0.9	-0.9	-3.3	-5.1
V_H (V)	0.0	0.0	0.0	0.0	0.0	0.0

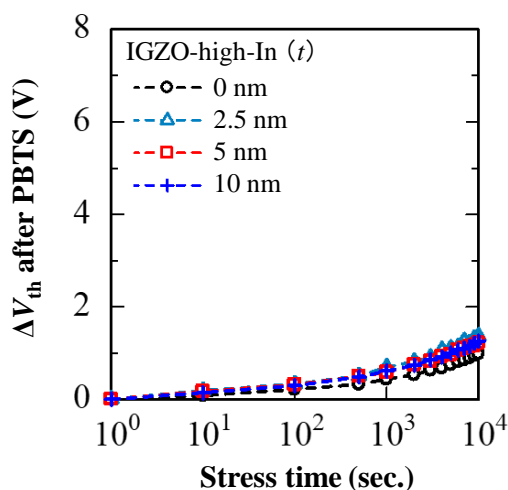


図 3.9 PBTs (60°C) 試験時における閾値変化量の膜厚依存性

3.5.1 下層膜厚依存性

本節では、IGZO-hetero TFT の下層膜厚を 0~10 nm まで変化させ伝達特性および信頼性へ与える影響を検討した。下層 (IGZO-111) の膜厚を変化させることでヘテロ接合界面に印加されるゲート電圧からの電界強度を変化させることが可能である。

図 3.10 に伝達特性の下層 (IGZO-111) 膜厚依存性、表 3.5 に図 3.10 から抽出した伝達特性のパラメータを示す。IGZO-hetero TFT における下層 (IGZO-high-In) 膜厚は $S.S.$ および V_{th} の値に大きな影響は確認されなかった。しかしながら、下層膜厚は IGZO-hetero TFT の移動度、特に $\mu_{FE}-V_{GS}$ 特性へ影響を及ぼした。下層膜厚 0 nm、すなわち IGZO-high-In 単層では移動度 $20 \text{ cm}^2/\text{Vs}$ が得られたのに対し、下層膜厚が 2.5~5.0 nm に増大すると μ_{FE} が $\sim 24 \text{ cm}^2/\text{Vs}$ まで増大した。フロントチャネル界面に移動度の低い IGZO-111 ($\mu_{FE} \sim 12 \text{ cm}^2/\text{Vs}$) を挿入したにもかかわらず μ_{FE} が増大する現象はヘテロ接合界面に生じる量子閉じ込め効果が影響を及ぼしていることが考えられる。一方、下層膜厚 7.5 nm 以上に増大したとき、依然として高い μ_{FE} を示したが、高ゲート電圧領域 ($V_{GS} \leq 10 \text{ V}$ 以上) で μ_{FE} が減少する傾向が見られた。下層膜厚 10 nm の TFT の μ_{FE} は、 $V_{GS}=10 \text{ V}$ 印加時では $\sim 20 \text{ cm}^2/\text{Vs}$ を示すのに対し、 $V_{GS}=20 \text{ V}$ 印加時では μ_{FE} が $\sim 10 \text{ cm}^2/\text{Vs}$ まで減少した。この IGZO-hetero TFT における下層膜厚に対する $\mu_{FE}-V_{GS}$ 特性の変化は、ヘテロ接合界面の電界強度が変化することが影響していると考えられるが、そのメカニズムを明らかにするにはキャリア輸送を含めた詳細な解析が必要となる。

次に、図 3.11 に PBTS (60°C) 試験時における閾値変化量の下層膜厚依存性を示す。下層膜厚が 0 nm の場合、 ΔV_{th} は 7.0 V と大きくシフトした。これはフロントチャネル界面が欠陥準位を生成しやすい IGZO-high-In 層で形成されていることが起因していると考えられる。一方、下層膜厚が 2.5 nm に増大した時、 ΔV_{th} は 2.7 V まで減少した。さらに下層膜厚が 5.0 nm に増大した場合、 ΔV_{th} は 0.3 V と IGZO-111 TFT と同等の信頼性まで向上した。また、この下層膜厚の増大に伴う信頼性の向上傾向は、下層膜厚 5.0 nm 以上で飽和した。下層膜厚の増大に伴う信頼性の向上は以下の理由、1) フロントチャネル界面が IGZO-111 で形成されたことで界面欠陥準位が減少、2) 下層膜厚の増大に伴うヘテロ接合界面にかかる電界強度の減少、が起因していると考えられる。

以上の結果から、IGZO-hetero TFT における下層 (IGZO-111) 膜厚は、信頼性結果に大きな影響を及ぼすことを明らかにした。しかしながら、下層膜厚の増大に伴う信頼性向上メカニズムを伝達特性評価から明らかにすることは難しく、更なる解析が不可欠である。従って、次章では、本章で評価した IGZO TFT のデバイスシミュレーション解析を実施し、チャネル内部の物理現象を可視化することで IGZO-hetero TFT における高移動度・高信頼性化に関するメカニズムの解明を目指す。

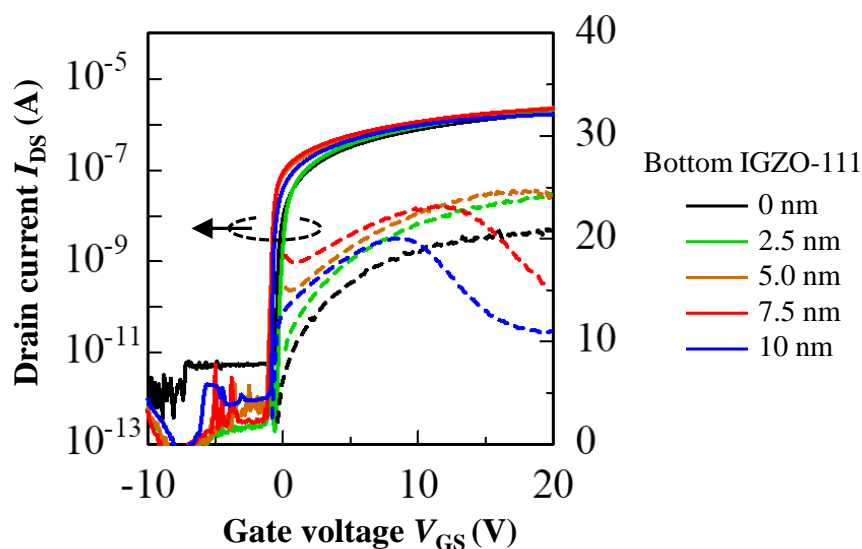


図 3.10 IGZO-hetero TFT における伝達特性の下層 IGZO-111 膜厚依存性

表 3.5 図 3.10 から抽出した伝達特性パラメータ

Bottom thickness	0 nm	2.5 nm	5.0 nm	7.5 nm	10 nm
μ_{FE} ($\text{cm}^2\text{V}^{-1}\text{s}^{-1}$)	20.9	24.4	24.7	23.5	19.6
S.S. (V/dec.)	0.10	0.11	0.10	0.09	0.10
V_{th} (V)	-0.6	-0.9	-0.9	-0.9	-0.9
V_H (V)	+1.2	+0.5	0.0	0.0	0.0

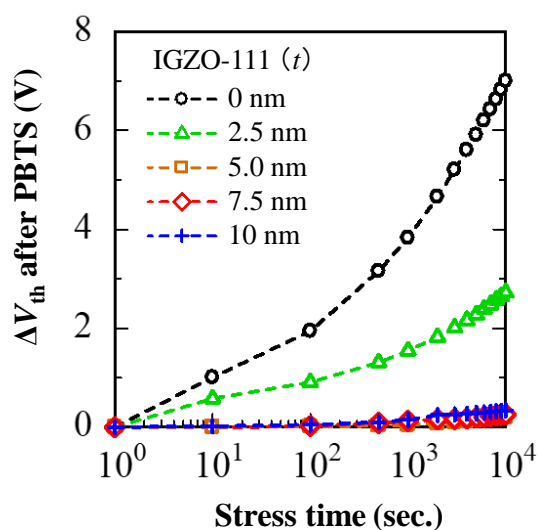


図 3.11 PBTS (60°C) 試験時における閾値変化量の膜厚依存性

3.6 まとめ

AOS TFT の高移動度・高信頼性の両立手法を確立することを目的とし、ヘテロ接合チャンネルがデバイス特性・高信頼性に及ぼす影響を検討した。ヘテロ接合チャンネルは、In:Ga:Zn=1:1:1 atm.% (IGZO-111) と In/(Ga or Zn)>1 (IGZO-high-In) の二種類の AOS を用いてヘテロ接合 AOS TFT を作製した。

ヘテロ接合において重要な材料物性であるバンドアライメントを評価したところ、各 IGZO の伝導帯下端 (Conduction band minimum: CBM) バンドオフセットの値は ~ 0.4 eV が得られ、ヘテロ接合界面にはポテンシャル障壁が形成されることが示唆された。2 種類の IGZO の電子親和力が異なる要因は、IGZO の CBM が主に In の 5s 軌道で形成されているためである。このポテンシャル障壁の急峻性を評価するために、接合容量を用いたキャリア濃度の深さ方向依存性を評価した結果、ヘテロ接合チャンネル内のキャリア濃度は、ヘテロ接合界面で急激に変化することを確認した。以上の結果から、スパッタリング法で形成した非晶質 IGZO においても、ヘテロ接合界面に急峻なポテンシャル障壁が形成できることが示唆された。

また、ヘテロ接合を有する IGZO TFT の伝達特性・信頼性を評価した結果、フロントチャンネル界面が移動度の低い IGZO-111 ($\mu_{FE} \sim 10$ cm²/Vs) で形成されているにもかかわらず電界効果移動度 (μ_{FE}) が 2 倍程度向上することを確認した。また、PBTS 信頼性試験においても IGZO-111 単層 TFT と遜色ない良好な信頼性が得られた。一方、 μ_{FE} のゲート電圧依存性 (μ_{FE} - V_{GS} 特性) に着目した時、その移動度の向上は低ゲート電圧領域 ($V_{GS} \leq 10$ V) で得られ、 $V_{GS} = 10$ V 以上の領域では移動度が減少する傾向を示した。

IGZO-hetero TFT における上層 (IGZO-high-In) 膜厚の影響を検討した結果、移動度の向上は上層 (IGZO-high-In) 膜厚の増大 (5 nm 以上) によって発現することを明らかにし、信頼性は上層膜厚の影響を受けないことがわかった。また、下層 (IGZO-111) 膜厚が移動度および信頼性に与える影響を検討した結果、下層膜厚 (IGZO-111) の増大に伴い μ_{FE} - V_{GS} 特性がピークを持つ形状になること、および信頼性が向上することを明らかにした。

以上の結果より、急峻なポテンシャル障壁の形成が期待されるヘテロ接合チャンネルを有する IGZO TFT 以下の特徴、1) 下層チャンネルが移動度の低い AOS 材料であるにもかかわらず高い移動度、2) 下層または上層膜厚の増大に伴い μ_{FE} - V_{GS} 特性がピークを持つ、3) 下層膜厚の増大に伴い信頼性が向上、を示すことを明らかにした。

これらの特徴は、ヘテロ接合界面への形成が期待される急峻なポテンシャル障壁が影響を及ぼしていることが予想される。従って、次章では、IGZO-hetero TFT において上記に示した特徴が得られた要因とポテンシャル障壁形成との相関関係に関してデバイスシミュレーションを用いて解析する。

参考文献

- [1] 高橋清, “ヘテロ接合入門”, 応用物理 **67** (1998) 831-834.
- [2] R. Dingle, H. L. Störmer, A. C. Gossard, and W. Wiegmann, “Electron mobilities in modulation-doped semiconductor heterojunction superlattices” *Appl. Phys. Lett.*, **33** (1978) 665-667.
- [3] T. Mimura, S. Hiyamizu, T. Fujii, and K. Nanbu, “A New Field-Effect Transistor with Selectively Doped GaAs/n-Al_xGa_{1-x}As Heterojunctions”, *Jpn. J. Appl. Phys.*, **19** (1980) L225-L227.
- [4] S. Jeon, S. I. Kim, S. Park, I. Song, J. Park, S. Kim, and C. Kim, “Low-Frequency Noise Performance of a Bilayer InZnO–InGaZnO Thin-Film Transistor for Analog Device Applications”, *IEEE Electron Device Lett.*, **31** (2010) 1128-1130.
- [5] E. Chong and S. Y. Lee, “Influence of a Highly Doped Buried Layer for HfInZnO Thin-Film Transistors”, *Semicond. Sci. Technol.*, **27** (2011) 012001.
- [6] H. S. Kim, J. S. Park, H. K. Jeong, K. S. Son, T. S. Kim, J. B. Seon, E. Lee, J. G. Chung, D. H. Kim, M. Ryu, and S. Y. Lee, “Density of States-Based Design of Metal Oxide Thin-Film Transistors for High Mobility and Superior Photo stability”, *ACS Appl. Mater. Interfaces* **4** (2012) 5416-5421.
- [7] H. Y. Jung, Y. Kang, A. Y. Hwang, C. K. Lee, S. Han, D. H. Kim, J. U. Bae, W. S. Shin, and J. K. Jeong, “Origin of the Improved Mobility and Photo-Bias Stability in a Double-Channel Metal Oxide Transistor”, *Sci. Rep.* **4** (2014) 3765.
- [8] J. H. Yang, J. H. Choi, S. H. Cho, J. E. Pi, H. O. Kim, C. S. Hwang, K. C. Park, and S. Yoo, “Highly Stable AlInZnSnO and InZnO Double-Layer Oxide Thin-Film Transistors With Mobility Over 50 cm²/V•s for High-Speed Operation”, *IEEE Electron Device Lett.* **39** (2018) 508-511.
- [9] S. Tnaniguchi, M. Yokozeki, M. Ikeda, and T. Suzuki, “Transparent Oxide Thin-Film Transistors Using n-(In₂O₃)_{0.9}(SnO₂)_{0.1}/InGaZnO₄ Modulation-Doped Heterostructure”, *Jpn. J. Appl. Phys.*, **50** (2011) 04DF11-1.
- [10] J. C. Park and H. N. Lee, “Improvement of the Performance and Stability of Oxide Semiconductor Thin-Film Transistors Using Double-Stacked Active Layers”, *IEEE Electron Device Lett.* **33** (2012) 818-820.
- [11] N. Saito, K. Miura, T. Ueda, T. Tezuka, and K. Ikeda, “High-mobility and H2-anneal Tolerant InGaSiO/InGaZnO/InGaSiO Double Hetero Channel Thin Film Transistor for Si-LSI Compatible Process”, *IEEE J. Electron Devices Soc.* **6** (2018) 500-505.
- [12] 東 龍之介, “高移動度 InGaZnO_x 薄膜トランジスタの特性・信頼性制御”, 高知工科大学大学院修士論文 (2019).
- [13] 内田喜之, “アモルファス酸化物半導体デバイスのヘテロ構造”, 応用物理 **55** (1986) 590-

594.

- [14] J. Tauc, R. Grigorovici, and A. Vancu, “Optical properties and electronic structure of amorphous germanium”, *phys. Stat. sol.*, **15** (1966) 627-637.
- [15] T. Kamiya, and H. Hosono, “Creation of new functions in transparent oxides utilizing nanostructures embedded in crystal and artificially encoded by laser pulses”, *Semicond. Sci. Technol.*, **20** (2005) S92.
- [16] 造田安民, “半導体の接合容量を用いた不純物濃度の測定”, *応用物理* **47** (1978) 295-303
- [17] Y. Magari, H. Makino, S. Hashimoto, and M. Furuta, “Origin of work function engineering of silver oxide for an In–Ga–Zn–O Schottky diode”, *Appl. Surf. Sci.*, (2019) 144519.
- [18] Y. Shimura, K. Nomura, H. Yanagi, T. Kamiya, M. Hirano, and H. Hodeo, “Specific contact resistances between amorphous oxide semiconductor In–Ga–Zn–O and metallic electrodes”, *Thin Solid Film*, **516** (2008) 5899-5902.
- [19] J. K. Jeong, H. W. Yang, J. H. Jeong, Y. G. Mo, and H. D. Kim, “Origin of threshold voltage instability in indium-gallium-zinc oxide thin film transistors”, *Appl. Phys. Lett.*, **93** (2008) 123508.
- [20] H. Kumomi, S. Yaginuma, H. Omura, A. Goyal, A. Sato, M. Watanabe, M. Simada, N. Kaji, K. Takahashi, M. Ofuji, T. Watanabe, N. Itagaki, H. Shimizu, K. Abe, Y. Tateishi, H. Yabuta, T. Iwasaki, R. Hyashi, T. Aiba, and M. Sano, “Materials, Devices, and Circuits of Transparent Amorphous-Oxide Semiconductor”, *J. Disp. Tech.*, **5** (2009) 531.
- [21] 薄膜材料デバイス研究会 編, “薄膜トランジスタ”, コロナ社 (2008).
- [22] H. Morita, Y. Yoshioka, “Depth Profiling in SIMS”, *J. Surface Analysis*, **3** 72-82.
- [23] R. B. M. Cross, and M. M. De Souza. “Investigating the stability of zinc oxide thin film transistors” *Appl. Phys. Lett.*, **89** (2006) 263513.
- [24] K. Hoshino, D. Hong, H. Q. Chiang, and J. F. Wager, “Constant-voltage-bias stress testing of a-IGZO thin-film transistors”, *IEEE Transactions on Electron Devices*, **56** (2009) 1365-1370.
- [25] T. Toda, D. Wang, J. Jiang, M. P. Hung, and M. Furuta, “Quantitative analysis of the effect of hydrogen diffusion from silicon oxide etch-stopper layer into amorphous In–Ga–Zn–O on thin-film transistor”, *IEEE Transactions on Electron Devices*, **61** (2014) 3762-3767.
- [26] J. Jaewook, and Y. Hong, “Debye length and active layer thickness-dependent performance variations of amorphous oxide-based TFTs”, *IEEE Trans. Electron Devices*. **59** (2012) 710-714.

第4章

非晶質酸化物半導体ヘテロ接合トランジスタの キャリア輸送特性の解析

4.1 はじめに

ヘテロ接合チャネルを有する AOS TFT は、電界効果移動度 (μ_{FE}) の向上が報告されており、それらは2層もしくは3層構造の AOS チャネルで形成され、ヘテロ接合界面には伝導帯下端 (Conduction band minimum: CBM) のエネルギー差 (ΔE_c) によるポテンシャル障壁の形成が示唆されてきた[1-3]。また、従来研究ではこのヘテロ接合界面に形成されると考えられているポテンシャル障壁による量子閉じ込め効果によってキャリア輸送経路が変化し、TFT の移動度が向上していると予想されていた。本論文の3章でも示した通り、非晶質材料によるヘテロ接合においてもその界面には急峻なポテンシャル障壁の形成が示唆され、そのチャネルを用いたヘテロ接合 IGZO TFT では移動度と信頼性が向上することを見出した。ヘテロ接合 IGZO TFT における伝達特性の各層膜厚依存性から以下の二つ、1) 上層 (IGZO-high-In) が移動度向上の支配的要因であること、2) 下層 (IGZO-111) が信頼性向上の支配的要因であることを明らかにした。これらの結果は、ヘテロ接合 IGZO TFT はそれぞれの半導体層で移動度・信頼性を個別に制御できることを示唆しており、AOS TFT の移動度と信頼性のトレード・オフを解消できることが期待される。今後、AOS TFT には更なる移動度の向上が要求されるため、そのメカニズムを明らかにすることは重要である。しかしながら、上述のヘテロ接合 TFT は積層構造であるが故にヘテロ接合界面の物性評価とキャリア輸送経路の直接観測が難しい。

その中でデバイス内部の物理現象を理解する手法の一つにデバイスシミュレーションが挙げられる。2-D デバイスシミュレータの ATLAS は有限要素法による電気特性解析ソフトであり、デバイス構造および各種材料物性を定義して作製したプログラムを計算することでデバイス内部のキャリア濃度分布や電流密度を視覚化することが可能である[4]。このデバイスシミュレーションを用いてヘテロ接合 AOS TFT のキャリア輸送メカニズムを解析するためには、デバイス構造およびそれらの材料物性を正しく定義することが不可欠である。

本章ではヘテロ接合 IGZO TFT における移動度・信頼性向上に関し、デバイスシミュレータ (ATLAS) によるキャリア輸送解析を実施し、実験結果とシミュレーション結果を対比することで、ポテンシャル障壁の形成がデバイス特性に及ぼす影響を検討する。加えて、チ

チャネル内電界強度を抽出することで、ヘテロ接合界面における電界強度と信頼性の相関関係について議論する。そして実験結果とシミュレーション結果を組み合わせた相補的解析によって得られた知見をもとに高性能・高信頼性 AOS TFT 実現に向けた指針を述べる。

4.2 薄膜トランジスタの再現

4.2.1 二次元デバイス構造の設定

本研究では Silvaco, Inc. ATLAS のデバイスシミュレータを使用した。ATLAS は各種デバイス動作について信頼性の高い予測を行うことができる有力なツールであり、以下 3 種類の方程式、1) ポアソン方程式、2) キャリア連続の式、3) ボルツマン方程式を基本として計算する。プログラムによって定義した初期のキャリア分布および電圧印加状態をもとにポアソン方程式にて電荷とポテンシャル分布の関係を決定する。次に、得られたポテンシャル分布をもとにキャリア連続の式およびボルツマン方程式を用いてキャリア分布を計算し、これらの計算を繰り返すことで電流密度分布、キャリア密度を求め、伝達特性を算出する[4,5]。各種計算は、区切られた微小な領域(メッシュ)でそれぞれ行われ、このメッシュは作成プログラムによって決定される。本研究で作成した二次元デバイス構造を図 4.1 に示す。メッシュ領域はキャリア濃度の変化が大きく、キャリア輸送に影響を及ぼすチャネル界面を特に細かく(最小 0.01 nm)設定し、電子の輸送を詳細に計算できるようにプログラムした。一方、キャリア濃度の変化が小さい領域である S/D 電極、チャネル保護膜、ゲート絶縁膜のバルクのメッシュは測定時間の短縮を図るために粗く設定した。チャネル幅 (W) とチャネル長 (L) は実際のデバイスと同じ $W/L=1000/690 \mu\text{m}$ である。なお、本研究で実施したシミュレーション解析は伝導帯内の量子化準位などは定義せず、量子効果が反映されないモデルとして、実験結果の再現をおこなった。

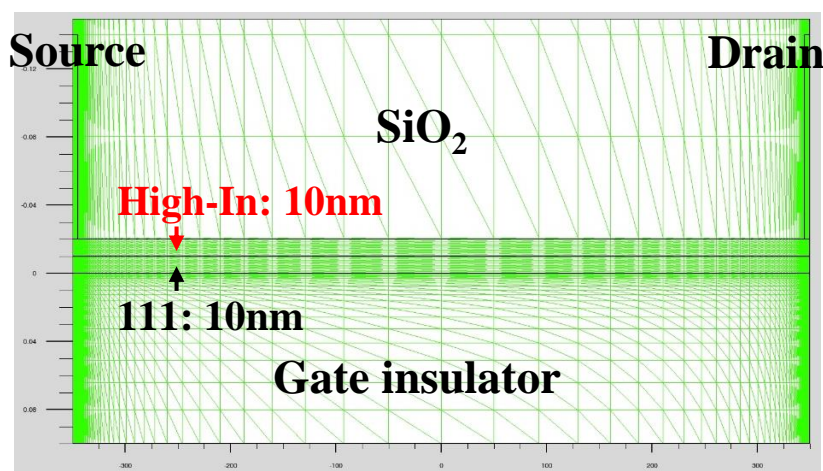


図 4.1 シミュレーションで用いた二次元デバイス構造

4.2.1 材料物性値の選定

デバイスシミュレーション上における IGZO 薄膜の材料物性値は、ATLAS 内の「IGZO-TOKYO」モデルをベースとした。表 4.1 にシミュレーション上で設定した各 IGZO 薄膜の材料物性値を示す。IGZO111 および-high-In のバンドギャップ (E_g)、キャリア濃度 (n_e)、は実際に実験で得られた値を使用し、誘電率 (ϵ) は過去に報告されている値を参考にした [6]。「IGZO-TOKYO」モデルにおける IGZO 薄膜の電子移動度 (μ_d) は、

$$\mu_d = \mu_{d0} \left(\frac{n_e}{n_{CR}} \right)^{\gamma/2} \quad (4.1)$$

で与えられ、 μ_{d0} は真性移動度、 n_{CR} はクリティカルキャリア濃度である。べき指数である γ は、

$$\gamma = \frac{T_\gamma}{T} + \gamma_0 \quad (4.2)$$

で与えられ、 T は温度、 T_γ および γ_0 はシミュレーションパラメータである [7, 8]。なお、この電子移動度 (μ_d) は、シミュレーション上における各 IGZO の材料パラメータであり、電界効果移動度 (μ_{FE}) とは定義が異なる。デバイスシミュレーションによって得られた TFT 特性の μ_{FE} は第 1 章に示した 1.1 式を用いて算出する。

上記式より算出したシミュレーション上における各 IGZO 薄膜の μ - n プロットを図 4.2 に示す。表 4.1 に示した移動度を決定するパラメータを用いて算出したシミュレーション上における各 IGZO 薄膜の μ - n プロットは実験値とよく合うことが確認できる。また、S/D 電極と IGZO の接触はオーミックと定義とし [9]、ゲート電極 (Si 基板) の仕事関数は 4.3 eV とした。ゲート絶縁膜の誘電率は熱酸化膜の誘電率 3.9 を使用した。

表 4.1 デバイスシミュレーションで用いた各 IGZO の材料物性値

Symbol	Value		Unit	Description
	111	High-In		
n_e	1.0×10^{16}	2.5×10^{17}	cm^{-3}	Doner carrier concentration
E_g	3.1	2.8	eV	Band gap
ϵ	12	12	eV	Permittivity
χ	4.3	4.7	eV	Electron affinity
μ_{d0}	14	30	$\text{cm}^2\text{V}^{-1}\text{s}^{-1}$	Intrinsic mobility
n_{CR}	1×10^{20}	1×10^{20}	cm^{-3}	Critical carrier concentration
T_γ	178.4	178.4	K	γ temperature
γ_0	-0.31	-0.31	-	γ at $1/T = 0$

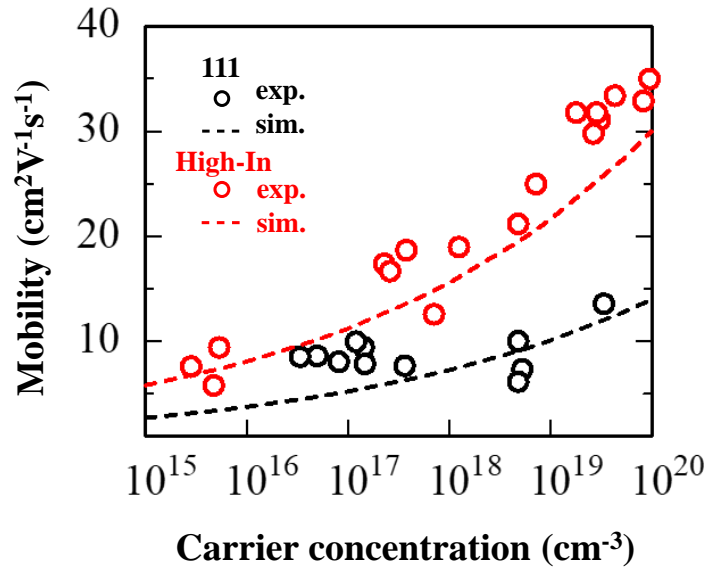


図 4.2 実験値とシミュレーションにおける各 IGZO 薄膜の $\mu_{\text{Hall-}n_e}$ プロットの比較

また、各 IGZO 膜内の状態密度 (Density of States: DOS) は図 4.3 に示すように定義した。非晶質薄膜では不規則な結合角度や結合長により、伝導帯下端 (Conduction Band Minimum: CBM) と価電子帯上端 (Valence Band Maximum: VBM) にそれぞれアクセプター型とドナー型の裾状 (テイル) 準位を形成する[10]。また、このようなテイル準位のほかにも特定のエネルギー準位にピークを持つガウス分布準位が存在し、VBM の上に存在する深いガウス分布準位は酸素欠損に起因して形成される。そしてごく一部の酸素欠損で周辺緩和が進んだ場合に限って、CBM にシャロドナーと呼ばれる浅いドナー型ガウス分布準位が形成される[10]。本研究では、VBM 近傍に存在するガウス分布欠陥準位をテイル欠陥準位とまとめて定義した。表 4.2 は本研究で使用した IGZO の DOS を定義するパラメータであり、アク

セプター型、ドナー型のテイル準位密度のピーク値 (N_{ta}, N_{td}) および半値幅 (W_{ta}, W_{td})、さらにアクセプター型、ドナー型のガウス分布準位密度のピーク値 (N_{ga}, N_{gd}) および半値幅 (W_{ga}, W_{gd})、エネルギー位置 (E_{ga}, E_{gd}) にて定義される。これら DOS を決定するパラメータ値は、過去文献を参考にしながら実験で得られた伝達特性を再現することで抽出した[4, 6, 10, 11]。また、これら材料物性値と DOS を用いて各単層 IGZO TFT (IGZO-111 および IGZO-high-In) のデバイス特性を再現後、同じ材料物性値を用いて IGZO-hetero TFT の再現性を検討した。

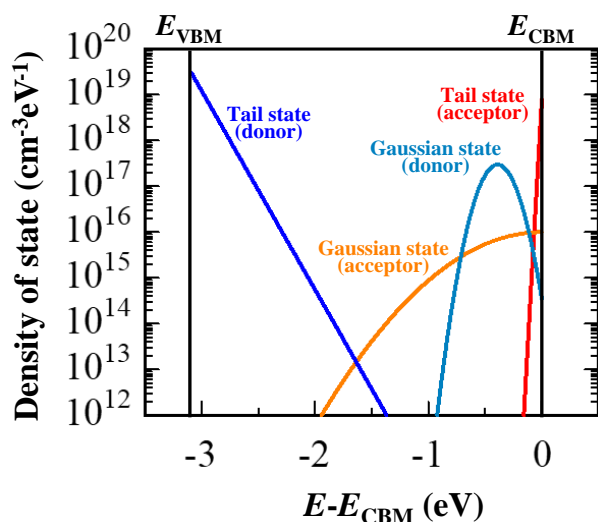


図 4.3 デバイスシミュレーションで用いた IGZO 膜内の DOS 概念図

表 4.2 デバイスシミュレーションで用いた各 IGZO 薄膜の状態密度

Symbol	Value		Unit	Description
	111	High-In		
W_{ga}	0.7	1.0	eV	Half bandwidth of gaussian state acceptor type trap density
W_{gd}	0.12	0.12	eV	Half bandwidth of gaussian state donor type trap density
E_{ga}	0	0	eV	Energy of N_{ga} ($E_{ga}-E_{CBM}$)
E_{gd}	2.6	2.2	eV	Energy of N_{gd} ($E_{gd}-E_{VBM}$)
N_{ga}	1.5×10^{17}	1.5×10^{17}	/cm ³ eV ⁻¹	Peak of gaussian state acceptor type trap density
N_{gd}	1.3×10^{17}	1.3×10^{17}	/cm ³ eV ⁻¹	Peak of gaussian state donor type trap density
N_{ta}	1.0×10^{19}	1.0×10^{19}	/cm ³ eV ⁻¹	Peak of tail state acceptor type trap density
N_{td}	3.0×10^{19}	3.0×10^{19}	/cm ³ eV ⁻¹	Peak of tail state donor type trap density
W_{ta}	0.01	0.01	eV	Half bandwidth of tail state acceptor type trap density
W_{td}	0.1	0.1	eV	Half bandwidth of tail state donor type trap density

4.2.3 伝達特性の再現

前項で示したシミュレーションパラメータを用いて IGZO-111 TFT および IGZO-high-In TFT の伝達特性を再現した。なお、本章以降では実際に作製した TFT より得られた伝達特性を実験結果、シミュレーション上の TFT より得られた伝達特性をシミュレーション結果と記述する。実験およびシミュレーションで得られた各 IGZO TFT の伝達特性を図 4.4 に示す。IGZO-111 TFT および IGZO-high-In TFT における伝達特性のシミュレーション結果はドレイン電流がよく一致しており、算出される μ_{FE} はゲート電圧の増大に伴い増大した。この μ_{FE} のゲート電圧依存性 (μ_{FE} - V_{GS} 特性) は、実験で得られた特性と整合する結果であり、前述したデバイスモデルによって各単層 IGZO TFT の伝達特性を再現できることが分かった。

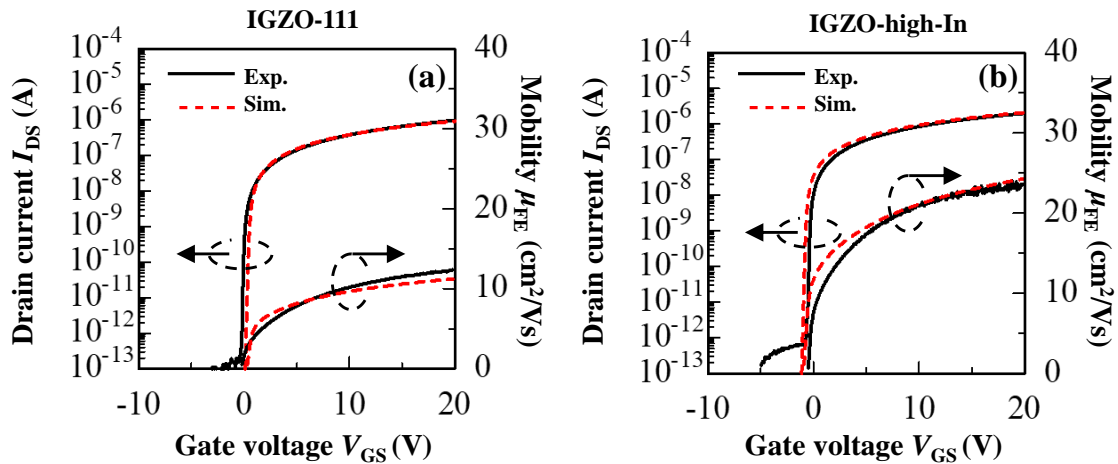


図 4.4 実験およびシミュレーションで得られた単層 IGZO TFT の伝達特性比較

(a) IGZO-111 TFT、(b) IGZO-high-In TFT

4.3 単層薄膜トランジスタのキャリア輸送経路の解析

本節ではデバイスシミュレーションで再現した IGZO-111 TFT のキャリア輸送経路の検討をおこなった。IGZO TFT の一般的な動作原理は以下の通りである。正のゲート電圧を印加するとゲート電極のエネルギーバンドが下がり、これに引きずられるようにゲート絶縁膜/チャネル界面（フロントチャネル）のエネルギーバンドが曲がる。この時、フロントチャネル界面の CBM がフェルミ準位に近づきキャリア濃度が指数関数的に増大し、電流が流れる[12]。従って、TFT 内部のキャリア輸送経路を解析するためには、チャネル内の CBM およびキャリア濃度を評価する必要がある。

図4.5に単層IGZO-111のシミュレーション結果から抽出したチャンネル内におけるCBMおよびキャリア濃度のゲート電圧依存性を示す。なお、CBMおよびキャリア濃度はS/D電極間の中心より抽出した。図4.5(a)より、IGZO-111のCBMはゲート電圧の増大に伴いフロントチャンネル界面でフェルミ準位に近づくように曲がる傾向を示した。これは、ゲート電圧の印加に伴いゲート電極のエネルギーバンドが下がるためである。ゲート電圧を印加しない場合 ($V_{GS}=0\text{ V}$)、CBMの曲がり確認されず、図4.6(b)に示すように低いキャリア濃度 $\sim 1.0 \times 10^{12}\text{ cm}^{-3}$ が得られた。一方、正電圧を印加するとCBMはフロントチャンネル界面でフェルミ準位に近づくことになり、IGZO-111膜内のキャリアはフロントチャンネル界面に誘起された。このキャリア蓄積に伴い、フロントチャンネル界面のキャリア濃度はバルクより高くなり、 $V_{GS}=+3\text{ V}$ 印加時のキャリア濃度は 10^{18} cm^{-3} と設定キャリア濃度から2桁増大する結果が得られた。CBMはゲート印加電圧増大に伴いさらに曲がるため、フロントチャンネル界面へのキャリア蓄積が顕著となる。そのため、ゲート電圧+20 V印加時のIGZO-111におけるフロントチャンネル界面のキャリア濃度は 10^{19} cm^{-3} まで増大した。

図4.6に(a) $V_{GS}=+10\text{ V}$ および、(b) $V_{GS}=+20\text{ V}$ 印加時のIGZO-111チャンネル内のドレイン電流密度分布を示す。ドレイン電流密度は図4.7内に示す色分け指標の通り区別されており、ドレイン電流密度が低い領域が紫色 (0 A/cm^2)、高い領域が赤色 (70 A/cm^2)である。IGZO-111 TFTにゲート電圧10 Vを印加した際、ドレイン電流密度はフロントチャンネル界面で増大し、フロントチャンネル界面が支配的なキャリア輸送経路であることがわかった。また、ゲート電圧が+20 Vへ増大した時、このドレイン電流密度はさらに増大した。これらの結果は、前述したゲート電圧印加に伴うフロントチャンネル界面へのキャリア蓄積が起因している。以上の結果より、TFTはこのゲート電圧印加状況による半導体内のキャリア濃度(抵抗率)制御によって、キャリア輸送経路(電流経路)が決定されることを示した。なお、単層IGZO-high-In TFTにおいても同様のキャリア輸送特性が得られることを確認した。

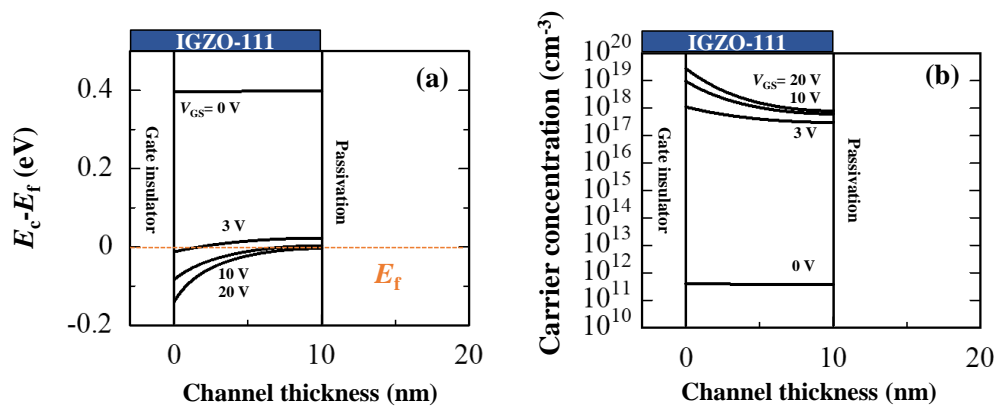


図4.5 単層IGZO-111チャンネル内における(a) CBMおよび(b) キャリア濃度のゲート電圧依存性 (フロントチャンネル界面: $x=0\text{ nm}$)

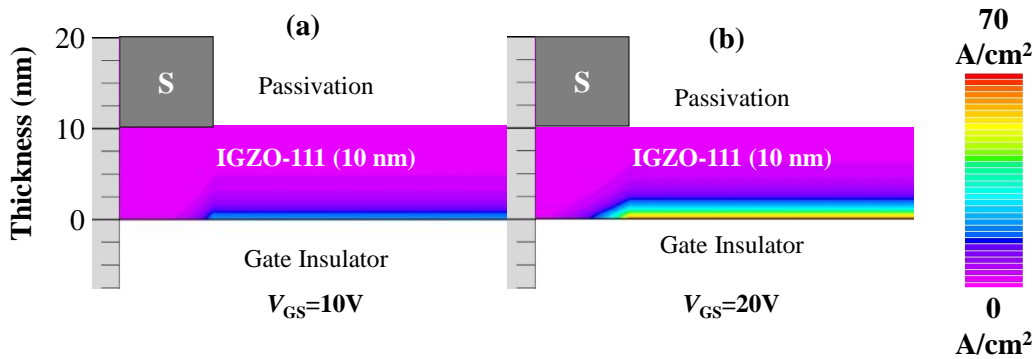


図 4.6 IGZO-111 チャンネル内のドレイン電流密度分布 (挿入図は電流密度の色分け指標)
(a) $V_{GS}=+10\text{ V}$ (b) $V_{GS}=+20\text{ V}$

4.4 ポテンシャル障壁高さがキャリア輸送特性に及ぼす影響

4.4.1 デバイス特性

次に、ヘテロ接合 IGZO TFT の再現性結果に着目する。ヘテロ接合チャンネルの各層、IGZO-111 および IGZO-high-In のシミュレーションパラメータは前節で示した各単層 IGZO TFT と同様の値を使用した。また、本節では IGZO-high-In 薄膜の電子親和力を $4.3\sim 4.75\text{ eV}$ の間で変化させることで ($\Delta E_c=0\sim 0.45\text{ eV}$)、CBM に形成されるポテンシャル障壁が IGZO-hetero TFT のデバイス特性およびキャリア輸送特性へ及ぼす影響に関して検討した。なお、ヘテロ接合界面は理想的に形成されたと仮定し急峻なポテンシャル障壁が形成されるよう設定した。また VBM のポテンシャル障壁高さ ($\Delta E_v=0.1\text{ eV}$) は変化しないように設定した。

図 4.7 に IGZO-hetero TFT における伝達特性および $\mu_{FE}-V_{GS}$ 特性のポテンシャル障壁高さ依存性を示す。また、破線は実験で得られた伝達特性である。ヘテロ接合界面におけるポテンシャル障壁が形成されていない場合 ($\Delta E_c=0\text{ eV}$)、IGZO-hetero TFT のドレイン電流は実験値と比較して低い値を示し、算出される μ_{FE} の最大値は $\sim 10\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 程度を示した。また、 μ_{FE} はゲート電圧の増大に伴い増大する傾向が得られ、IGZO-111 の $\mu_{FE}-V_{GS}$ 特性と同様の傾向を示した。一方、ポテンシャル障壁高さの増大に伴い TFT のドレイン電流が増大し、算出される移動度も増大した。特に、この障壁高さ増大に伴う移動度の増大は低ゲート電圧領域 ($V_{GS}\leq 10\text{ V}$) で顕著にみられ、 $\Delta E_c=0.45\text{ eV}$ の時、実験結果の伝達特性および $\mu_{FE}-V_{GS}$ 特性を最も再現できる結果が得られた。以上のシミュレーション結果から、ポテンシャル障壁が形成されていない IGZO-hetero TFT の伝達特性は、チャンネル/ゲート絶縁膜界面を形成している IGZO-111 薄膜の材料物性に依存するが、ポテンシャル障壁が形成された時に実験結果とよく一致することが確かめられた。また、実験で得られた IGZO-hetero TFT の伝達特性

は、デバイスシミュレーション上でポテンシャル障壁が $\Delta E_c=0.45$ eV の時に最もよく再現された。この値は実験結果から算出された $\Delta E_c \sim 0.4$ eV と同程度の値であった。

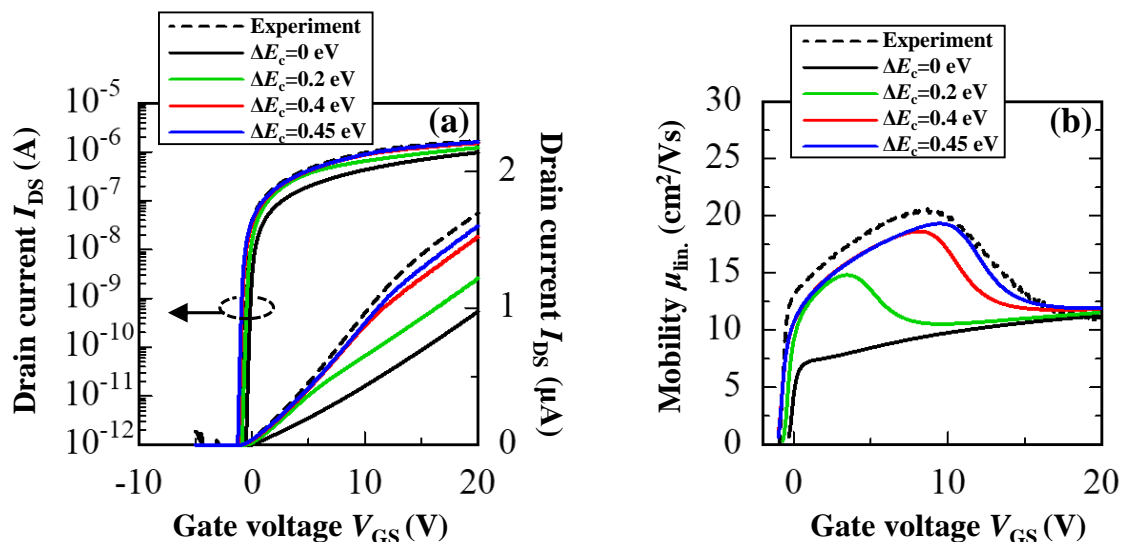


図 4.7 IGZO-hetero TFT における

(a) 伝達特性および (b) μ_{FE} - V_{GS} 特性のポテンシャル障壁高さ依存性
(破線は実験で得られた伝達特性)

4.3.2 キャリア輸送経路の解析

次にこのポテンシャル障壁高さの増大に伴うドレイン電流（移動度）増大起源を明らかにするために、各ポテンシャル障壁高さにおけるドレイン電流密度を抽出した。図 4.8 は $V_{GS}=10$ V 印加時における IGZO-hetero チャンネル内のドレイン電流密度分布のポテンシャル障壁高さ依存性である。図 4.8 (a) より、ヘテロ接合界面にポテンシャル障壁が形成されていない場合 ($\Delta E_c=0$ eV)、フロントチャンネル界面のドレイン電流密度が高い結果を示した。これは IGZO-111 層で形成されたフロントチャンネル界面を支配的に流れるキャリア輸送経路であることを示唆している。一方、 $\Delta E_c=0.2$ eV となった時、フロントチャンネル界面のドレイン電流密度が減少し、ヘテロ接合界面のドレイン電流密度が増大した。この結果はフロントチャンネル界面を支配的に流れていたキャリア輸送経路がポテンシャル障壁の形成によってヘテロ接合界面にも流れ始めたことを示唆している。また、このキャリア輸送が変化する傾向はポテンシャル障壁高さの増大に伴い加速し、 $\Delta E_c=0.45$ eV の時、ヘテロ接合界面のドレイン電流密度のみ高い結果が得られた。これらの結果は、フロントチャンネル界面を支配的に流れていたキャリア輸送経路が、ポテンシャル障壁の形成ならびにその高さ増大に伴いヘテロ接合界面を流れるキャリア輸送経路へ変化したことを表しており、ポテンシャル障壁形成に伴う μ_{FE} の増大は移動度が高い IGZO-high-In 層を流れるキャリア輸送経路への変化

によって誘発することが示唆された。

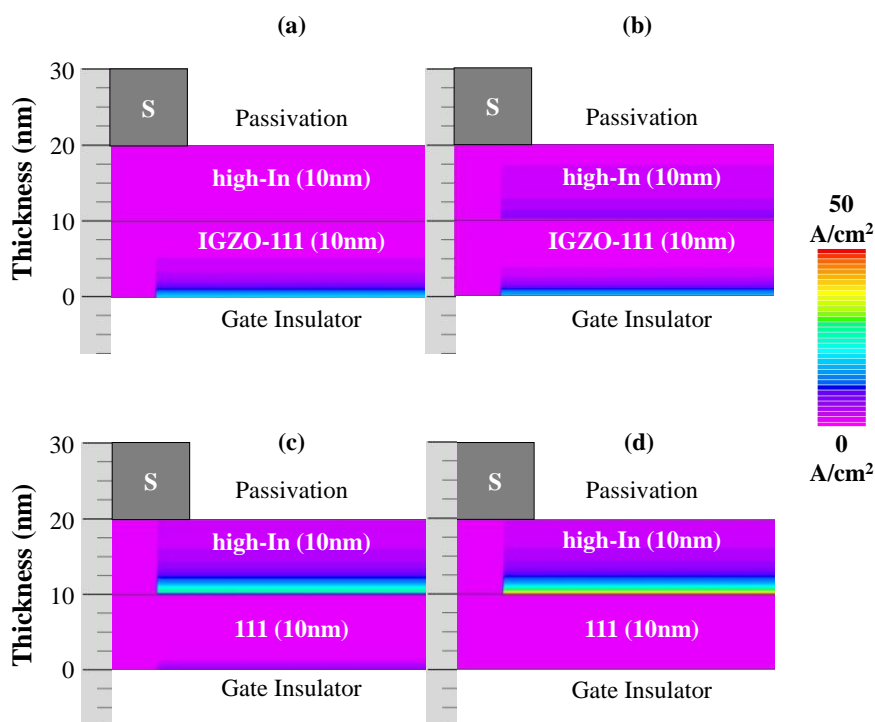


図 4.8 $V_{GS}=10\text{ V}$ 印加時における IGZO-hetero-rev. チャンネル内のドレイン電流密度分布 (挿入図は電流密度の色分け指標)
 (a) $\Delta E_c=0\text{ eV}$ 、(b) $\Delta E_c=0.2\text{ eV}$ 、(c) $\Delta E_c=0.4\text{ eV}$ 、(d) $\Delta E_c=0.45\text{ eV}$

そこでポテンシャル障壁を有する IGZO-hetero TFT における更なるキャリア輸送特性解析を実施し、 $\mu_{FE}-V_{GS}$ 特性とキャリア輸送特性の相関関係を検討した。図 4.9 に $\Delta E_c=0.4\text{ eV}$ を有する IGZO-hetero チャンネル内における CBM およびキャリア濃度のゲート電圧依存性を示す。ヘテロ接合界面には、各 IGZO の電子親和力差に起因する $\sim 0.4\text{ eV}$ の急峻なポテンシャル障壁が形成されている。ゲート電圧 $+3\text{ V}$ を印加した時、フロントチャンネル界面で CBM がフェルミ準位に近づくように曲がるのに加え、ヘテロ接合界面においても CBM が曲がる結果が得られた。この際、ヘテロ・フロントチャンネル両界面の E_c-E_f の値に着目すると、ヘテロ接合界面の CBM はフェルミ準位よりも低い値が得られたのに対し、フロントチャンネル界面ではフェルミ準位より高い値を示した。この結果を反映し、 $V_{GS}=+3\text{ V}$ 印加時のヘテロ接合界面のキャリア濃度は $\sim 1 \times 10^{18}\text{ cm}^{-3}$ と IGZO-111 層の $\sim 10^{13}\text{ cm}^{-3}$ より高い値を示した。一方、ゲート電圧が増大した時、フロントチャンネルおよびヘテロ接合の両界面における CBM はさらに曲がり、 $V_{GS}=+20\text{ V}$ 印加時の両界面の E_c-E_f は同程度の値を示した。結果、 $V_{GS}=+20\text{ V}$ 印加時では、フロントチャンネルおよびヘテロ接合界面のキャリア濃度は

同程度の値 ($\sim 10^{19} \text{ cm}^{-3}$) が得られた。

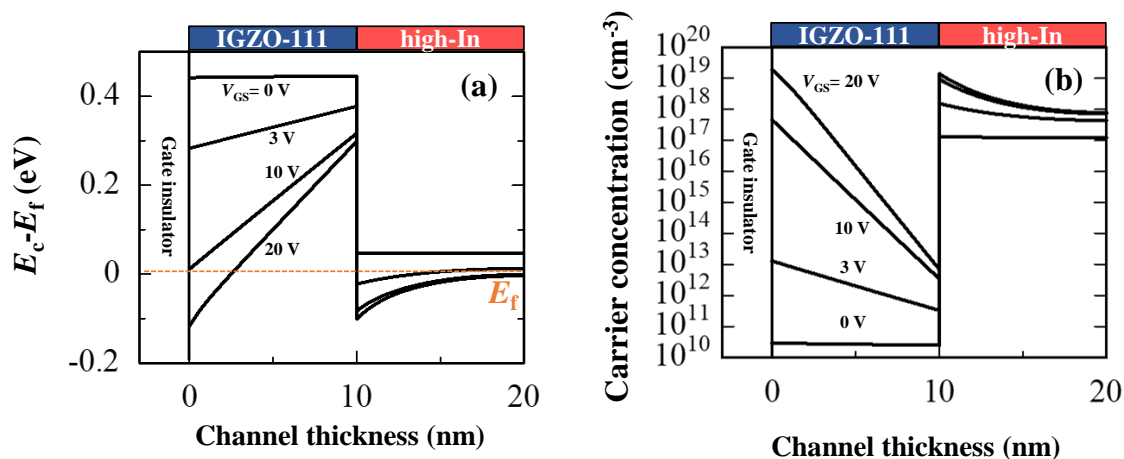


図 4.9 $\Delta E_c=0.4 \text{ eV}$ を有する IGZO-hetero チャンネル内における (a) CBM および (b) キャリア濃度のゲート電圧依存性 (フロントチャンネル界面: $x=0 \text{ nm}$)

図 4.10 に (a) $V_{GS}=+10 \text{ V}$ および、(b) $V_{GS}=+20 \text{ V}$ 印加時の IGZO-hetero チャンネル内のドレイン電流密度分布を示す。 $V_{GS}=+10 \text{ V}$ 印加時では、図 4.8 にも示した様にヘテロ接合界面のドレイン電流密度が高い結果を示す。一方、 V_{GS} を $+20 \text{ V}$ に増大した時、IGZO-hetero チャンネル内のドレイン電流密度はヘテロ接合界面に加えフロントチャンネル界面でも高い値を示した。この結果から、ヘテロ接合界面を支配的に流れていたキャリア輸送経路はゲート電圧が増大したとき、フロントチャンネル界面およびヘテロ接合界面を流れるキャリア輸送に変化することがわかった。このゲート電圧増大に伴うキャリア輸送経路の変化は、フロントチャンネル界面のキャリア濃度増大に起因してフロントチャンネル界面とヘテロ接合界面のキャリア濃度差が小さくなったためと考えられる。また、フロントチャンネル界面を流れるキャリア輸送経路へと変化が始まる V_{GS} は、実験結果で得られた $\mu_{FE}-V_{GS}$ 特性における移動度の減少が始まる領域 (μ_{FE} がピークを持つ領域) とおおむね一致することがわかった。従って、実際に作製した IGZO-hetero TFT の $\mu_{FE}-V_{GS}$ 特性にて $V_{GS}=10 \text{ V}$ 近傍で μ_{FE} が減少する (ピークを示す) 現象は、1) 低ゲート電圧領域ではヘテロ接合界面近傍の IGZO-high-In を流れるキャリア輸送経路、2) 高ゲート電圧領域ではヘテロ・フロントチャンネルの両界面を流れるキャリア輸送経路、といったキャリア輸送経路の変化によって誘発されていることが予想された。

以上、単層 IGZO TFT およびヘテロ接合 IGZO TFT におけるキャリア輸送経路の解析より、実験で得られた IGZO-hetero TFT の伝達特性は、ヘテロ接合界面に急峻なポテンシャル障壁が形成された時にデバイスシミュレーションで再現できることを明らかにした。また、その場合、ヘテロ接合界面における量子閉じ込め効果によってキャリア輸送経路が変化し、

μ_{FE} - V_{GS} 特性に大きく影響を及ぼすことが示唆された。しかしながら、デバイスシミュレーション解析が実験結果を反映しているという妥当性を深めるためには多角的なシミュレーション解析が必要となる。従って、次節以降では、1) IGZO-hetero TFT における下層膜厚依存性、2) IGZO-hetero-rev. TFT の再現性、3) ポテンシャル障壁の急峻性影響、に着目しキャリア輸送経路に及ぼす影響に関して詳細に解析する。

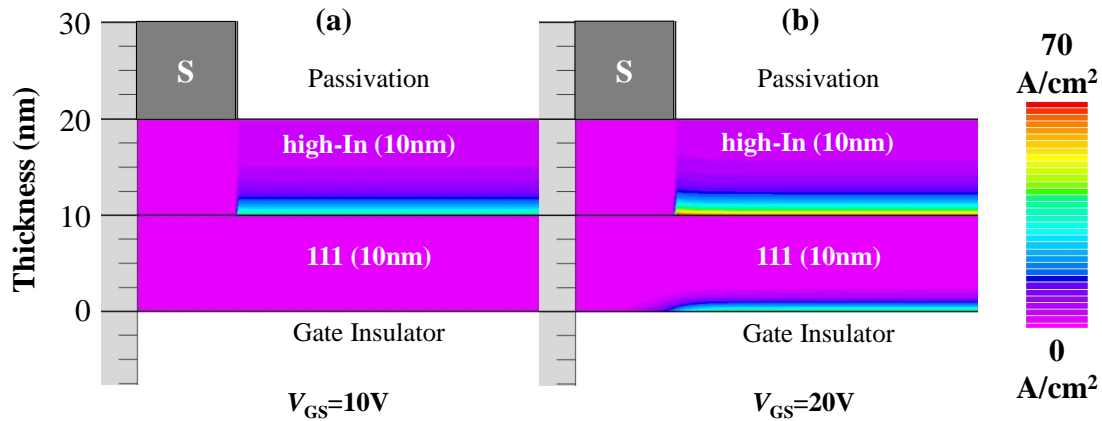


図 4.10 $\Delta E_c=0.4$ eV を有する IGZO-hetero チャンネル内のドレイン電流密度分布 (挿入図は電流密度の色分け指標)
(a) $V_{GS}=+10$ V (b) $V_{GS}=+20$ V

4.5 下層膜厚がキャリア輸送経路に及ぼす影響

4.5.1 デバイス特性

本節では、前節でみられた μ_{FE} - V_{GS} 特性とキャリア輸送特性の相関関係に着目し、IGZO-hetero TFT における下層 IGZO-111 膜厚がキャリア輸送経路に及ぼす影響を検討した。3章の図 3.9 より、IGZO-hetero TFT の μ_{FE} - V_{GS} 特性は以下の通り下層膜厚によって変化する結果が得られた。

- 1) 下層膜厚 2.5 nm 以下の時、ゲート電圧の増大に伴い μ_{FE} が増大。
- 2) 下層膜厚が 5 nm 以上の時、高ゲート電圧領域で μ_{FE} が減少。

前節の結果より、このようなふるまいを示す要因は IGZO-hetero TFT のキャリア輸送経路が下層膜厚に依存して変化していることが考えられる。本節では、デバイスシミュレーション上にて 3章で示した実験と同様に下層膜厚を 0~10 nm まで変化させ、そのキャリア輸送経路の変化に着目する。

図 4.11 は IGZO-hetero TFT における伝達特性および移動度の下層膜厚依存性を示している。下層 IGZO-111 膜厚が 0 nm から 2.5 nm に増大した時、IGZO-hetero TFT のドレイン電流に変化はみられなかった。一方、下層膜厚が 2.5 nm 以上の場合、ドレイン電流は下層膜厚の増大に伴い高ゲート電圧領域で減少する結果が得られた。このドレイン電流の減少を反映し、IGZO-hetero TFT の μ_{FE} は高ゲート電圧領域 ($V_{GS} \geq 10$ V) で減少する傾向を示した。下層膜厚が 2.5 nm では、ゲート電圧の増大に伴い μ_{FE} が増大するのに対し、下層膜厚が 5 nm 以上では高ゲート電圧領域における μ_{FE} が減少した。また、この μ_{FE} の減少が始まるゲート電圧の値は、下層膜厚の増大に伴い減少する傾向を示し、下層膜厚 10 nm では、 $V_{GS} = +10$ V 付近から μ_{FE} の減少が確認された。このシミュレーション結果は実験結果とよく一致する結果である。従って、IGZO-hetero TFT における下層膜厚依存性の実験結果はシミュレーション上においても高い再現性を示すことを確かめた。

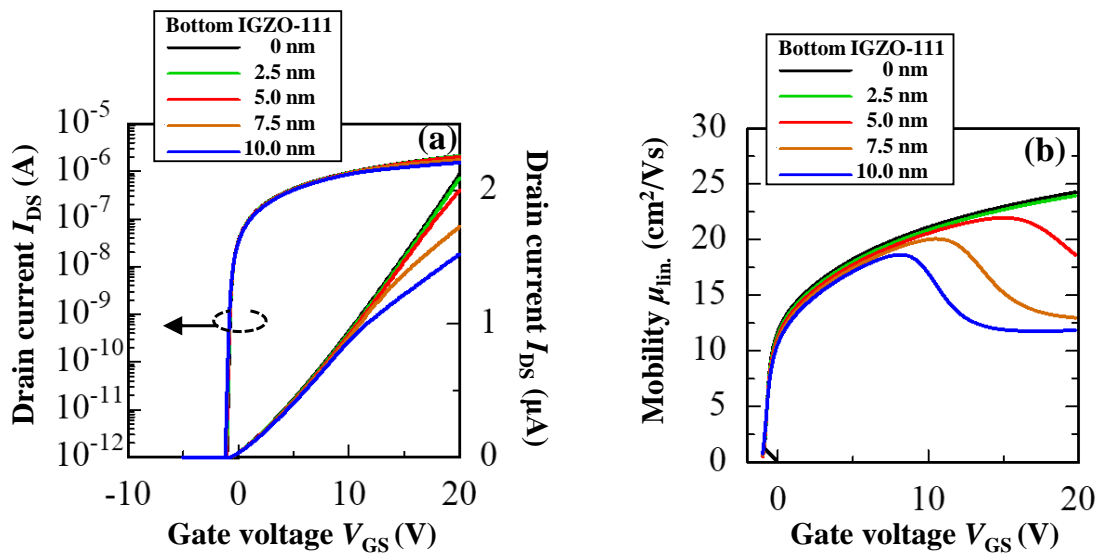


図 4.11 IGZO-hetero TFT における
(a) 伝達特性および (b) 移動度の下層膜厚依存性

4.3.2 キャリア輸送経路の解析

次に IGZO-hetero TFT におけるキャリア輸送経路の下層膜厚依存性を検討した。図 4.12 は IGZO-hetero TFT の各下層膜厚におけるフロントチャネル界面およびヘテロ接合界面のキャリア濃度のゲート電圧依存性である。フロントチャネル界面およびヘテロ接合界面のキャリア濃度はゲート電圧の増大に伴い増大する傾向を示した。しかしながら、フロントチャネル界面におけるゲート電圧印加によるキャリア濃度の増大量は、下層膜厚の増大に伴い増大する結果が得られた。ゲート電圧が 0 V ~ 20 V まで変化した時、下層膜厚が 2.5 nm

と薄い場合においてはキャリア濃度が6桁程度増大するのに対し、下層膜厚が10 nmの場合ではキャリア濃度がおよそ9桁増大した。一方、ヘテロ接合界面におけるキャリア濃度は下層膜厚の変化に対する依存性があまりみられず、ゲート電圧の印加に伴いキャリア濃度が 10^{17} cm^{-3} から 10^{19} cm^{-3} まで緩やかに増大した。

$V_{GS}=+20 \text{ V}$ におけるフロントチャネル界面およびヘテロ接合界面のキャリア濃度の大小関係に着目すると、下層膜厚が2.5 nmの時では、ヘテロ接合界面のキャリア濃度がフロントチャネル界面と比較しておよそ3桁程度高いことがわかった。また、下層膜厚が7.5~10 nmと厚い場合では、両界面ともに 10^{19} cm^{-3} 程度の値を示しキャリア濃度差はほとんどみられなかった。このようなキャリア濃度の大小関係はキャリア輸送経路を決定する要因であり、ヘテロ接合界面のキャリア濃度がフロントチャネル界面と比較して相対的に高くなる下層膜厚が薄いIGZO-hetero TFTは高いゲート電圧印加時においてもヘテロ接合界面を支配的に流れるキャリア輸送経路を示した。一方、高いゲート電圧印加時において両界面が同等のキャリア濃度を示す下層膜厚が厚いIGZO-hetero TFTではヘテロ接合界面およびフロントチャネル界面を流れるキャリア輸送経路となることがわかった。ゲート電圧印加に伴うフロントチャネル界面のキャリア濃度の増大量が下層膜厚の減少によって低くなる要因は、フロントチャネル界面とヘテロ接合界面の距離が近くなることが起因していると考えられる。ヘテロ接合界面にはエネルギー不連続性に伴うポテンシャル障壁の形成によって電子の蓄積が起きており、ヘテロ接合界面近傍ではクーロンの法則により、電子が蓄積しづらくなっていることが考えられる。

以上の結果より、IGZO-hetero TFTにおける下層膜厚依存性は、ポテンシャル障壁が形成されているIGZO-hetero TFTにてデバイスシミュレーションを行う事で精度よく再現されることを確かめた。また、 $\mu_{FE}-V_{GS}$ 特性の下層膜厚依存性はチャネル内のキャリア輸送経路の変化と対応しており、前節で得られた $\mu_{FE}-V_{GS}$ 特性とキャリア輸送経路の相関関係に関する妥当性を深める結果が得られた。

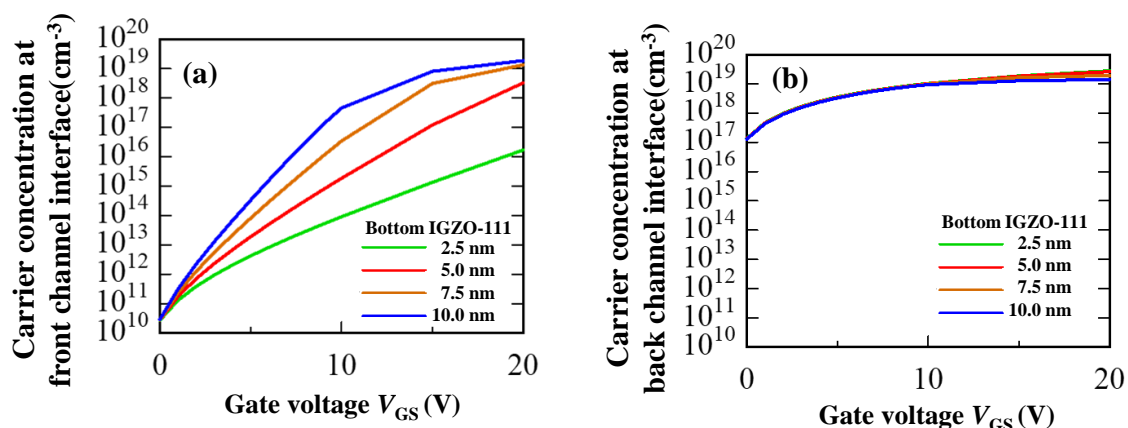


図 4.12 IGZO-hetero TFT の各下層膜厚における (a) フロントチャンネル界面および (b) ヘテロ接合界面のキャリア濃度のゲート電圧依存性

4.6 逆構造ヘテロ接合を有する薄膜トランジスタ

これまでの解析結果より、実験で得られた IGZO-hetero TFT の伝達特性はポテンシャル障壁が形成されることによってシミュレーション上で高い再現性を示し、また μ_{FE} - V_{GS} 特性とキャリア輸送特性には強い相関関係があることがわかった。本節では $\Delta E_c = 0.4$ eV を有する IGZO-hetero-rev. TFT のシミュレーション解析を実施し、デバイスシミュレーションにおける実験結果の再現度に関する更なる検討を行った。

図 4.13 に実験およびシミュレーションで得られた IGZO-hetero-rev. TFT の伝達特性を示す。IGZO-hetero-rev. TFT は、実験およびシミュレーションより得られた μ_{FE} - V_{GS} 特性が一致しない結果が得られた。実験における IGZO-hetero-rev. TFT の μ_{FE} - V_{GS} 特性は V_{GS} の増大に伴い μ_{FE} が増大する傾向が得られていたのに対し、シミュレーション上では $V_{GS} = \sim 3$ V 以上の領域で V_{GS} の増大に伴う μ_{FE} の増大が飽和する傾向を示した。結果、シミュレーション上における IGZO-hetero-rev. TFT の移動度は 17.3 $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ を示し、実験結果の 22.7 $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ と比較して減少した。ここで、実験で得られた IGZO-hetero-rev. TFT の μ_{FE} - V_{GS} 特性が再現しなかったことについて考察する。図 4.9 (b) に示した通り、ヘテロ接合を形成した際の IGZO-111 のキャリア濃度は、IGZO-high-In のフェルミ準位と一致するために大幅に減少する。従って、このキャリア濃度が低い IGZO-111 層がキャリア輸送経路内の抵抗成分として働くことで、シミュレーション上における IGZO-hetero-rev. TFT のドレイン電流値の飽和、すなわち μ_{FE} の減少が誘発されたと考えられる。実際に作製したデバイスにおけるソース・ドレイン (S/D) 領域は種々のプロセスダメージ、例えばコンタクトホール形成時のドライエッチングや S/D 電極成膜時のスパッタリング、S/D 電極からの酸素の引き抜きによる酸素欠損の生成等の影響を受けるため、Hall 測定で得られたキャリア濃度より高くなることが考えら

れる。実際にコンタクトホール形成時の CF_4/O_2 ドライエッチングをキャリア濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 以下の IGZO 薄膜に 60 秒間照射した場合、キャリア濃度が $\sim 10^{18} \text{ cm}^{-3}$ 程度まで増大することを確認している。以上の考察のもと、デバイスシミュレーション上における IGZO-hetero-rev. TFT の S/D 領域に $1 \times 10^{18} \text{ cm}^{-3}$ のドーピングを施し、伝達特性を計算した。その結果、図 4.13 に示す様に実験で得られた IGZO-hetero-rev. TFT の伝達特性および $\mu_{\text{FE}}-V_{\text{GS}}$ 特性はデバイスシミュレーション上で再現できることが確認された。

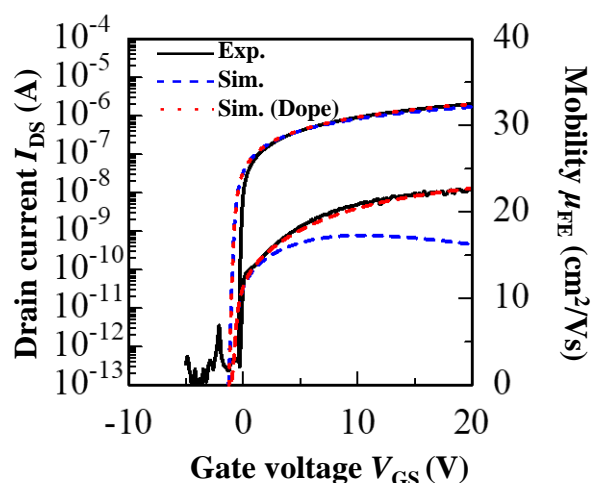


図 4.13 実験およびシミュレーションで得られた IGZO-hetero-rev. TFT の伝達特性比較

次に、IGZO-hetero-rev. チャンネル内における CBM およびキャリア濃度のゲート電圧依存性を図 4.14 に示す。なお、IGZO-hetero-rev. TFT における CBM およびキャリア輸送経路は、S/D 領域のドーピングの有無に依存せず同様の結果を示したため、図 4.14 は S/D 領域にドーピングを施していない IGZO-hetero-rev. TFT から抽出した。IGZO-hetero-rev. チャンネル内のヘテロ接合チャンネル界面には $\Delta E_c = 0.4 \text{ eV}$ のエネルギー差が形成されている。しかしながら、正ゲート電圧を印加した時、CBM の曲がり方はフロントチャンネル界面のみで確認され、ヘテロ接合界面では確認されなかった。従って、ゲート電圧印加時の IGZO-hetero-rev. チャンネルの CBM は、フロントチャンネル界面でのみフェルミ準位よりエネルギーが低くなり、ヘテロ接合界面近傍における IGZO-111 層の $E_c - E_f$ はゲート電圧の印加に依存せず 0.4 eV 程度と高い値が得られた。このような $E_c - E_f$ の挙動を反映し、チャンネル内のキャリア濃度は、フロントチャンネル界面でのみ増大することが確認された。これは単層 TFT の CBM およびキャリア濃度のゲート電圧依存性と同様の傾向である。

図 4.15 に (a) $V_{\text{GS}} = +10 \text{ V}$ および、(b) $V_{\text{GS}} = +20 \text{ V}$ 印加時の IGZO-hetero-rev. チャンネル内のドレイン電流密度分布を示す。IGZO-hetero-rev. TFT におけるドレイン電流密度はフロントチャンネル界面で高く、下層の IGZO-high-In を支配的に流れていることがわかった。またこのフロントチャンネル界面を支配的に流れるドレイン電流密度はゲート電圧の増大に伴い

増大する傾向を示した。

以上の結果から、IGZO-hetero-rev. TFT は、フロントチャンネル界面を支配的に流れるキャリア輸送経路、すなわち単層 IGZO-high-In TFT と同様のキャリア輸送経路であることを確かめた。3章の図 3.5 および 3.6 に示した実験より得られた IGZO-hetero-rev. TFT の伝達特性および信頼性結果は単層 IGZO-high-In TFT とよく似た特性を示した。従って、シミュレーション上で得られた IGZO-high-In 層を支配的に流れるキャリア輸送経路という結果は、実験結果で得られた特性を矛盾無く説明できる結果であると考えられる。

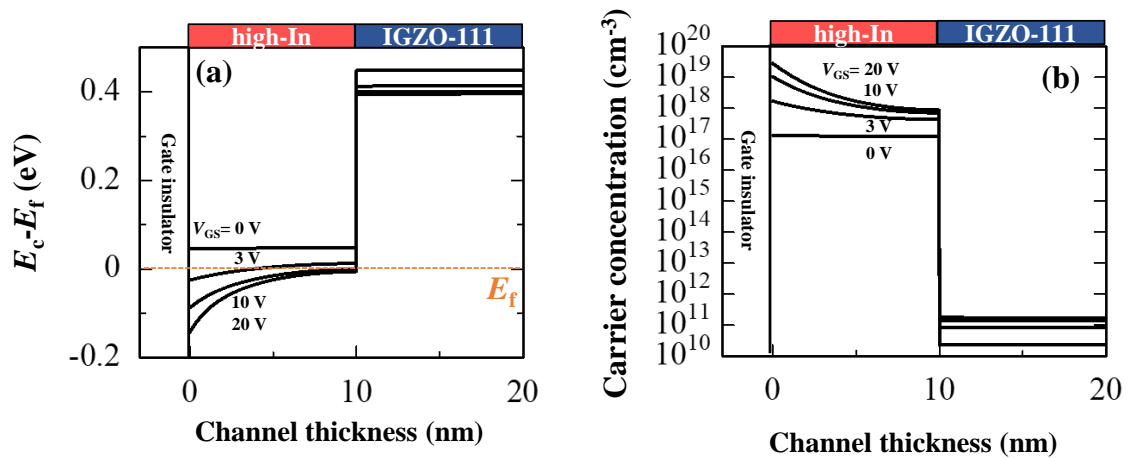


図 4.14 S/D 領域へのドーピングを施していない IGZO-hetero-rev. チャンネル内における (a) CBM および (b) キャリア濃度のゲート電圧依存性 (フロントチャンネル界面: $x=0$ nm)

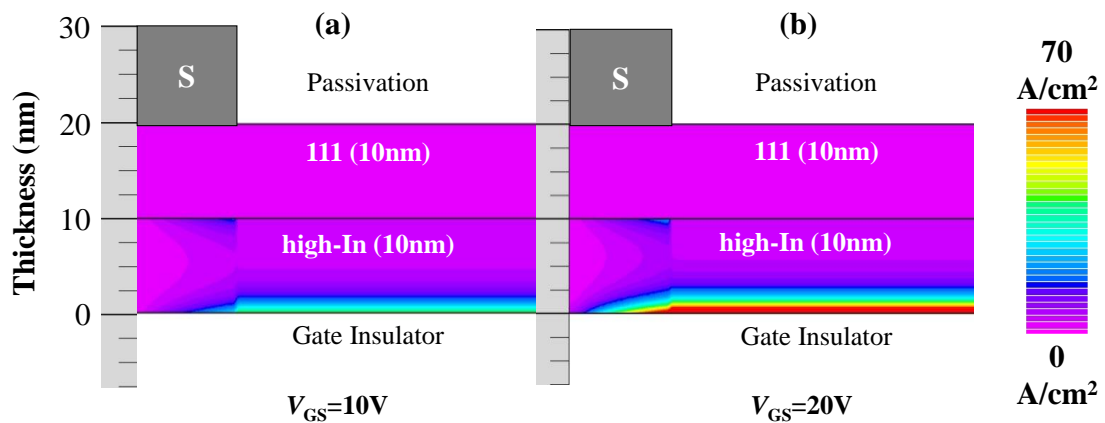


図 4.15 IGZO-hetero-rev. チャンネル内のドレイン電流密度分布 (挿入図は電流密度の色分け指標) (a) $V_{GS} = +10V$ (b) $V_{GS} = +20V$

4.7 ポテンシャル障壁の急峻性がデバイス特性に及ぼす影響

次にヘテロ接合界面に形成されるポテンシャル障壁の急峻性が伝達特性ならびにキャリア輸送経路へ及ぼす影響を検討した。ポテンシャル障壁の急峻性は図 4.16 に示すように、ヘテロ接合界面に電子親和力とバンドギャップが緩やかに変化する中間層を挿入することで定義した。なお、この中間層の膜厚は 0~5 nm の間で変化させ、また μ_d は $17 \text{ cm}^2/\text{V}\cdot\text{s}^{-1}$ とし、状態密度は IGZO-111 と同じように設定した。

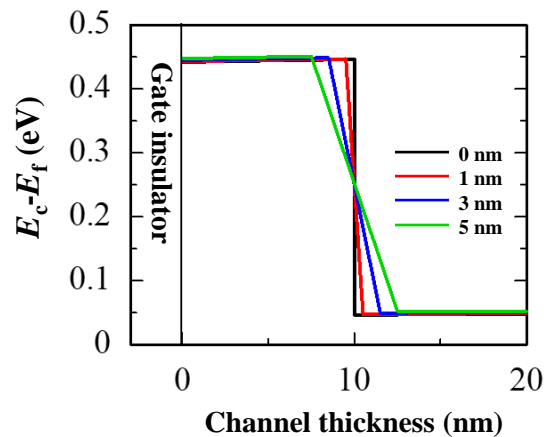


図 4.16 (a) IGZO-hetero チャンネル内のポテンシャル障壁の傾きを変化した際の CBM ($V_{GS}=0 \text{ V}$)

図 4.17 に IGZO-hetero TFT における伝達特性および $\mu_{FE}-V_{GS}$ 特性のポテンシャル障壁の傾き依存性を示す。IGZO-hetero TFT のドレイン電流は、ヘテロ接合界面のポテンシャル障壁の傾きが緩やかになるに伴い減少する傾向を示した。その結果、算出される μ_{FE} が減少し、その傾向はゲート電圧が低い領域で顕著に見られた。これらの結果は、ソースから注入されたキャリアが、傾きが緩やかになることでポテンシャル領域を容易に乗り越えるようになり、低いゲート電圧でフロントチャンネル界面を流れるキャリア輸送経路に変化することを示唆している。従って、ポテンシャル障壁が形成された場合においても、ある程度の急峻性がなければ十分な μ_{FE} の向上が見込めないことが示唆された。ここで、3 章の図 3.3 で得られたポテンシャル障壁の傾きはおおよそ 2~3 nm 程度であり、この値を用いた IGZO-hetero TFT のデバイスシミュレーション結果は実際に作製した IGZO-hetero TFT の μ_{FE} より低い値である。この要因として考えられることは、実際に作製した IGZO-hetero チャンネルのポテンシャル障壁が 0.4 eV より高い、もしくはキャリア濃度の深さ方向依存性より抽出した急峻性よりするどい傾きを有する、下層 IGZO-111 の膜厚が設定膜厚である 10 nm より薄いなど、実際に作製された TFT のパラメータをデバイスシミュレーション上で忠実に再現できていないことが考えられる。しかしながら、急峻なポテンシャル障壁が形成されることで

μ_{FE} - V_{GS} 特性がピークを示すというシミュレーション傾向は、非晶質 AOS 同士によるヘテロ接合界面にそのようなポテンシャル障壁が形成していることを示唆する重要な結果である。

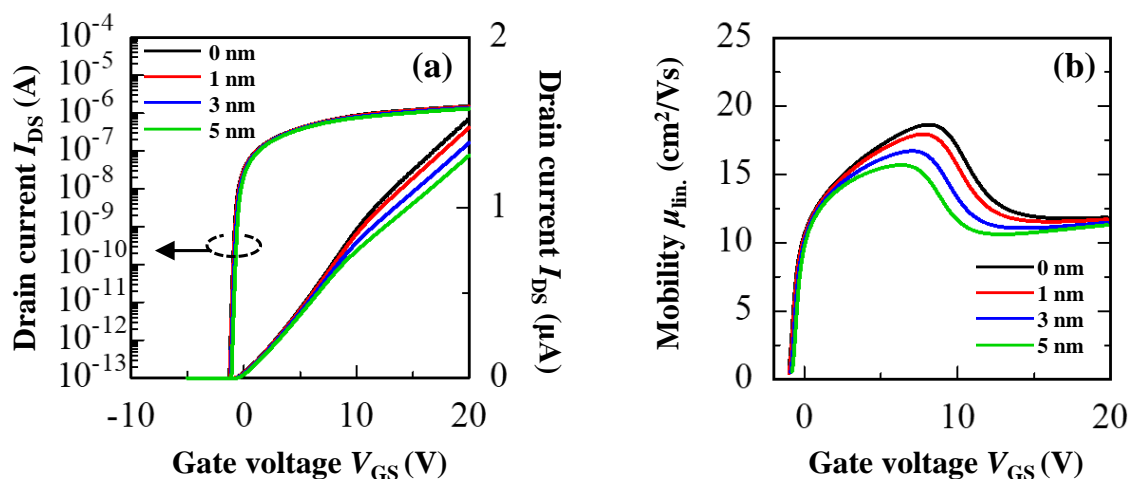


図 4.17 IGZO-hetero TFT における (a) 伝達特性および (b) μ_{FE} - V_{GS} 特性のポテンシャル障壁の傾き依存性

4.8 界面電界強度が信頼性に与える影響

3章で述べたように、IGZO-hetero TFT の信頼性は下層 IGZO-111 膜厚の増大に伴い向上した。この信頼性向上の主な要因は良好な信頼性を示す IGZO-111 を用いてフロントチャネル界面を形成したためと考えられる。しかしながら、下層膜厚増大に伴うヘテロ接合界面の電界強度減少、すなわち実効的なストレス電圧の減少が IGZO-hetero TFT の信頼性向上に起因している可能性も否定できず、メカニズム解明には更なる解析が必要であった。本節ではデバイスシミュレーションを用いてチャネル内の電界強度を抽出することによって IGZO-hetero TFT における信頼性向上メカニズムを検討する。

図 4.19 (a) に $V_{GS}=+20$ V における IGZO-hetero チャネル内の電界強度分布の下層膜厚依存性を示す。 $V_{GS}=+20$ V を印加したとき、フロントチャネル界面で最大電界強度 0.64 MV/cm が得られ、その値は下層膜厚に依存せず一定の値を示した。しかしながら、IGZO-high-In 界面（ヘテロ接合界面）の最大電界強度は下層膜厚の増大に伴い減少する傾向が得られた。下層膜厚が 2.5 nm の場合、IGZO-high-In 界面の最大電界強度は 0.64 MV/cm と下層膜厚 0 nm と同じ値が得られた。一方、下層膜厚が 5.0 nm、7.5 nm、10 nm と増大したとき、IGZO-high-In の最大電界強度は 0.61 MV/cm、0.49 MV/cm、0.39 MV/cm と減少した。電磁気的な力は距離の二乗で減少することから、このヘテロ接合界面における電界強度の減少は、ヘテロ接合界面が下層 IGZO-111 膜厚の増大によってゲート絶縁膜界面から遠ざかるためと

考えられる。この様に、下層膜厚の増大に伴いヘテロ接合界面に印加される電界強度が減少するふるまいは、信頼性試験時におけるヘテロ接合界面へのストレス電圧の影響が減少することを示唆している。

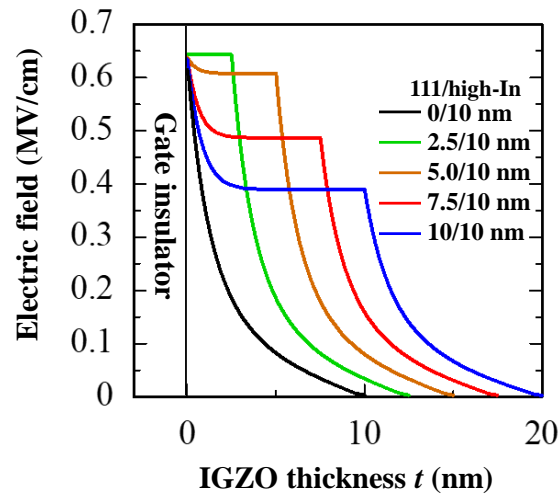


図 4.19 $V_{GS}=+20$ V における IGZO-hetero チャンネル内の電界強度分布の下層膜厚依存性、

そこで、IGZO-hetero TFT の信頼性向上のメカニズムがヘテロ接合界面の電界強度減少に起因しているのか明らかにするために、PBTS 信頼性結果と電界強度の相関関係を検討した。図 4.20 (a) に IGZO-high-In および IGZO-hetero TFT の PBTS 試験後の ΔV_{th} と IGZO-high-In に印加される電界強度の関係を示す。ここで、IGZO-high-In/ゲート絶縁膜界面の最大電界強度は、図 4.20 (b) に示す通りストレス電圧を 10~20 V まで変化させることで制御した。一方、IGZO-hetero TFT における IGZO-high-In 層（ヘテロ接合界面）の最大電界強度は、前述した通り、ストレス電圧を 20 V に固定した条件下で下層（IGZO-111）膜厚を変化させることで制御した（図 4.11 (a)）。つまり、各 TFT における IGZO-high-In 層の最大電界強度は、ストレス電圧および下層 IGZO-111 膜厚によってそれぞれ制御した。なお、PBTS 信頼性試験時のストレス温度は 60°C にて実施した。IGZO-high-In TFT に着目すると、ストレス電圧の減少によって IGZO-high-In にかかる最大電界強度が 0.64 MV/cm から 0.32 MV/cm まで減少した時、 ΔV_{th} が +7.0 V から +2.5 V まで向上する結果が得られた。三章の図 2.11 に示した IGZO-high-In TFT における ΔV_{th} のストレス温度依存性結果より、IGZO-high-In TFT の信頼性劣化要因はストレス電圧および熱ストレスによる界面欠陥準位の生成が示唆されていた。従って、PBTS ストレス電圧（最大電界強度）の減少に伴う信頼性向上は、ストレスの減少によって IGZO-high-In 界面に生成される欠陥準位が減少したためと考えられる。一方、IGZO-hetero TFT に着目すると、IGZO-high-In にかかる最大電界強度が 0.64 MV/cm（下層膜厚 0 nm）の時は、 V_{th} が +7.0 V と大きくシフトする結果を示した。一方、下層膜厚が 5 nm の IGZO hetero TFT の信頼性は IGZO-high-In 層に 0.62 MV/cm と高い電界が印加されているに

もかかわらず $\Delta V_{th}=+0.3\text{ V}$ と良好な結果を示した。また、下層膜厚 5 nm 以上の IGZO hetero TFT においても良好な信頼性が得られた。この結果は、下層膜厚増大に伴う IGZO-high-In に印加される最大電界強度の減少が 0.02 MV/cm と非常に小さいにもかかわらず、IGZO-hetero TFT の信頼性が大幅に向上していることを示している。以上の結果より、下層膜厚増大に伴う IGZO-high-In 層（ヘテロ接合界面）への最大電界強度減少が IGZO-hetero TFT の信頼性向上に影響を及ぼしていることがわかったが、この効果以上に信頼性が向上していることが明らかとなり、他の主たる要因が存在することが示唆された。

この様に、デバイスシミュレーション解析による電界強度の抽出から、電界強度の減少が信頼性向上の主要因でないことを明らかにした。そこで、信頼性向上の新たな仮説として、IGZO-high-In 薄膜は、異種材料である SiO_2 ゲート絶縁膜と界面形成を行うと電圧および熱ストレスによって界面欠陥準位が容易に生成されるが、同じ構成元素から成る酸化物半導体 IGZO-111 と界面形成した場合にはその界面欠陥準位の生成が抑制しているのではないかと考察した。次章では IGZO-high-In/ゲート絶縁膜界面と IGZO-high-In/IGZO-111 界面の化学結合状態の解析を行うことで、信頼性向上メカニズムの更なる解析を試みた。

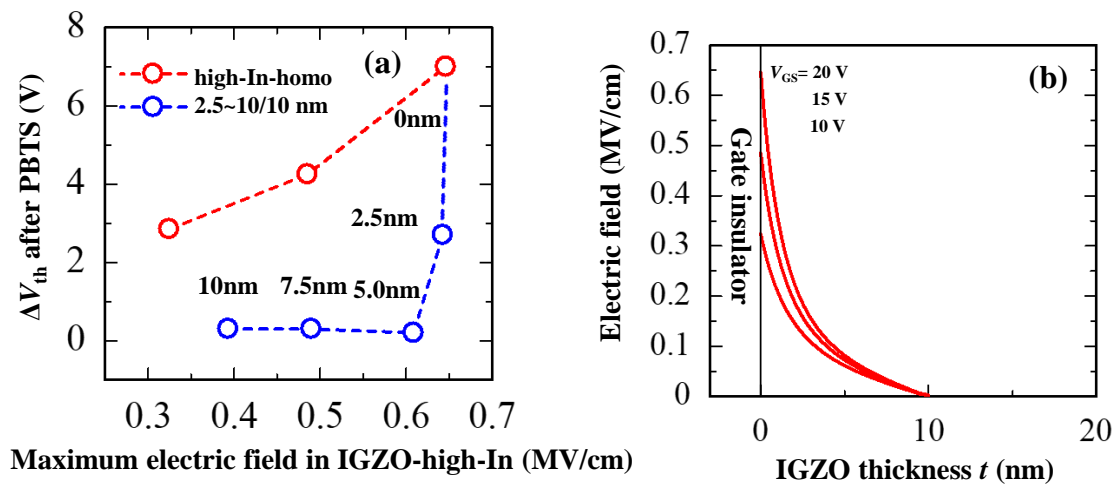


図 4.20 (a) IGZO-high-In および IGZO-hetero TFT の PBTS 試験後の ΔV_{th} と IGZO-high-In に印加される電界強度の関係、
(b) IGZO チャンネル内（単層）の電界強度分布のゲート電圧依存性

4.9 まとめ

IGZO-hetero TFT の高移動度・高信頼性メカニズムを明らかにするために、実験結果とシミュレーション結果の対比からキャリア輸送経路の解析を検討した。デバイスシミュレーション解析の信頼性を高める工夫として、実験から得られた各 IGZO の材料物性値を用いた。さらに実験で得られた伝達特性より状態密度を抽出し、TFT 特性の再現を実施した。また、各単層 IGZO TFT のデバイス特性の再現後、同じ材料物性値を用いて IGZO-hetero TFT の再現性を検討した。

IGZO-hetero チャンネルにおけるヘテロ接合界面へのポテンシャル障壁形成がキャリア輸送経路に及ぼす影響を解析するために IGZO-high-In 層の電子親和力を変化させることで、 ΔE_c を 0~0.45 eV の間で制御し、伝導帯下端 (Conduction band minimum: CBM) のエネルギーおよびキャリア濃度を抽出した。その結果、IGZO-hetero TFT の伝達特性は、ポテンシャル障壁が形成されることで、 μ_{FE} が向上する傾向が確認され、 $\Delta E_c=0.45$ eV で最も実験結果を再現するデバイス特性が得られた。また、IGZO-hetero チャンネル内部の電流密度分布を抽出した結果、IGZO-hetero TFT のキャリア輸送は CBM にポテンシャル障壁が形成された時にヘテロ接合チャンネル界面を流れることが示唆された。このポテンシャル障壁形成に伴うキャリア輸送変化はゲート電圧の増大によってヘテロ接合界面およびフロントチャンネル界面を流れるキャリア輸送に変化し、このキャリア輸送経路を示す時に移動度が減少する結果が得られた。以上の結果から、IGZO-hetero TFT の $\mu_{FE}-V_{GS}$ 特性とキャリア輸送特性には相関関係があることが示唆された。

そこで、IGZO-hetero TFT における下層膜厚依存性、ポテンシャル障壁急峻性の影響、ならびに IGZO-hetero-rev. TFT の再現度を検討することで、デバイスシミュレーションの妥当性に関する更なる解析を実施した。その結果、IGZO-hetero TFT の下層膜厚依存性は、実験結果とよく一致する結果が得られ、下層膜厚を変化させた IGZO-hetero TFT においても $\mu_{FE}-V_{GS}$ 特性とキャリア輸送特性には相関関係があることが確かめられた。また急峻なポテンシャル障壁が形成されなければ移動度の向上が見込めないことがわかった。IGZO-hetero rev. TFT においても実験結果との再現性が高く、実施したデバイスシミュレーション解析は、実験結果を矛盾なく説明できる結果が得られた。

以上、1) ポテンシャル障壁形成の影響、2) 下層膜厚の影響、3) ポテンシャル障壁の急峻性影響、4) 逆構造における再現性確認、のシミュレーション結果が実験結果とよく一致することから、実際に作製した TFT の物理現象をデバイスシミュレーションにて再現できていることが認められた。したがって、非晶質 AOS である IGZO-111 と IGZO-high-In を用いて形成したヘテロ接合界面には急峻なポテンシャル障壁が形成されており、その障壁は量子閉じ込め効果を発現し、キャリア輸送変化を誘発することで移動度向上に寄与することを明らかにした。

なお、本研究で実施したデバイスシミュレーションは、伝導帯に量子化準位などのモデ

ルを含めていない。このデバイスシミュレーションモデルを使用することで実験結果をよく再現できることから、本研究で形成したヘテロ接合チャネルは二次元電子ガスの形成による材料のポテンシャル以上の移動度向上ではなく、量子閉じ込めによるキャリア輸送変化によって移動度向上が起きていることが考えられる。

また、信頼性向上メカニズムを解明するために、PBTS 信頼性結果とシミュレーションから抽出した電界強度の相関関係を検討した。その結果、IGZO-high-In 単層 TFT では電界強度減少に伴う信頼性が向上することがわかった。一方、IGZO-hetero TFT における IGZO-high-In 層の最大電界強度は、下層 (IGZO-111) 膜厚の増大に伴い減少する傾向が得られた。しかしながら、最大電界強度が大きく減少していないにもかかわらず信頼性が大幅に向上する結果を示し、電界強度の減少と信頼性向上の相関関係はみられなかった。以上の結果から、IGZO-hetero TFT における信頼性向上は、IGZO-high-In 層の最大電界強度の減少以上に影響を及ぼす主要因があることを明らかにした。信頼性劣化の主要因は界面欠陥準位であることから、IGZO-hetero TFT における信頼性向上の主要因は、IGZO-high-In/SiO₂ ゲート絶縁膜界面と IGZO-high-In/IGZO-111 界面でストレス印加に伴う欠陥準位の生成しやすが異なる事が考察された。

参考文献

- [1] S. Tnaniguchi, M. Yokozeki, M. Ikeda, and T. Suzuki, “Transparent Oxide Thin-Film Transistors Using $n\text{-(In}_2\text{O}_3\text{)}_{0.9}\text{(SnO}_2\text{)}_{0.1}/\text{InGaZnO}_4$ Modulation-Doped Heterostructure”, *Jpn. J. Appl. Phys.*, **50** (2011) 04DF11-1.
- [2] J. C. Park and H. N. Lee, “Improvement of the Performance and Stability of Oxide Semiconductor Thin-Film Transistors Using Double-Stacked Active Layers”, *IEEE Electron Device Lett.* **33** (2012) 818-820.
- [3] N. Saito, K. Miura, T. Ueda, T. Tezuka, and K. Ikeda, “High-mobility and H2-anneal Tolerant InGaSiO/InGaZnO/InGaSiO Double Hetero Channel Thin Film Transistor for Si-LSI Compatible Process”, *IEEE J. Electron Devices Soc.* **6** (2018) 500-505.
- [4] Silvaco Interbational, Device Simulator, Atlas.
- [5] 田尾博昭, *et al*, “PITS 測定とデバイスシミュレーションによる酸化物半導体 TFT の特性解析”, *神戸製鋼技報*, **64** (2014) 110-114.
- [6] Y. Kim, M. Bae, W. Kim, D. Kong, H. K. Jeong, H. Kim. S. Choi, D. Myong. “Amorphous InGaZnO thin-film transistors—Part I: Complete extraction of density of states over the full subband-gap energy range” *IEEE Trans. Electron Devices*, **59** (2012) 2689-2698.
- [7] K. Abe, A. Sato, K. Takahashi, H. Kumomi, T. Kamiya, H. Hosono “Mobility-and temperature-dependent device model for amorphous In–Ga–Zn–O thin-film transistors”, *Thin Solid Films* **559** (2014) 40-43
- [8] K. Abe, K. Takahashi, A. Sato, H. Kumomi, T. Kamiya, H. Hosono, “Operation model with carrier-density dependent mobility for amorphous In–Ga–Zn–O thin-film transistors”, *Thin Solid Films* **520** (2012) 3791-3795.
- [9] Y. Shimura, K. Nomura, H. Yanagi, T. Kamiya, M. Hirano, and H. Hodeo, “Specific contact resistances between amorphous oxide semiconductor In–Ga–Zn–O and metallic electrodes”, *Thin Solid Film*, **516** (2008) 5899-5902.
- [10] 雲見日出也, “アモルファス酸化物半導体の薄膜トランジスタ応用”, *応用物理* **79** (2010) 981-987
- [11] Kamiya, Toshio, and Hideo Hosono. "Material characteristics and applications of transparent amorphous oxide semiconductors." *NPG Asia Mater.*, **2** (2010) 15-22.
- [12] 薄膜材料デバイス研究会 編, “薄膜トランジスタ”, コロナ社 (2008).

第5章

硬 X 線光電子分光法によるヘテロ界面欠陥準位密度の解析

5.1 はじめに

前章までの研究成果より、ヘテロ接合チャネルを有する In-Ga-Zn-O 薄膜トランジスタ (IGZO-hetero TFT) は高移動度・高信頼性を示すことを明らかにした。正ゲートバイアス熱ストレス (Positive bias temperature stress: PBTS) 信頼性とデバイスシミュレーションによる電界強度の相関関係から IGZO-hetero TFT の信頼性向上メカニズムを解析した結果、電界強度減少による信頼性向上効果が確認された一方で、その効果以上の信頼性向上が起きていることが明らかとなった。この結果から、IGZO-high-In/IGZO-111 ヘテロ接合界面は、IGZO-high-In/ゲート絶縁膜界面と比較してストレス印加による欠陥準位密度が生成されづらく、良好な界面状態を形成していることが考えられた。しかしながら、界面における界面欠陥準位密度の解析ができておらず、その考察を決定づけるまでには至っていない。非晶質酸化物半導体 (Amorphous oxide semiconductor: AOS) のヘテロ接合チャネルは、これまでの移動度と信頼性のトレード・オフの関係から脱却する可能性を秘めており、信頼性向上メカニズムを明らかにする詳細な物理現象の解明が必要である。

その中で界面欠陥準位を直接評価する手法の一つに X 線光電子分光法 (X-ray Photoelectron Spectroscopy: XPS) が挙げられる。XPS は軟 X 線を測定試料に照射し、イオン化に伴い放出される光電子を補足してエネルギー分析を行うことで、物質中の電子の束縛エネルギーと数を決定し元素分析と定量分析を行うことはできる[1]。しかしながら、軟 X 線源を用いた XPS は表面敏感である測定手法であり、ヘテロ接合界面の化学結合状態の解析には適していない。XPS を用いたバルク化学結合状態の評価手法として、イオンスパッタによる深さ分解方向評価が挙げられるが、スパッタ時の衝突ダメージが新たな欠陥準位を生成する可能性も否定できず、上記の信頼性向上メカニズムを明らかにするためには IGZO-high-In/ゲート絶縁膜界面および IGZO-high-In/IGZO-111 の界面状態を非破壊で評価し、相対比較することが望ましい。

そこで本章では、硬 X 線源を用いた XPS (HAXPES) による角度分解測定によってヘテロ接合界面およびゲート絶縁膜/半導体界面の化学結合状態を同定、比較することで信頼性向上メカニズムに関する考察を行う。HAXPES は一般的な軟 X 線光電子分光法に比べて励起 X 線のエネルギーが高く、非破壊で試料バルクの化学結合状態を評価することが可能である[2-4]。また角度分解測定は、光電子検出角度 (Take off angle: TOA) が小さいほど試料表面に近い浅い化学結合状態を反映して検出されるため、ある TOA 条件にてヘテロ接合

界面近傍の化学結合状態を解析できると考えられる。

5.2 化学結合状態の解析条件

評価試料の構造を図 5.1 に示す。評価試料は TFT の界面状態を再現するために UV オゾン処理を 5 分施した熱酸化膜付 n+ Si 基板上に各半導体層を成膜した。半導体層は In:Ga:Zn=1:1:1 atm.% (IGZO-111) と In/(Ga or Zn)>1 (IGZO-high-In) を用いて以下の 3 条件、1) IGZO-111 単層 (10 nm)、2) IGZO-high-In 単層 (10 nm)、3) IGZO-hetero (下層 IGZO-111/上層 IGZO-high-In=10/10 nm) を成膜した。各半導体層の成膜条件は、3 章の表 3.1 に示した条件と同じである。その後、大気雰囲気 350°C1 時間のアニール処理を施した。表 5.1 に本研究における HAXPES の測定条件を示す。SPring-8 の産業用ビームライン BL47XU を用いて In、Ga、Zn、Si、O の各内殻準位を測定した。これらの内殻準位は表面近傍、ヘテロ接合界面近傍、SiO₂/チャンネル界面 (フロントチャンネル) 近傍における状態をそれぞれ評価するために、TOA を 5~65° (5°ステップ) の条件で測定した。また、価電子帯スペクトルを測定し、フェルミ準位近傍の欠陥準位に関して評価した。なお、価電子帯スペクトルの TOA は、最も深さ方向の化学結合状態を反映する 89°とした。

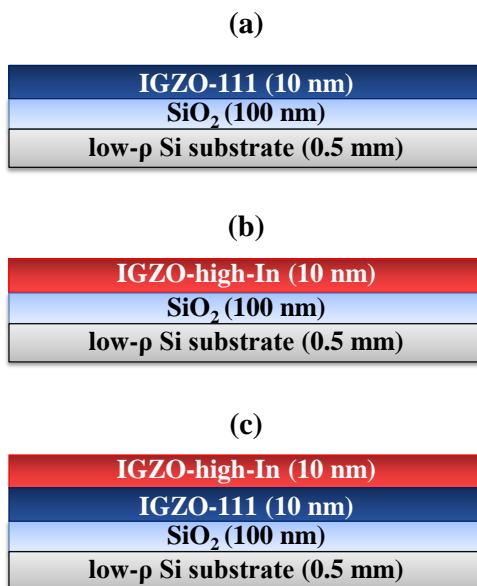


図 5.1 測定試料の構造

(a) IGZO-111、(b) IGZO-high-In (c) IGZO-hetero

表 5.1 SPring-8 HAXPES 測定条件

ビームライン	BL47XU
X 線エネルギー (eV)	7940
光電子検出角度, TOA (°)	5~65 (5°ステップ)、89
スリット開口 (mm)	0.5×0.5
スポットサイズ (μm)	40×40
測定ステップ (eV)	0.05
チャンバー圧力 (Pa)	6×10^{-6}
測定温度	室温
中和銃	w/o

5.3 角度分解測定によるヘテロ界面における化学結合状態の解析

検出深さの TOA 依存性を検討するために Si のピークに着目した。図 5.2 は IGZO-111、IGZO-high-In および IGZO-hetero の各 TOA における O1s スペクトルである。図 5.2 (a) (b) より、TOA60°の条件で 530.7 eV および 533.2 eV に SiO₂ および IGZO に起因する O1s ピークが得られた。しかしながら、TOA の減少に伴いこれらのピークは減少していき、TOA=20°以下の条件では SiO₂ に起因する O1s ピークが IGZO に起因するピークと比較して非常に小さくなった。この結果は、TOA=20°前後の条件において検出深さが 10 nm 程度となり、試料表面から IGZO/SiO₂ 界面近傍における化学結合状態を評価していることを示唆している。一方、図 5.2 (c) に示した IGZO-hetero は、IGZO に起因する O1s ピークと比較して SiO₂ に起因するピークが弱い結果が得られた。これは、IGZO-hetero の試料膜厚が 20 nm であり、単層 IGZO 試料 (10 nm) と比較して厚いため基板由来のピークが減少したと考えられる。しかしながら、単層 IGZO 試料における O1s スペクトルの TOA 依存性結果より、TOA=20°付近の条件が 10 nm 程度の検出深さであることが予想されたため、TOA=20°前後の条件における IGZO-hetero のスペクトルピークが試料表面から IGZO-high-In/IGZO-111 ヘテロ接合界面の化学結合状態を評価していることが予想された。

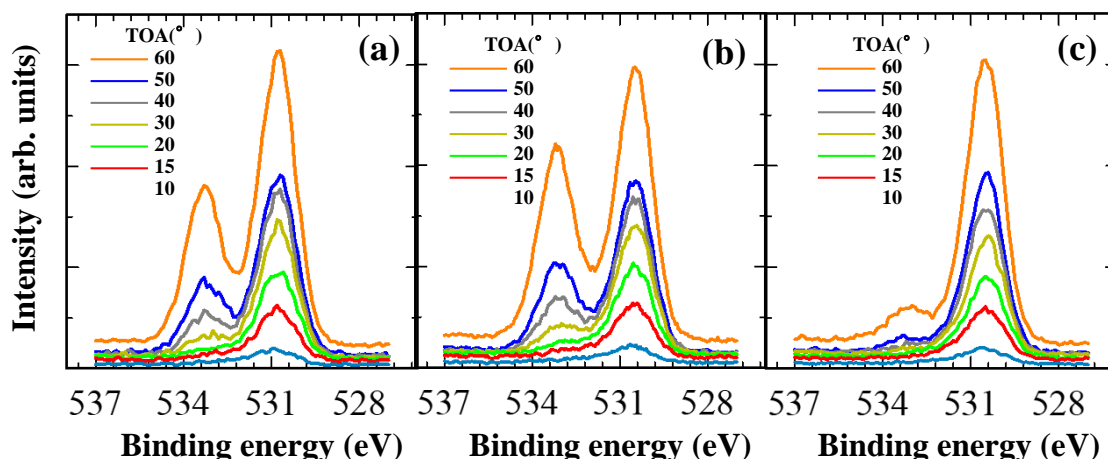


図 5.2 各 TOA における O1s ピーク (a) IGZO-111、(b)、IGZO-high-In、(c) IGZO-hetero

ヘテロ接合界面における欠陥準位の起源の一つに酸素欠損の生成が挙げられる。そこで、IGZO-high-In/IGZO-111 ヘテロ接合界面および IGZO-high-In/SiO₂ 絶縁膜界面における酸素欠損起因ピークの積分強度比率を相対比較することで信頼性向上メカニズムの起源について検討した。図 5.2 より得られた各 TOA における O1s スペクトルを Gauss-Lorentz 混合関数を用いて、金属酸化物に由来する M-O ピーク (530.1 eV)、酸素欠損に起因する V₀ ピーク (532 eV)、SiO₂ に由来する Si-O ピーク (533.2 eV)、の 3 つのピークに分離した[5, 6]。図 5.3 (a) は IGZO-111 薄膜の TOA=60° における O1s スペクトルのピーク分離結果である。このようなピーク分離を各 TOA で実施し、IGZO の O1s スペクトルにおける M-O ピークおよび V₀ ピークの積分強度比率を比較した。なお Si-O ピークの積分強度比率は、M-O+V₀+Si-O=100%として規格化することで、各 TOA における検出深さを考察した。

図 5.3 に (b) IGZO-111、(c) IGZO-high-In、および (d) IGZO-hetero における O1s スペクトルに占める積分強度比率の TOA 依存性を示す。図 5.3 (b) (c) より、Si-O の積分強度比率は TOA の減少に伴い減少する傾向を示した。この結果は TOA が減少することで HAXPES 測定による検出深さが減少していることを示唆している。一方、TOA=20°においても Si-O の積分強度比率が 10%程度を示しており、TOA が低い条件であるにもかかわらず半導体層の下層である SiO₂ 由来のピークが検出されていることがわかった。また TOA=15°では Si-O の積分強度比率はおおよそ 15%を示し、20°と比較して 5%増大する結果が得られた。これは TOA が低い測定条件ではピーク強度が非常に弱く、小さな測定ノイズに積分強度が影響されるためであり、測定分解能の限界であることが考えられる。

次に M-O および V₀ の積分強度比率に着目する。IGZO-111、IGZO-high-In および IGZO-hetero の M-O の積分強度比率はおおよそ 80~85%の値が得られ、TOA に大きく依存しない結果が得られた。また、V₀ も同様に TOA 条件による積分強度比率の変化は見らず、おおよそ 15%程度を示した。以上の結果から、IGZO-111 および IGZO-high-In の V₀ に関する積分

強度比率は、界面状態を反映している TOA=20° を含む全ての TOA で同程度の値を示し、IGZO-hihg-In/IGZO-111 界面と IGZO-high-In/SiO₂ 絶縁膜界面における酸素欠損起因の欠陥準位に有意差がないことが示唆された。

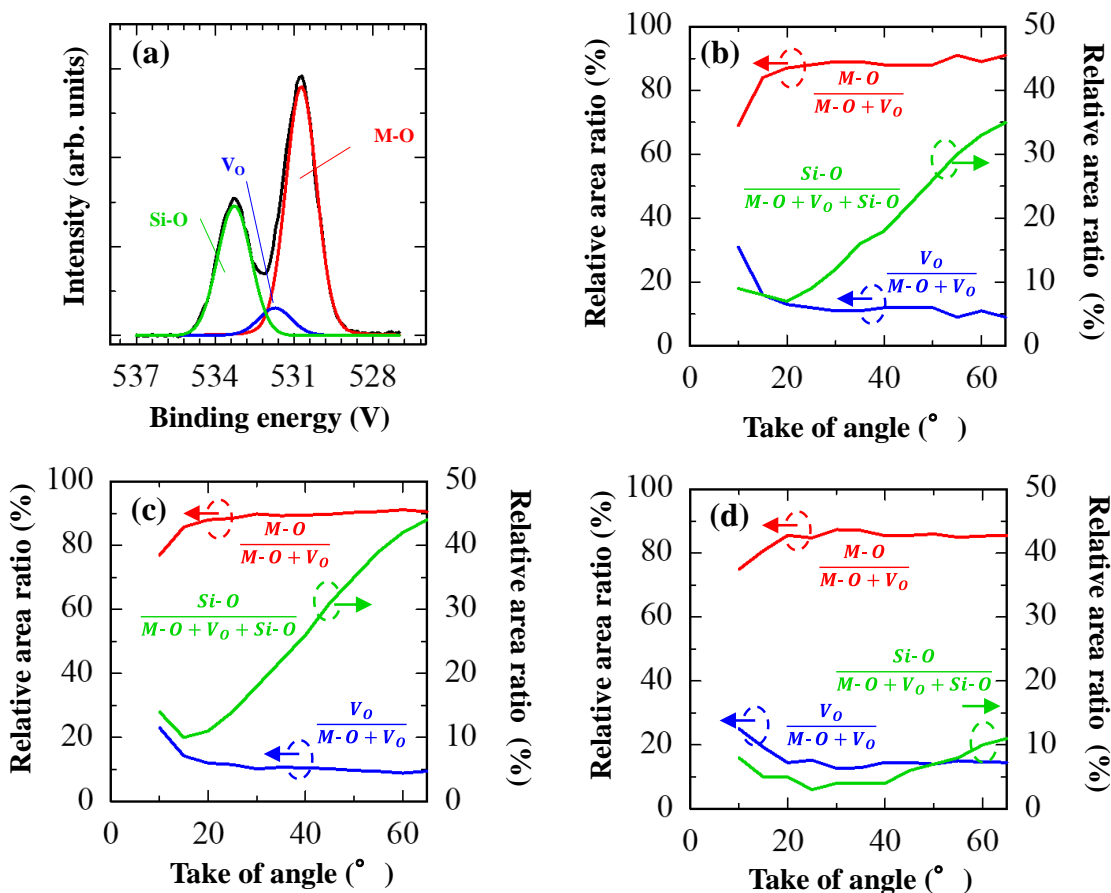


図 5.3 (a) IGZO-111 薄膜の TOA=60° における O1s スペクトルのピーク分離結果
 (b) IGZO-111、(c) IGZO-high-In、(d) IGZO-hetero 薄膜の
 O1s スペクトルに占める積分強度比率の TOA 依存性

5.4 バンドギャップ内の欠陥準位密度の解析

次にギャップ内欠陥準位を評価した。図 5.4 (a) に各 IGZO 薄膜における価電子帯スペクトルの比較、(b) にそのフェルミ準位近傍の拡大図を示す。IGZO-111 薄膜の価電子帯上端 (Valence band maximum: VBM) はフェルミ準位から~2.8 eV を示したのに対し、IGZO-high-In および IGZO-hetero 薄膜は~2.1 eV を示した。この差は IGZO-111 と IGZO-high-In のバンドギャップ差を反映しているためと考えられる。また IGZO-high-In のフェルミ準位近傍の状態密度は IGZO-111 と比較して増大しており、高密度な欠陥準位形成が確認された。しか

しながら、IGZO-hetero 薄膜のフェルミ準位近傍においても IGZO-high-In と同程度の状態密度が得られた。IGZO-high-In のピークが IGZO-hetero 比較して若干ブロードになっていることがわかるが、IGZO-high-In 層を IGZO-111 上に形成したことによる欠陥準位の減少を確認することができなかった。しかしながら、以下に示す要因が考えられることから IGZO-111 バッファ層による IGZO-high-In の欠陥準位低減はかならずしも否定することができない。一つ目の要因は、測定試料がチャンネル保護膜のない状態でアニール処理がされた点である。第2章より、高 In 組成 AOS は 200°C 以上のアニール処理によって酸素欠損が生成されることでキャリア濃度が増大することを図 2.3、2.4 より確認している。キャリア生成に起因する酸素欠損はフェルミ直上に形成されることが報告されており[7-9]、保護膜を持たない IGZO-high-In 層へのアニール処理によって高密度な欠陥準位が形成され、ヘテロ接合界面形成の影響を測定できなかった可能性が考えられる。また二つ目の要因は、HAXPES の測定が評価試料へのストレス印加前に行われた点である。第2章より、IGZO-high-In の信頼性劣化は熱ストレス試験において特に加速する結果が得られていた。この結果は、IGZO-high-In の欠陥準位が主に熱ストレスおよび電圧ストレスによって生成されていることを示唆している。IGZO-high-In TFT の伝達特性が良好な S 値を示していることから、ストレス印加前におけるフェルミ準位近傍の欠陥準位が少ないことが確かめられる。従って、今回の HAXPES 測定では IGZO-high-In と IGZO-hetero 薄膜のフェルミ準位近傍の欠陥準位密度に差がみられなかった可能性が考えられる。また、本研究におけるバンドギャップ内の欠陥準位密度測定は TOA=89°と表面からバルク近傍まで測定できる条件で実施している。これは、VBM 近傍のスペクトル強度が弱く、TOA が小さい界面敏感である条件では測定時間の制約（長時間の測定）が要求されるためである。IGZO-hetero 薄膜（20 nm）は他の単層 IGZO 薄膜（10 nm）と比較して膜厚が厚く、放出される光電子が多いために同じスペクトル積算回数でも高いスペクトル強度が得られる。図 5.4 (a) に着目してもわかる通り、8.5 eV 付近に得られる IGZO-hetero のピークは他の単層試料（10 nm）と比較して最も高いことが確認できる。これらのことを考慮して全ての評価試料における価電子帯ピーク最大値を規格化すると IGZO-hetero のフェルミ準位近傍における欠陥準位密度は、IGZO-high-In と比較して小さい可能性も考えられる。

この様に、界面形成の違いがバンドギャップ欠陥準位密度に及ぼす影響を明らかにするためには、信頼性試験と同様のストレス印加直後かつ同じ膜厚の試料によって評価する等更なる評価試料の改善が必要であることがわかった。

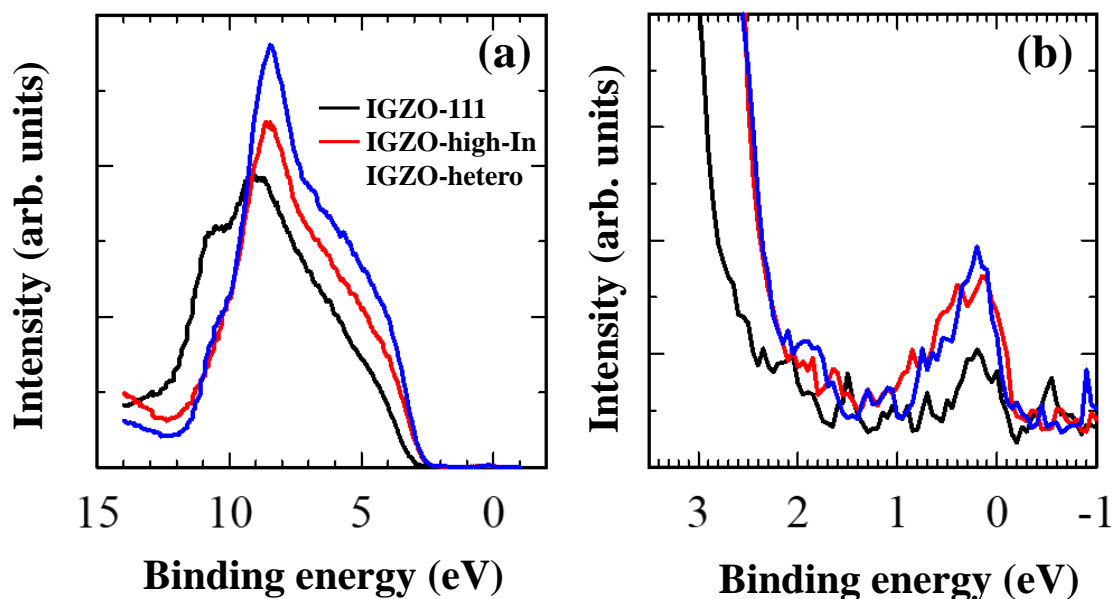


図 5.4 (a) 各 IGZO 薄膜における価電子帯スペクトルの比較と
その (b) フェルミ準位近傍の拡大図

5.5 まとめ

4章の信頼性と電界強度の相関関係より、IGZO-hetero TFTにおける信頼性向上要因は、ストレス印加によって生成される IGZO-high-In/SiO₂ 界面の欠陥準位が同じ構成元素である IGZO-111 と界面形成したことで減少することが考えられた。

本章では、IGZO-hetero TFTにおける上記の信頼性向上メカニズムに関して検討するために、HAXPESを用いた角度分解測定によって IGZO-high-In/SiO₂ 絶縁膜界面および IGZO-high-In/IGZO-111 の界面状態を化学結合状態の解析を行った。O1s スペクトルのピーク分離を行い酸素欠損由来である V_O ピークの積分強度比を検討した結果、V_O の積分強度比は、IGZO-high-In/SiO₂ 絶縁膜界面および IGZO-high-In/IGZO-111 界面で有意差がみられなかった。また、バンドギャップ内欠陥準位密度の評価においても、IGZO-hetero 薄膜のフェルミ準位近傍の欠陥準位密度は、IGZO-high-In 単層と同等の面積比率を示し、欠陥準位密度の減少は確認できなかった。これらの結果から、HAXPESによる化学結合状態の解析より IGZO-hetero 薄膜の信頼性向上メカニズムを明らかにすることはできなかった。一方、以下に示す要因から、界面欠陥準位密度の生成を抑制しているといった信頼性向上メカニズムを否定する結果とは言い難い。

1) 保護膜を有しない評価試料であること。

HAXPES はその光電子の検出深さから試料バルクを評価可能であるが、得られるスペクトルは表面近傍の化学結合状態に強く依存するため、TFT と同様の（保護膜を適用した）構造にて評価が行えない。そのため、評価試料は保護膜をもたない構造であり、その場合、In 組成の多い AOS は 200°C を超える高温熱処理によって容易に酸素欠損が生成される。

2) ストレス印加前の評価であること。

本研究で実施した HAXPES 評価は、ストレス印加前の試料を用いて行った。ストレス印加前においても、IGZO-hetero TFT のヒステリシスは IGZO-high-In TFT と比較して良好であったことから界面欠陥状態が向上していることが示唆された。一方、IGZO-high-In TFT は、熱ストレス温度の増大に伴い信頼性劣化が加速した。この結果は電圧+熱ストレスを印加することで IGZO-high-In/SiO₂ 絶縁膜界面に欠陥準位が生成されることを示唆している。従って、ストレス印加後における化学結合状態を評価することで、信頼性劣化メカニズムをより詳細に評価できると考えられる。

3) 評価試料の膜厚が異なること。

バンドギャップ内の欠陥準位密度評価では、IGZO-hetero 薄膜の膜厚（20 nm）が単層 IGZO 薄膜（10 nm）と比較して厚く、スペクトルピーク強度が異なることから厳密な相対評価を行うことができなかった。

IGZO-hetero TFT はヘテロ接合界面にポテンシャル障壁を形成し、キャリア輸送経路を変化されることで高移動度・高信頼性を示した。AOS TFT の移動度と信頼性にはトレード・オフの関係が存在するが、本研究で形成したヘテロ接合チャンネルは移動度と信頼性特性を各 IGZO 薄膜で分離し、個別に制御できることを明らかにした。この成果は、これまでの AOS TFT の課題であったトレード・オフの関係を抜け出すことのできる画期的な手法である。一方、上記に示した通りその信頼性向上メカニズムの解析には更なる詳細な解析が必要である。

参考文献

- [1] 薄膜材料デバイス研究会 編, “薄膜トランジスタ”, コロナ社 (2008).
- [2] K. Kobayashi, “High-resolution hard X-ray photoelectron spectroscopy: Application of valence band and core-level spectroscopy to materials science”, Nucl. Instrum. Methods Phys. Res. A, **547** (2005) 98-112.
- [3] K. Nomura, T. Kamiya, H. Yanagi, E. Ikenaga, K. Yang, K. Kobayashi, M. Hirao, and H. Hosono, “Subgap states in transparent amorphous oxide semiconductor, In–Ga–Zn–O, observed by bulk sensitive x-ray photoelectron spectroscopy”, Appl. Phys. Lett., **92** (2008) 202117.
- [4] K. Nomura, T. Kamiya, E. Ikenaga, H. Yanagi, K. Kobayashi, and H. Hosono, “Depth analysis of subgap electronic states in amorphous oxide semiconductor, a-In-Ga-Zn-O, studied by hard x-ray photoelectron spectroscopy”, J. Appl. Phys., **109** (2011) 073726.
- [5] H. Y. Jeong, B. Y. Lee, Y. J. Lee, J. L. Lee, M. S. Yang, I. B. Kang, M. Mativenga, and J. Jang, “Coplanar amorphous-indium-gallium-zinc-oxide thin film transistor with He plasma treated heavily doped layer”, Appl. Phys. Lett., **104** (2014) 022115.
- [6] Y. Magari, H. Makino, and M. Furuta, “Carrier generation mechanism and origin of subgap states in Ar-and He-plasma-treated In–Ga–Zn–O thin films”, ECS J. Solid State Sci. Technol., **6** (2017) Q101.
- [7] T. Kamiya, K. Nomura, and H. Hosono, “Electronic structures above mobility edges in crystalline and amorphous In-Ga-Zn-O: Percolation conduction examined by analytical model”, J. Disp. Technol., **5** (2009) 462-467.
- [8] T. Kamiya and H. Hosono, “Material characteristics and applications of transparent amorphous oxide semiconductors”, NPG Asia Mater., **2** (2010) 15.
- [9] T. Kamiya, K. Nomura, and Hosono, H. “Present status of amorphous In–Ga–Zn–O thin-film transistors”, Sci. Technol. Adv. Mater., **11** (2010) 044305.

第6章

総括

6.1 各章の要約

本論文は非晶質酸化物半導体 (Amorphous oxide semiconductor: AOS) を用いた薄膜トランジスタ (Thin-Film Transistor: TFT) における移動度と信頼性の両立を目的とし、1) キャリア抑制元素をドーブした材料組成のアプローチと、2) ヘテロ接合チャネルにより形成されるポテンシャル障壁の形成が、TFT の移動度・信頼性に与える影響についてまとめたものである。以下に各章で得られた知見を示す。

第1章 序論

本論文の背景として AOS のデバイス応用に触れ、その特徴を示した。また、高移動度 AOS TFT およびヘテロ接合チャネルの TFT 応用に関するこれまでの研究動向をまとめ、AOS TFT における移動度と信頼性にはトレード・オフの関係が存在し、その両立手法の提案および開発が現状課題であることを示した。特にスパッタリングで成膜した AOS によるヘテロ接合界面の形成とその界面に形成されるポテンシャル障壁が TFT 特性と信頼性に及ぼす影響は議論の途上であり、AOS によるヘテロ接合界面の効果を明らかにすることで AOS の学術基盤を構築することが本研究の意義であることを示した。

第2章 酸化物半導体における材料組成の違いが TFT の特性・信頼性に与える影響

本章では三種類の AOS を用いて TFT を作製し、電気特性および信頼性を比較することで材料組成が移動度と信頼性に与える影響を検討した。

検討した AOS 組成比率は以下の三種類、①In:Ga:Zn=1:1:1 atm.% (IGZO-111)、②In リッチ組成 (In/(Ga or Zn)>1 : IGZO-high-In)、③W ドープ In-Zn-O (In/(W or Zn)>1 : IWZO) である。IWZO は従来のキャリア抑制元素である Ga の代わりに、酸素結合解離エネルギーが高い W を採用した高移動度 AOS 材料である。

IGZO-high-In および IWZO 薄膜は、200°C程度の熱処理でキャリア濃度が $\sim 10^{19} \text{ cm}^{-3}$ 程度まで増大し、欠陥準位密度の低減に不可欠である高温熱処理 (300~350°C) の適用が困難であることが確認された。CrK α 線源を有する硬 X 線光電子分光 (HAXPES) による化学結合状態の解析を行った結果、膜内からの酸素脱離がキャリア生成の起源であることを

明らかにした。また、 SiO_2 保護膜の応用を検討した結果、保護膜の応用は熱処理時におけるキャリア濃度制御に効果的であることを明らかにした。さらに、このキャリア濃度の制御性向上は IGZO-high-In および IWZO 薄膜への高温熱処理 (350°C) を可能とし、正ゲートバイアス熱ストレス (Positive bias temperature stress: PBTS) における信頼性を大幅に向上できることを確認した。三種類の AOS TFT を比較した結果、IGZO-high-In TFT および IWZO TFT の移動度は、IGZO-111 と比較してそれぞれ 2 倍、3 倍高い値が得られ、In 組成増大に起因する移動度の向上が確認された。しかしながら、IGZO-high-In は PBTS 時の閾値変化量 $\Delta V_{th}=+7.0\text{V}$ と、IGZO-111 TFT の信頼性結果 $\Delta V_{th}=+1.0\text{V}$ と比較して大きな劣化がみられた。一方で IWZO TFT は IGZO-111 と同等以上の信頼性を示し、高移動度組成においても W ドープによって信頼性が向上できることを見出した。しかしながら、IGZO-high-In および IWZO 薄膜におけるキャリア制御性には依然として課題が確認され、欠陥準位が生成されやすいこと、即ち移動度と信頼性のトレード・オフの関係が依然として残っており、高移動度・高信頼性に向けた根本的解決に至っていないことが示唆された。

第3章 非晶質酸化物半導体ヘテロ接合トランジスタにおける伝達特性と信頼性

AOS ヘテロ接合 TFT による高移動度・高信頼性化に関する研究成果を示した。

キャリア抑制元素をドープした材料組成のアプローチでは、依然としてキャリア制御性に課題が確認され、高移動度・高信頼性に向けた根本的解決に至っていないことが示唆された。そのため、一種類の AOS にて移動度と信頼性の両立を目指す従来の手法ではなく、二種類の AOS を用いることで移動度と信頼性を分離して制御する手法が効果的だと考え、AOS ヘテロ構造の研究を開始した。本章では IGZO-111 および IGZO-high-In を用いて AOS ヘテロ接合 TFT を作製し、ヘテロ接合界面に形成されるポテンシャル障壁が TFT の移動度および信頼性に与える影響について検討した。

ヘテロ接合において重要な材料物性であるバンドアライメントを評価したところ、各 IGZO の伝導帯下端 (Conduction band minimum: CBM) バンドオフセットの値は $\sim 0.4\text{eV}$ が得られた。ヘテロ接合界面に CBM ポテンシャル障壁が形成されるチャネル構造 (下層 IGZO-111/上層 IGZO-high-In) を用いて TFT を作製・評価した結果、ゲート絶縁膜/半導体界面が移動度の低い IGZO-111 で形成されているにも関わらず、電界効果移動度が向上することを確認した。一方で逆構造 (下層 IGZO-high-In/上層 IGZO-111) TFT では、高い移動度を示すが IGZO-high-In 単層 TFT と同様に信頼性の劣化が確認された。また、上層および下層膜厚が移動度および信頼性に与える影響を検討した結果、上層膜厚 (IGZO-high-In) の増大に伴う移動度の増大、また下層膜厚 (IGZO-111) の増大に伴い信頼性が向上することを明らかにした。これらの結果から、ヘテロ接合を有する TFT は、移動度と信頼性を各 IGZO チャネルによって分離して制御できることが示唆された。この高移動度・高信頼性は、ヘテロ接合界面に形成されるポテンシャル障壁の形成が影響していると考察

されたが、そのメカニズム解明をデバイス特性から検討することは困難であり、4章に示すデバイスシミュレーションによるキャリア輸送解析を行った。

第4章 非晶質酸化物半導体ヘテロ接合トランジスタのキャリア輸送特性の解析

AOS ヘテロ接合チャネルは TFT の移動度および信頼性の両立に効果的であることが予想されたが、デバイス内部のキャリア輸送を直接観測することは極めて困難であった。従って、本章では ATLAS によるデバイスシミュレーションにてヘテロ接合チャネルを有する TFT のキャリア輸送特性の解析を実施し、ポテンシャル障壁がデバイス特性に与える影響を検討した。ヘテロ接合界面の CBM のポテンシャル障壁が形成されることで TFT の移動度が向上することを確認した。さらに形成されたポテンシャル障壁はヘテロ接合界面に量子閉じ込め効果を誘発し、キャリア輸送経路を変化させることで TFT の移動度を向上させる事がわかった。デバイスシミュレーション解析結果は、下層膜厚依存性、逆ヘテロ構造 TFT、ポテンシャル障壁の急峻性評価において実験結果とシミュレーション結果がよく一致する結果が得られ、実施したシミュレーション解析の妥当性が認められた。従って、実験結果とシミュレーション結果を組み合わせた相補的解析結果より、IGZO-high-In と IGZO-111 を用いて形成したヘテロ接合チャネルは、そのヘテロ接合界面に急峻なポテンシャル障壁が存在しており、そのエネルギー障壁は TFT 応用時に量子閉じ込め効果を発現させることでキャリア輸送経路を変化させ移動度を向上させていることを明らかにした。また、シミュレーション解析から電界強度を抽出し、信頼性向上メカニズムを考察した結果、ヘテロ接合形成による電界強度の減少が信頼性向上要因として働いていることを確かめた。しかしながら、実際得られた良好な信頼性は、電界強度減少効果以上の信頼性向上を示しており、他の主要因が存在することが明らかとなった。

第5章 硬 X 線光電子分光法によるヘテロ界面欠陥準位密度の解析

AOS ヘテロ接合界面はゲート絶縁膜/半導体界面と比較して欠陥準位の少ない良質な界面が形成されていることが考察された。そこで本章では硬 X 線光電子分光法 (Hard X-ray Photoelectron Spectroscopy: HAXPES) による角度分解測定によってヘテロ接合界面およびゲート絶縁膜/半導体界面の化学結合状態を同定し、比較することで信頼性向上メカニズムに関する考察についてまとめた。IGZO-high-In/IGZO-111 界面における酸素欠損起因の O1s スペクトルの積分比率は、IGZO/SiO₂ 絶縁膜界面との有意差はみられなかった。また、バンドギャップ内の欠陥準位密度の解析結果より、フェルミ準位近傍における IGZO-high-In/IGZO-111 界面と IGZO/SiO₂ 絶縁膜界面の有意差は見られなかった。以上の結果より、HAXPES による化学結合状態の解析からヘテロ接合チャネルによる信頼性向上メカニズムを明らかにすることができなかった。しかしながら、本章で実施した評価試料は 1) 保護膜を持たず TFT と異なる構造、2) ストレスを印加していない状態での測定、3) 膜厚

が異なる試料でフェルミ準位近傍の欠陥準位の比較、といった測定条件の更なる改善が必要であった。従って、上記に示した両界面で同程度の欠陥準位密度が得られた結果は、ヘテロ接合界面が欠陥準位の少ない良質な界面であるという考察を否定する結果とは言い難く、更なる信頼性向上メカニズム評価を実施する必要性を示した。

6.2 総括

AOS TFTにおける高移動度・高信頼性の両立手法に関して、1) キャリア抑制元素をドープした材料組成のアプローチ、2) ヘテロ接合界面に形成されるポテンシャル障壁、二つの視点を検討した。第2章で示した1)の研究結果より、キャリア抑制元素であるWのドープによって高移動度・高信頼性AOS TFTの実現に成功したが、キャリア制御性には依然として課題が確認され、欠陥準位が生成されやすいことが明らかとなった。この研究成果は、キャリア抑制元素のドープが移動度と信頼性の両立に有用であることを示すと同時に、一種類のAOS材料では移動度と信頼性の両立には限界があり、そのトレード・オフの関係から脱却することの困難性が示唆された。

第3章から第5章に示した2)の研究結果では、材料物性評価、デバイス特性評価およびデバイスシミュレーションを用いた相補的研究を実施することで、スパッタリングで成膜したAOS材料においてもヘテロ接合界面には急峻なポテンシャル障壁が形成されることを明らかにした。また、AOSヘテロ接合界面に形成されるポテンシャル障壁は量子閉じ込め効果を発現させ、TFT応用時にチャンネル内のキャリア輸送経路を変化させることを見出し、そのキャリア輸送経路の変化は二種類のAOS材料によって移動度と信頼性を分離して制御できることを明らかにした。これらの結果は、AOSヘテロ接合がTFTの移動度と信頼性の両立に効果的な手法であることを示し、AOS TFTにおける移動度と信頼性のトレード・オフの関係から抜け出す新たな指導原理を提案した。

6.3 今後の展望

現状、本研究で得られたヘテロ接合界面におけるポテンシャル障壁によって発現する量子閉じ込め効果は、材料が持つポテンシャル以上の移動度向上が得られていない。これはヘテロ接合によって二次元電子ガス (Two dimensional electron gas: 2DEG) を形成することができていないことを示唆している。更なる移動度向上に向けた手法の一つに3層構造による井戸ポテンシャルの形成によって、キャリア輸送経路の量子化準位を変化されることが挙げられる。AOSヘテロ接合チャンネルを用いた更なる移動度向上を実現することができれば、ヘテロ接合に関する学術意義が大きくなるであろう。なお、IGZO-111 および IGZO-high-In を用いた3層ヘテロ構造の結果は、本論文の付録内で後述しているが、この3層へ

テロ構造では、IGZO-high-In が持つポテンシャル以上の移動度向上が得られていない。この結果が得られた要因は、1) 井戸ポテンシャルの幅をド・ブロイ波長と一致するよう最適化していない、2) IGZO-111/IGZO-high-In によって形成される井戸ポテンシャルの障壁高さが充分でない、等が挙げられる。従って、IGZO-111 に代わる更なるワイドバンドギャップ AOS を用いた井戸ポテンシャルの形成は AOS の移動度向上手法の一つとして解析する価値があると考えられる。また、本論文で実施した信頼性向上メカニズム解析では、ヘテロ接合形成による信頼性向上の主要因を明らかにするまでには至らなかった。特に、HAXPES による化学結合状態の解析では評価試料の改善によってヘテロ接合界面の欠陥準位の生成を観測できる可能性が残されており、今後明らかにするべき課題である。

これまで明確にされてこなかったスパッタリグ法により成膜した AOS 同士のヘテロ接合形成は、AOS TFT の更なる高移動度・高信頼性化に寄与する可能性を秘めていると考えている。今後、AOS ヘテロ接合に関する更なる知見が創出され、次世代デバイス発展の一端となることを願っている。

謝辞

本論文は筆者が高知工科大学大学院 博士後期課程工学研究科基盤専攻在籍時（2017年4月～2020年3月）に実施した研究成果についてまとめたものであり、高知工科大学教授古田守先生にご指導賜り執筆いたしました。古田先生には本論文の添削に加え、博士課程における実験方針や研究遂行における多大なるご支援およびご教授を頂き、研究生生活を送るにあたり不自由ない環境を提供して頂きました。また、学部時代のまだまだ研究者として未熟な時期から国内外での研究報告をはじめとして、共同研究、他大学留学など研究室の垣根を越えた貴重な交流と議論の機会を多く与えてくださいました。今でも研究者として至らないところが沢山あることは重々承知しておりますが、このような経験が研究者としての能力向上に繋がったと思います。古田守先生のご指導に深く感謝致します。

高知工科大学 大学院工学研究科 基盤工学専攻 古田寛教授には、副指導教員として貴重なご助言をいただきました。特に、酸化物半導体の3層構造による量子井戸形成の提案は本研究成果の展望に大きく関わるものであり、大変参考となりました。深く御礼申し上げます。

高知工科大学 大学院工学研究科 基盤工学専攻 河野日出夫教授には、副指導教員としてナノ構造生成に関する知見から貴重なアドバイスをいただきました。中間審査でいただいたヘテロ接合界面状態に関するご質問は、3章で示したヘテロ接合の界面急峻性評価に取り組みきっかけとなりました。心より感謝致します。

高知工科大学 大学院工学研究科 基盤工学専攻 牧野久雄教授には、硬 X 線光電子分光測定評価とその解釈について数多くのご助言をいただきました。ここに深く感謝の意を表します。

高知工科大学 総合研究所 マテリアルデザインセンター長 山本哲也教授には、本論文の執筆に当たり貴重なご意見を承りました。先生からいただきましたご助言は本博士論文の位置付けを明確にすると共に本論文の完成に非常に参考になりました。ここに謹んで感謝の意を表します。

高知工科大学 クリーンルーム維持・管理担当 小松一郎様には研究遂行にあたりクリーンルームを常に最高の状態に維持して頂いておりました。研究に使用する装置のメンテナンスや TFT 作製に関して多大なるご助力を賜りました。ここに御礼申し上げます。

高知工科大学大学院博士後期課程の曲勇作氏とは、同期として研究生生活で最も多くの時間を共に過ごし、大変有意義な時間を過ごすことができました。苦悩の連続である研究生生活において切磋琢磨し、哀歓を共にしたことは精神的支えとなりました。今後のご活躍をお祈り致します。

本研究における硬 X 線光電子分光法を使用した評価は、放射光施設 SPring-8 の大学院生提案型課題（課題 No. 2019B1746）により実施しました。実験に関してご支援いただいた

公益財団法人高輝度光科学研究センターの関係者の皆様に御礼申し上げます。

本研究における SIMS 測定は、文部科学省ナノテクノロジープラットフォーム事業（分子・物質合成）の支援により奈良先端科学技術大学院大学で実施しました。関係者の皆様に深く感謝致します。

この博士課程三年間では多くの方に支えられて、本研究を成し遂げることができました。また、博士課程での研究生活を乗り越えることができたのは、家族からの惜しみない協力と理解の賜物であり、不自由なく学問に向き合えるよう配慮して頂いたことに心から感謝致します。

研究業績

第一著者論文

- [1] D. Koretomo, T. Toda, T. Matsuda, M. Kimura, and M. Furuta, “Anomalous Increase in Field-Effect Mobility in In-Ga-Zn-O Thin-Film Transistors Caused by Dry-Etching Damage Through Etch-Stop Layer”, IEEE Trans. on Electron Devices, **63** (2016) 2785.
- [2] D. Koretomo, Y. Hashimoto, S. Hamada, M. Miyanaga, and M. Furuta, “Influence of a SiO₂ passivation on electrical properties and reliability of In-W-Zn-O thin-film transistor”, Jpn. J. Appl. Phys., **58** (2019) 018003.
- [3] D. Koretomo, S. Hamada, Y. Magari, M. Furuta, “Quantum Confinement Effect in Amorphous In-Ga-Zn-O Heterojunction Channel for Thin-Film Transistor”, Materials, under review

第二著者論文

- [1] S. G. M. Aman, D. Koretomo, Y. Magari, and M. Furuta, “Influence of Deposition Temperature and Source Gas in PE-CVD for SiO₂ Passivation on Performance and Reliability of In-Ga-Zn-O Thin-Film Transistors”, IEEE Trans. on Electron Devices, **65**, (2018) 3257.
- [2] M. Furuta, D. Koretomo, Y. Magari, S. M. Aman, R. Higashi, and S. Hamada, “Heterojunction channel engineering to enhance performance and reliability of amorphous In-Ga-Zn-O thin-film transistors”, Jpn. J. Appl. Phys., **58** (2019) 090604.

共著論文

- [1] S. G. Aman, Y. Magari, K. Shimpo, Y. Hirota, H. Makino, D. Koretomo, and M. Furuta, “Low-temperature (150° C) activation of Ar+ O₂+ H₂-sputtered In-Ga-Zn-O for thin-film transistors”, Applied Physics Express, **11** (2018) 081101.
- [2] S. Sugisaki, T. Matsuda, M. Uenuma, T. Nabatame, Y. Nakashima, T. Imai, Y. Magari, D. Koretomo, and M. Kimura, “Memristive characteristic of an amorphous Ga-Sn-O thin-film device”, Scientific reports, **9** (2019) 2757.
- [3] A. Kurasaki, R. Tanaka, S. Sugisaki, T. Matsuda, D. Koretomo, Y. Magari, M. Furuta, and M. Kimura, “Memristive Characteristic of an Amorphous Ga-Sn-O Thin-Film Device with Double

Layers of Different Oxygen Density”, *Materials*, **12** (2019) 3236.

- [4] Y. Magari, S. G. M. Aman, D. Koretomo, K. Masuda, K. Simpo, and M. Furuta, “Low-temperature (150 °C) processed metal-semiconductor field-effect transistor with a hydrogenated In–Ga–Zn–O stacked channel”, *Jpn. J. Appl. Phys.*, (2019) .

国際会議

- [1] Daichi Koretomo, Tatsuya Toda, Dapeng Wang, and Mamoru Furuta, “Anomalous Increase of Field-Effect Mobility in In-Ga-Zn-O Thin-Film Transistors Caused by Dry-Etching Damage Through Etching-Stopper” presented at The 15th International Meeting on Information Display, 35-4, Daegu, South Korea, Aug., 2015. (Oral)
- [2] Daichi Koretomo, Tatsuya Toda, Tokiyoshi Matsuda, Mutsumi Kimura, and Mamoru Furuta, “Influence of Source and Drain Electrodes Dry-Etching Damages on Electrical Properties of In-Ga-Zn-O Thin-Film Transistors with Etch-Stop Layer”, International Thin-Film Transistor Conference, PAB-015, Hsinchu, Taiwan, Feb., 2016. (Poster)
- [3] Daichi Koretomo, Tatsuya Toda, Tokiyoshi Matsuda, Mutsumi Kimura, and Mamoru Furuta, “Influence of Carrier Concentration at Front- and Back-channel on Transfer Characteristics of Bottom-Gate In-Ga-Zn-O Thin-Film Transistors” presented at 230th Meeting of The Electrochemical Society, Honolulu, USA, H03-2139, Oct., 2016. (Oral).
- [4] Daichi Koretomo, Ryunosuke Higashi, and Mamoru Furuta: “Analysis of carrier transport in high-mobility InGaZnOx-hetero-channel thin-film transistor” presented at 18th International Meeting on Information Display (IMID), Busan, Korea, Aug., 2018. (Poster)
- [5] Daichi Koretomo, Ryunosuke Higashi, Shuhei Hamada, and Mamoru Furuta: “Device simulation study on carrier transport in hetero-junction channel In-Ga-Zn-O thin film transistor” presented at 7th International Symposium on Transparent Conductive Materials (TCM), Crete, Greece, Oct., 2018. (Oral)
- [6] Daichi Koretomo, Shuhei Hamada, Marin Mori, and Mamoru Furuta: “A study of heterojunction structure for In–Ga–Zn–O thin film transistor” presented at Material Research Meeting 2019 (MRM), Yokohama, Japan, Dec., 2019. (Oral)

国内会議

- [1] 是友大地, 戸田達也, Dapeng Wang, 古田守: “In-Ga-Zn-O 薄膜トランジスタにおけるソース・ドレイン電極プラズマエッチングダメージと実効チャンネル長への影響” 第 62 回応用物理学会春季学術講演会, 13a-P18-22, 東海大学 湘南キャンパス, 2015 年 3 月 (ポスター発表)
- [2] 是友大地, 戸田達也, 古田守: “In-Ga-Zn-O 薄膜トランジスタにおけるソース・ドレイン電極エッチングダメージが電界効果移動度に及ぼす影響” 第 12 回薄膜材料デバイス研究会, 31-a-O05, 龍谷大学 アバンティ響都ホール, 2015 年 10 月 (口頭発表)
- [3] 是友大地, 戸田達也, 松田時宜, 木村睦, 古田守: “デバイスシミュレーションによる In-Ga-Zn-O 薄膜トランジスタのキャリア輸送メカニズムの解析 ～バックチャンネルキャリア濃度の影響～” 2016 年度シリコン材料・デバイス研究会, 沖縄県立博物館・美術館, 2016 年 4 月 (口頭発表)
- [4] 是友大地, 橋本優太, 濱田秀平, 宮永美紀, 古田守: “In-W-Zn-O チャンネルによる薄膜トランジスタの高移動度化とその信頼性” 第 65 回応用物理学会春季学術講演会, 19p-P11-23, 早稲田大学 西早稲田キャンパス, 2018 年 3 月 (ポスター発表)
- [5] 是友大地, 古田守: “非晶質酸化物半導体ヘテロ接合におけるキャリア輸送特性とその薄膜トランジスタ特性・信頼性影響” 2019 年度応用物理学会中四国支部合同学術講演会, Ip-8, 高知工科大学 香美キャンパス, 2019 年 7 月 (口頭発表)
- [6] 是友大地, 古田守: “非晶質酸化物半導体ヘテロ接合におけるキャリア輸送特性” 2019 年第 80 回応用物理学会秋季学術講演会, 20a-B31-3, 北海道大学 札幌キャンパス, 2019 年 10 月 (口頭発表)

受賞

- [1] 第 12 回薄膜材料デバイス研究会, ベストペーパーアワード, 2015 年 10 月
- [2] 2019 年度応用物理学会中四国支部合同学術講演会, 奨励賞, 2019 年 7 月

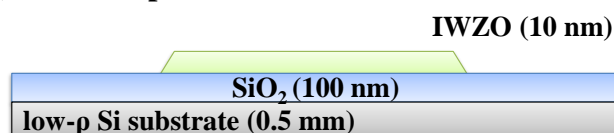
付 録

APX.1 In-W-Zn-O 薄膜トランジスタ

A1.1 保護膜を有しない構造

図 A-1 はチャンネル保護膜を有しない IWZO TFT の作製フローある。n+ Si 基板をゲート電極、熱酸化膜をゲート絶縁膜としたボトムゲート型構造を採用し、メタルマスクを用いて IWZO を成膜した。その後、ITO-S/D 電極を DC マグネトロンスパッタ装置にて成膜した。アニール条件は、大気雰囲気中で 150~350 °C、1 時間である。またこの構造における TFT のチャンネル幅およびチャンネル長は、W/L=1000/350 μm である。

(1) IWZO deposition



(2) Deposition of S/D electrodes

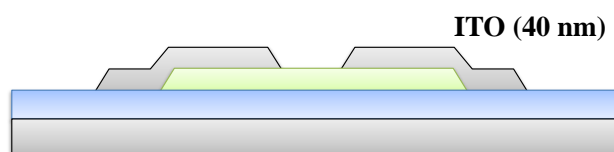


図 A-1 チャンネル保護膜無しボトムゲート IWZO TFT 作製プロセス

図 A-2 (a) にチャンネル保護膜を有しない IWZO 薄膜のキャリア濃度のアニール温度依存性を示す。未アニール時 (as-fab.) のキャリア濃度は測定下限であり、高い抵抗率であることがわかる。しかしながら、200°C と比較的低いアニール処理によってキャリア濃度が $5.1 \times 10^{19} \text{ cm}^{-3}$ まで急激に増大する結果が得られた。その高いキャリア濃度は 200°C 以上のアニール処理でも変わらず高い値を維持した。図 A-2 (b) に IWZO TFT 伝達特性のアニール温度依存性を示す。As-fab. 時の TFT はドレイン電流が低い結果が得られた。これは成膜時の酸素流量比が 49% と非常に高いことに起因して IWZO の初期膜のキャリア濃度が低いためと考えられる。一方で 150°C アニール時では閾値 0 V 付近で良好な伝達特性が得られた。伝達特性から算出したパラメータは、 $\mu_{\text{FE}} = 28.1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 、 $S.S. = 0.09 / \text{dec.}$ 、 $V_{\text{th}} = -0.5 \text{ V}$ 、 $\Delta V_{\text{th}} = 10.2 \text{ V}$ であった。この大きなヒステリシスは、ゲート絶縁膜/チャンネル界面に多量の欠陥準位が存在していることを示唆している。また、アニール温度 200°C 以上の時、閾値が負シフトし導通する結果が得られた。キャリア濃度と閾値電圧は高い相関性を示し

ており、これらの結果は、保護膜を有しない IWZO 薄膜のキャリア濃度が $100^{\circ}\text{C}\sim 200^{\circ}\text{C}$ と比較的低いアニール温度で急激に増大し、伝達特性の閾値電圧制御が非常に困難であることを示唆している。

次に 150°C アニールを施した保護膜を有しない IWZO TFT の PBTS 信頼性試験結果を図 A-3 に示す。ストレス条件は、 $V_{\text{GS}}=+20\text{ V}$ 、 $T=60^{\circ}\text{C}$ である。1000 秒と短いストレス時間で $\Delta V_{\text{th}}=+28.2\text{ V}$ と大きな劣化が見られ、ゲート絶縁膜/チャンネル界面に多量の欠陥準位密度が生成されていることを示唆された。

以上の結果から、保護膜を有しない IWZO TFT は低温熱処理によって良好な伝達特性を得る事ができるが、プロセスマージンが狭く特性制御が困難であることを明らかにした。また PBTS 信頼性が悪く、界面欠陥準位が低減していない事を明らかにした。

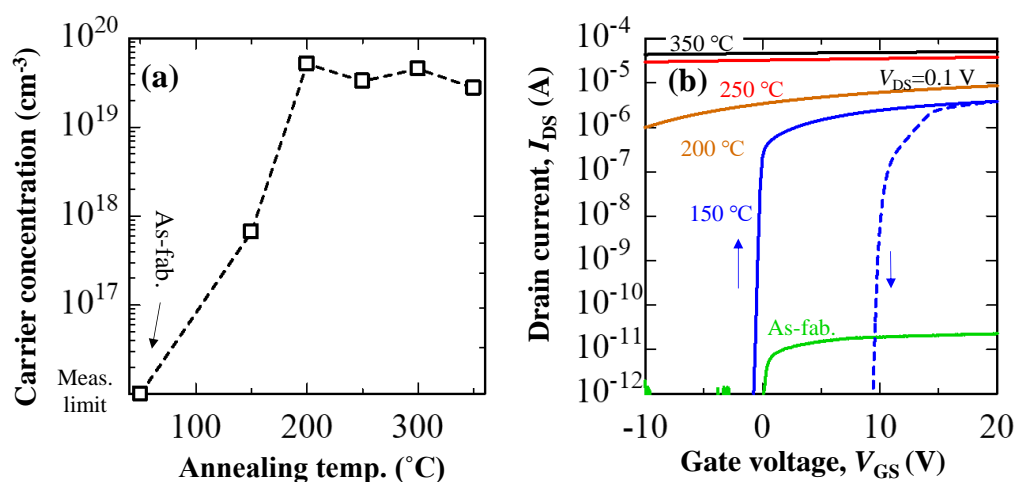


図 A-2 チャンネル保護膜を持たない IWZO 薄膜における (a) キャリア濃度および (b) 伝達特性のアニール温度依存性

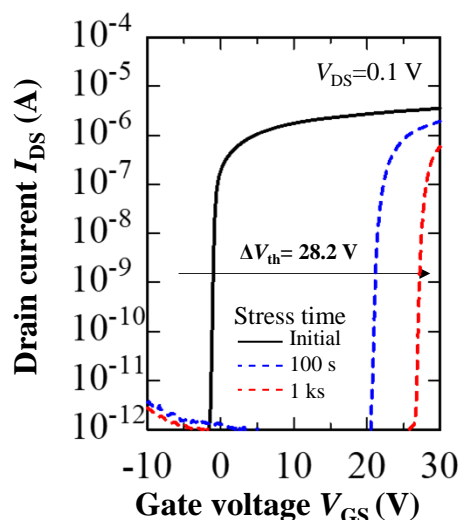


図 A-3 チャンネル保護膜を有しない IWZO TFT の PBTs 信頼性試験結果 ($V_{DS}=0.1$ V)

A1.2 閾値電圧の膜厚および酸素流量比依存性

図 A-4 に $V_{DS}=0.1$ V で評価した IWZO TFT の閾値電圧の膜厚 (t) および酸素流量比 (R_{O_2}) 依存性を示す。なお、閾値電圧のばらつきは同一基板上的 TFT を 5 つ測定し、エラーバーとして示している。まず $t=30$ nm の R_{O_2} 依存性に着目する。 $R_{O_2}=20\%$ の時、閾値電圧の平均値は -17 V 程度と負側であり、 ± 4 V のバラつきがあることがわかる。一方で、 R_{O_2} の増大に伴い閾値電圧の値は正シフトする傾向を示し、 $R_{O_2}=49\%$ の時に -9 V と最も正側の値を示した。しかしながら、依然として負側の値であり、バラつきが大きい結果が得られた。次に膜厚依存性に着目すると、IWZO 膜厚の減少に伴い閾値電圧が正シフトする傾向が得られ、バラつきも小さくなる結果が得られた。各膜厚 (10、20 nm) においても R_{O_2} の増大に伴い閾値が正シフトする傾向が得られており、 $t=10$ nm、 $R_{O_2}=49\%$ の条件で作製した TFT では閾値電圧 -1 V 程度と安定した結果が得られた。 R_{O_2} の増大に伴い閾値電圧が正シフトする要因は、酸素欠損の減少に伴うキャリア濃度の低減であると考えられる。また、膜厚の減少に伴う閾値電圧の増大の理由は、1) 膜内キャリア濃度総量の減少、2) バックチャネル領域における電界強度増大に伴い容易に空乏化が可能、の二つが考えられる[1]。

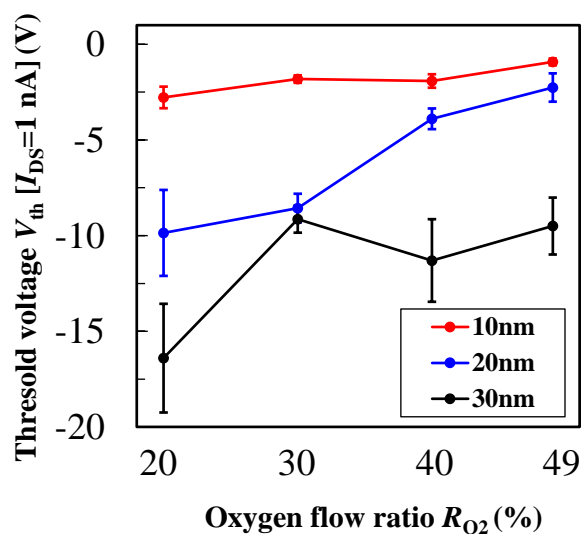


図 A-4 閾値電圧の膜厚および酸素流量比依存性 ($V_{DS}=0.1$ V)

A1.3 伝達特性および信頼性のアニール温度依存性

次に保護膜を有する IWZO TFT の伝達特性のアニール温度依存性を図 A-5 に、その TFT 特性パラメータを表 A-1 に示す。As-fab.時における伝達特性は閾値電圧が-10 V 以上負側であったが、150°Cアニール処理を施すことで-1.5 V の値が得られた。そして、アニール温度の増大に伴いこの閾値電圧は正側へシフトし、350°Cアニール時には $V_{th} = -0.7$ V が得られた。この結果はキャリア濃度のアニール温度依存性と相関関係が認められ、キャリア濃度の減少に起因して閾値電圧が正へシフトしていると考えられる。また、150°Cアニール時の移動度は 30.8 cm²/Vs であったが、250°C以上のアニールを施すことで 36 cm²/Vs 程度まで増大する結果が得られた。

図 A-6 にチャンネル保護膜を有する IWZO TFT の PBTS 信頼性試験結果を示す。150°Cアニール時における ΔV_{th} の値は+10.7 V であったが、アニール温度の増大に伴い減少し、350°Cアニール時は+0.5 V と良好な信頼性結果が得られた。この結果はアニール温度増大に伴い膜なく欠陥準位密度が減少していることを示唆しており、保護膜応用による酸素欠損生成を抑制することで、高温アニール処理を可能とし、高性能・高信頼性 IWZO TFT を実現した。

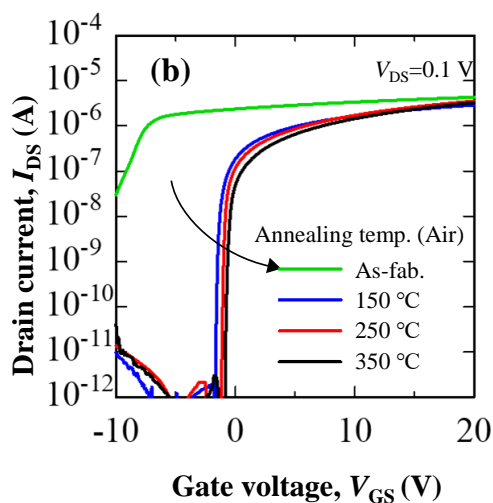


図 A-5 チャンネル保護膜を有する IWZO 薄膜における伝達特性のアニール温度依存性

表 A-1 図 A-5 の TFT 特性パラメータ

アニール温度	150	250	350
μ_{FE} ($\text{cm}^2\text{V}^{-1}\text{s}^{-1}$)	30.8	36.1	36.1
S.S. (V/dec.)	0.09	0.08	0.08
V_{th} (V)	-1.5	-1.3	-0.7
ΔV_H (V)	0.2	0.1	0.0

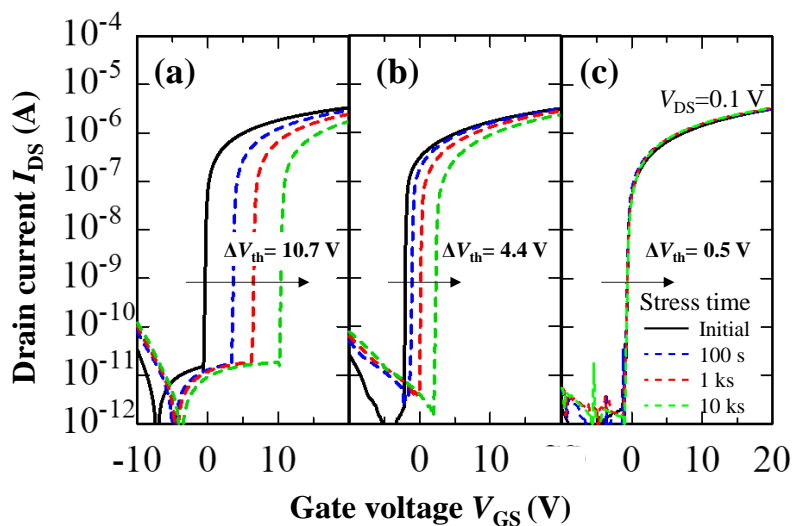


図 A-6 チャンネル保護膜を有する IWZO TFT の PBTS 信頼性試験結果 ($V_{DS}=0.1$ V)
 アニール温度 (a) 150°C、(b) 250°C、(c) 350°C

A1.4 実効チャネル長評価

IWZO TFT の電界効果移動度は IGZO と比較して約 3 倍高い値を示した。一方で、電界効果移動度は、第一章の 1.1 式で記述した通り、半導体層のディメンジョン (W および L) を用いて算出される。メタルマスクを用いて TFT を作製する場合、マスクの反りによる隙間からマイクロオーダーの設計ズレが容易に起こる。従って、メタルマスクの設計チャネル幅、設計チャネル長 (L_m) を用いて計算した場合、電界効果移動度の過大評価もしくは過少評価が誘発される可能性がある。本節では、IWZO TFT の電界移動度をより精度よく算出するためにフォトリソグラフィを使用して TFT を作製し、伝送長法 (Transmission line method: TLM) による実効チャネル長評価を行った。IGZO、IWZO ならびに ITO-S/D 電極は燐酸、酢酸、硝酸の混合液 (Phosphoric acid, Acetic acid, and Nitric acid: PAN) ならびに ITO-02 (関東化学株式会社) を用いたウェットエッチングにて加工した。設計上のチャネル幅 W は $100\ \mu\text{m}$ 、チャネル長 L は $40\sim 100\ \mu\text{m}$ である。

TLM はチャネル抵抗 (R_{tot}) を用いて実効チャネル長を算出する手法であり、 $V_{GS} - V_{th} \gg V_{DS}/2$ であるとき、 R_{tot} は以下の A-1 式

$$R_{tot} = \frac{V_{DS}}{I_{DS}} = \frac{L_m - \Delta L}{\mu_{eff} W C_i (V_{GS} - V_t)} + R_{S/D} \quad (\text{A-1})$$

により与えられる[2, 3]。ここで、 ΔL は設計チャネル長 (L_m) と実効チャネル長 (L_{eff}) の差分 ($\Delta L = L_m - L_{eff}$)、 $R_{S/D}$ は S/D 領域のシリーズ抵抗、 μ_{eff} は実効電界効果移動度である。各 V_{GS} における R_{tot} の設計チャネル長依存性の直線近似を行うことにより、近似直線の交点における L_m と R_{tot} の値から ΔL と $R_{S/D}$ の値をそれぞれ読み取ることが出来る。

図 A-7 (a) (b) に IWZO および IGZO TFT の伝達特性のチャネル長依存性、A-7 (c) (d) に IWZO および IGZO TFT の TLM 評価結果を示す。リソグラフィ工程で作製した IWZO および IGZO TFT は、メタルマスクで作製した TFT と同等の伝達特性を示した。また、設計チャネル長の増大に伴いドレイン電流が減少する傾向が得られた。これは、ドレイン電流が以下 2.2 式で与えられるためである[4]。

$$I_d = \frac{\mu_{FE} W C_i}{L} \left[(V_{GS} - V_{th}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (\text{A-2})$$

従って、各 V_{GS} の R_{tot} の L_m 依存性近似直線は交点を持つ。図 A-7 (c) (d) から算出した IWZO および IGZO TFT の ΔL は、それぞれ $+1.2\ \mu\text{m}$ と $-1.2\ \mu\text{m}$ であった。そこから算出された IWZO および IGZO TFT の電界効果移動度は $33.7\ \text{cm}^2/\text{Vs}$ と $13.1\ \text{cm}^2/\text{Vs}$ が得られ、メタルマスク時と同様に高い電界効果移動度が得られた。

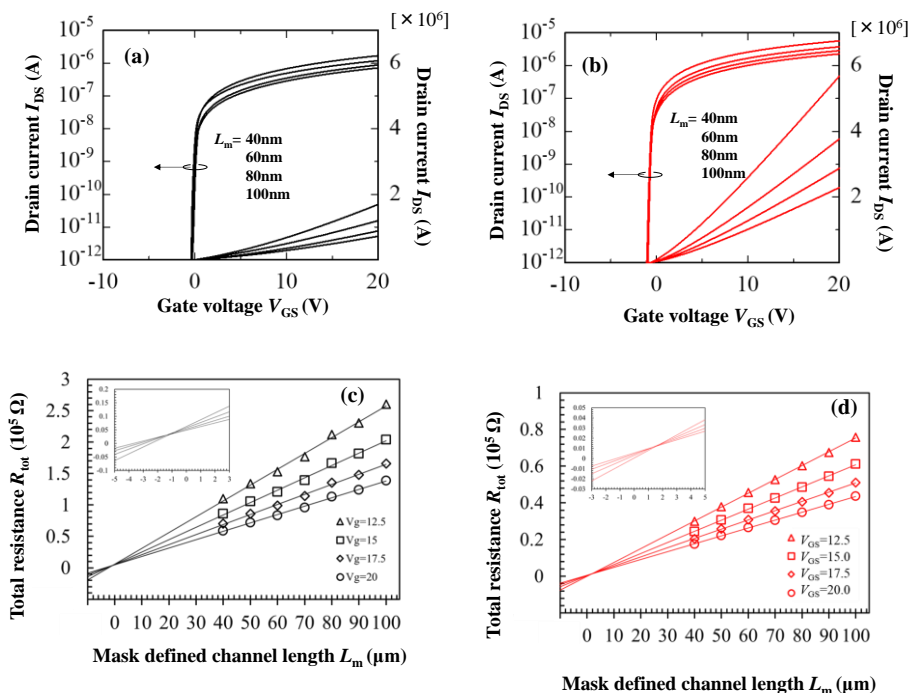


図 A-7 伝達特性のチャネル長依存性 (a) IWZO TFT (b) IGZO TFT、
TLM による実効チャネル長評価 (c) IWZO TFT (d) IGZO TFT
($V_{DS}=0.1$ V、大気雰囲気 350°C 1 時間アニール)

APX. 2 各層の材料物性が電界効果移動度に与える影響

本節では、ヘテロ接合チャネルを有する TFT (IGZO-hetero) における本文では記述しなかったデバイスシミュレーション結果についてまとめた。また、6 章の今後の展望でも示した 3 層ヘテロ構造による更なる移動度の向上に関してデバイスシミュレーションと実際に作製したデバイスから検討を行った。

A2.1 上層膜厚がキャリア輸送経路に及ぼす影響

図 A-8 はデバイスシミュレーションより算出した IGZO-hetero TFT における伝達特性の上層膜厚依存性である。上層膜厚 (IGZO-high-In) が 0 nm の場合、つまり、IGZO-111 単層 (10 nm) の時、ゲート電圧の増大に伴い電界効果移動度 (μ_{FE}) が増大し、 $\mu_{FE}=11.8 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ を示した。一方、上層膜厚が 2.5 nm に増大した時、低いゲート電圧領域 ($V_{GS} \leq 10$ V) で μ_{FE} が $20 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ を超える結果を示した。上層膜厚が非常に薄い条件においても μ_{FE} が増

大する傾向は、3章の図3.7に示した実際に作製したTFT特性とは異なる傾向である。これは、デバイスシミュレーション上では、2.5 nmと非常に薄い膜厚であっても理想的な薄膜をモデリングできるためと考えられる。実際のデバイスの場合、IGZO-high-Inを2.5 nm成長させるための成膜時間は40秒程度であり、非常に薄い膜は成長初期段階のため島状成長している可能性が考えられる。島状成長過程では、S/D電極間におけるキャリア輸送経路を形成できないため、移動度の向上が確認されない。

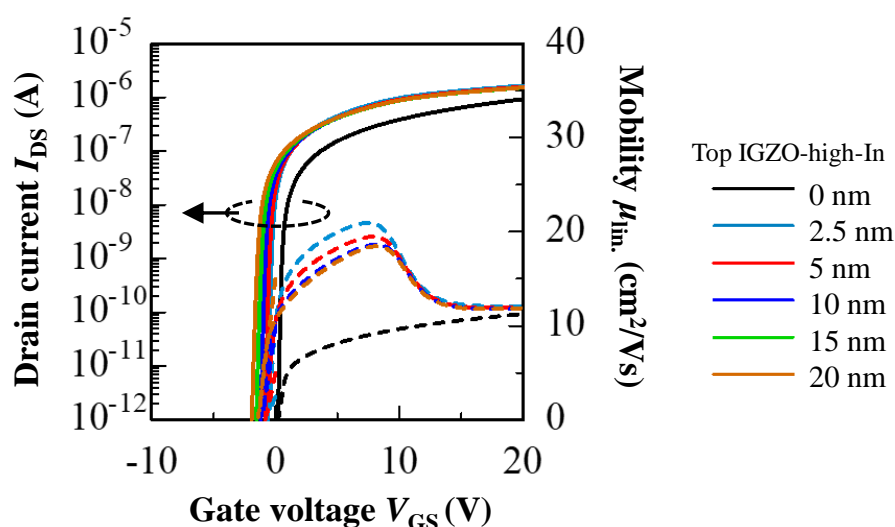


図 A-8 デバイスシミュレーションより算出した IGZO-hetero TFT における伝達特性の上層膜厚依存性

A2.2 下層薄膜のキャリア濃度

ヘテロ接合を有する IGZO TFT の移動度向上手法をデバイスシミュレーション上で検討する。これまでの結果から量子閉じ込め効果は、チャンネル内部のキャリア輸送変化（ゲート絶縁膜/チャンネル界面からヘテロ接合界面を流れる）を誘発し TFT の移動度向上へ寄与することを明らかにした。しかしながら、この移動度の向上は、ヘテロ接合を形成している上層薄膜の移動度と同程度、すなわち材料物性を超える移動度が得られていないのが現状である。本項ではヘテロ接合チャンネルによる更なる移動度向上を目指し、下層 IGZO-111 薄膜のキャリア濃度と移動度の相関関係を検討した。これは、下層薄膜のキャリア濃度の増大によってヘテロ接合界面へのキャリア注入効果が促進され、ヘテロ接合界面のキャリア濃度が高くなることで移動度が向上することを期待したためである。

図 A-9 に IGZO-hetero TFT における伝達特性および CBM の下層薄膜 (IGZO-111) のキャリア濃度依存性を示す。なお CBM の IGZO-111 キャリア濃度依存性は $V_{GS}=0$ V における

値を抽出した。図 A-9 (a) より、IGZO-111 のキャリア濃度が $1 \times 10^{14} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ へ増大した時、 V_{th} が 0.1 V 程度負シフトしたが、伝達特性に大きな変化は見られなかった。一方、このキャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以上に増大した場合、 V_{th} が更に負シフトする傾向を示し、 $1 \times 10^{18} \text{ cm}^{-3}$ で V_{th} が -5 V 程度負シフトする結果が得られた。しかしながら、キャリア濃度の増大に伴うドレイン電流値の向上は確認されず、算出される移動度に変化はみられなかった。

図 A-9 (b) より、ゲート絶縁膜/IGZO-111 界面近傍のフェルミ準位は、IGZO-111 のキャリア濃度増大に伴い CBM に近づく挙動を示した。ここで IGZO-111 のキャリア濃度増大に伴いヘテロ接合界面近傍における IGZO-high-In のフェルミ準位も CBM に近づく挙動が確認された。この結果は、IGZO-111 のキャリア濃度増大によって、ヘテロ接合界面への下層からのキャリア注入効果が促進していることを示唆している。IGZO-111 のキャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ の時、ヘテロ接合界面のフェルミ準位は 0.02 eV 程度 CBM に近づいた。一方、キャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以上の場合、ヘテロ接合界面近傍における IGZO-high-In のフェルミ準位は CBM を下回る ($E_c - E_f$ が負の値を示す) 結果が得られた。これらの結果は、IGZO-111 のキャリア濃度増大に伴う V_{th} の負シフトがヘテロ接合チャネル界面近傍へのキャリア蓄積、すなわち二次元電子ガス形成に起因すること示唆している。

以上の結果より、キャリア注入によるヘテロ接合界面におけるキャリア濃度の増大が可能であることを明らかにしたが、これは、閾値電圧の負シフトを誘発し、移動度向上に大きな影響を及ぼさない結果が得られた。しかしながら、このデバイスシミュレーションでは、量子化準位などを考慮した移動度モデルを採用していないため、キャリア蓄積が起こるといふシミュレーション結果は、実際の TFT における更なる移動度向上の可能性を示唆している。

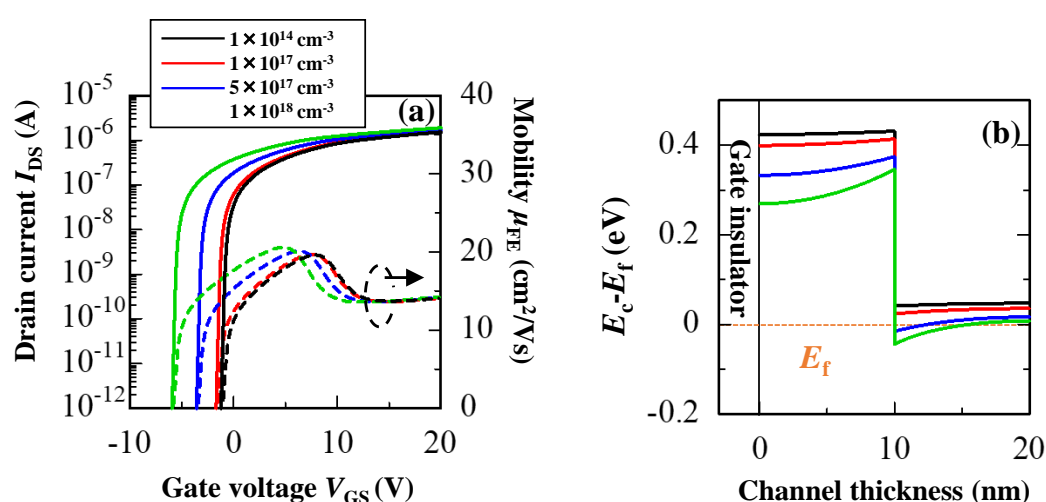


図 A-9 IGZO-hetero TFT における

(a) 伝達特性および、(b) $V_{GS}=0 \text{ V}$ 時の CBM の下層キャリア濃度依存性

A2.3 ゲート絶縁膜の誘電率および膜厚

本項では、ゲート絶縁膜の誘電率 (ϵ) および膜厚 (t) が TFT の移動度に与える影響を検討した。ゲート絶縁膜の誘電率増大および薄膜化はいずれもチャネル内部の電界強度を増大させるため、ヘテロ接合界面におけるキャリア濃度の更なる増大が見込め、移動度が向上する可能性が考えられる。これまでのシミュレーションで用いていたゲート絶縁膜のパラメータである $\epsilon=3.9$ 、 $t=100\text{ nm}$ を標準条件とし、 ϵ は Al_2O_3 を想定して 7.8 まで増大し、 t は 30 nm まで薄膜化した。図 A-10 (a) に IGZO-hetero TFT における伝達特性のゲート絶縁膜の誘電率および膜厚の影響を示す。ゲート絶縁膜の誘電率が 3.9 から 7.8 に増大した時 ($t=100\text{ nm}$ 固定)、 $V_{\text{GS}}=20\text{ V}$ におけるドレイン電流は、1.7 から 2.9 μA まで増大した。これは、誘電率が増大することでゲート絶縁膜のキャパシタンスが増大するためである。しかしながら、算出される移動度の向上は確認されなかった。ここで移動度のゲート電圧依存性に着目すると、移動度のピークが低電圧側にシフトする結果が得られ、高ゲート電圧領域における移動度の増大が確認された。また t が 100 nm から 30 nm に減少した時 ($\epsilon=7.8$ 固定)、移動度のピークはさらに低ゲート電圧側にシフトし、高ゲート電圧領域における移動度が増大した。以上の結果から、電界強度の増大に伴い、移動度ピークが低電圧側へシフトかつ高ゲート電圧領域における移動度が増大する傾向を示すことがわかった。

この様な傾向を示す要因を明らかにするために、フロントチャネル界面およびヘテロ接合界面におけるキャリア濃度を抽出した。図 A-10 (b) (c) に、両界面におけるキャリア濃度のゲート絶縁膜の誘電率および膜厚依存性を示す。ヘテロ接合界面のキャリア濃度は電界強度の増大 (ϵ の増大および t の減少) に伴い低電圧領域で増大する傾向が得られた。しかしながら、その増大量は 1 桁以下と小さい。一方、フロントチャネルのキャリア濃度は電界強度の増大に伴い低電圧領域で大幅に増大する傾向が得られた。 $V_{\text{GS}}=5\text{ V}$ 以下におけるフロントチャネルのキャリア濃度は最大で 5 桁以上増大した。この結果より、少ないゲート電圧で、フロントチャネルのキャリア濃度がヘテロ接合界面と同等の値まで増大できることがわかった。これらの結果は、ヘテロ接合界面を支配的に流れていたキャリア輸送経路が、より低いゲート電圧印加でフロントチャネルを流れるキャリア輸送経路へ容易に変化することを示している。従って、移動度のピークが低ゲート電圧側へシフトした要因は、電界強度の増大に伴いフロントチャネル界面におけるキャリア濃度が急激に増大し、ヘテロ接合チャネルを流れていたキャリアがフロントチャネル界面にも流れ始めたためである。また高ゲート電圧領域における移動度の増大は、フロントチャネルのキャリア濃度の最大値の増大に伴い材料移動度が増大したためと考えられる。本研究のデバイスシミュレーションでは、実験で得られた μ - n プロットを定義しており、キャリア濃度の増大に伴い材料の移動度が増大するモデルを採用している。従って、ゲート絶縁膜および誘電率を増大させる手法は、ヘテロ接合界面を流れるキャリア輸送メカニズムに大きく影響を及ぼすことから、移動度向上手法には適していないことが予想された。

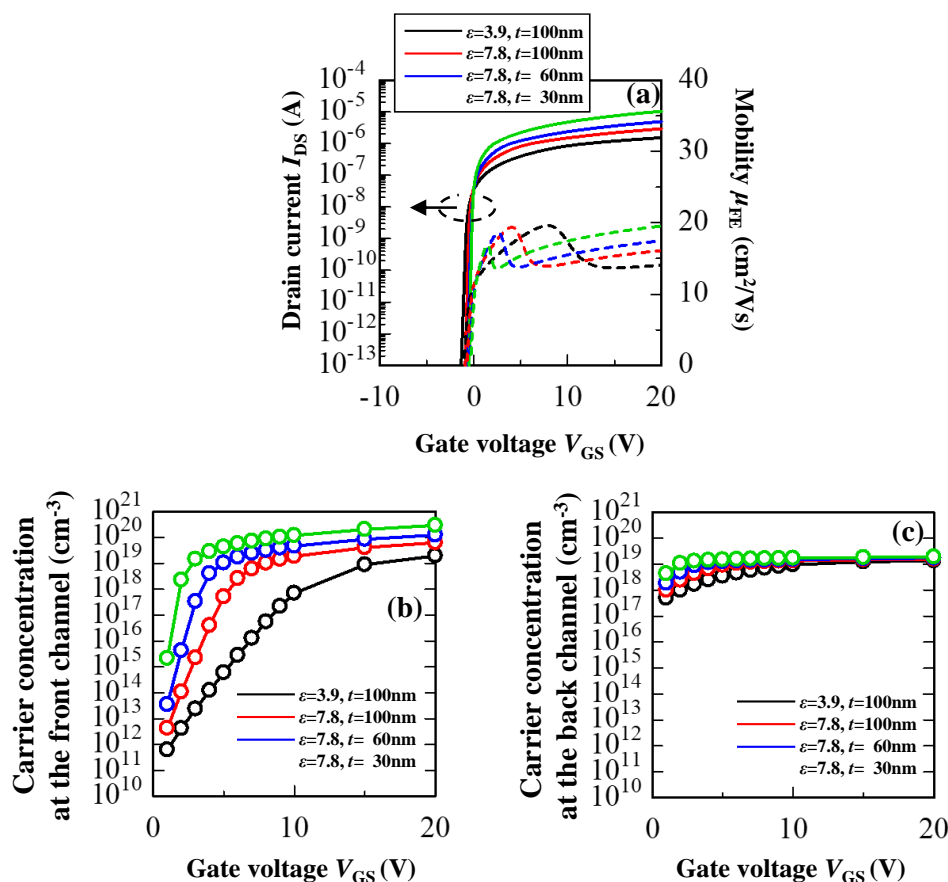


図 A-10 (a) IGZO-hetero TFT における伝達特性のゲート絶縁膜の誘電率および膜厚依存性 (b) フロントチャンネル界面および (c) ヘテロ接合界面におけるキャリア濃度のゲート絶縁膜の誘電率および膜厚依存性

APX.3 3層構造によるヘテロ接合

本節では、3層構造を採用することでヘテロ接合界面を二つ持つポテンシャル井戸を形成することで更なる TFT の移動度向上に取り組んだ。図 A-11 は実際に作製した3層ヘテロ接合チャンネルを有する IGZO TFT の伝達特性を示している。中間層となる IGZO-high-In の膜厚を変化させており、IGZO-111/IGZO-high-In/IGZO-111= (a) 5/10/5 nm、(b) 5/5/5 nm である。また表 A-1 に図 A-11 から算出した TFT 特性パラメータを示す。IGZO-high-In の膜厚が 10 nm の3層ヘテロ接合 TFT では、 $\mu_{FE} = 22.3 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 、 $S.S. = 0.09 \text{ V/dec.}$ 、 $V_{th} = -1.3 \text{ V}$ 、 $V_H = 0 \text{ V}$ を示し、3章で示した2層のヘテロ接合 TFT を同程度の TFT 特性が得られた。また、IGZO-high-In の膜厚が 5 nm の場合においても、移動度が $23.4 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ を示し微増する結果が得られたものの、2層ヘテロ接合 TFT の移動度と比較して増大する結果は得られな

かった。従って、3層構造による更なる移動度の向上は、6章の展望に示した通り IGZO-111 に代わる更なるワイドバンドギャップ AOS を用いた井戸ポテンシャルの形成などによって解析を行う必要があると思われる。

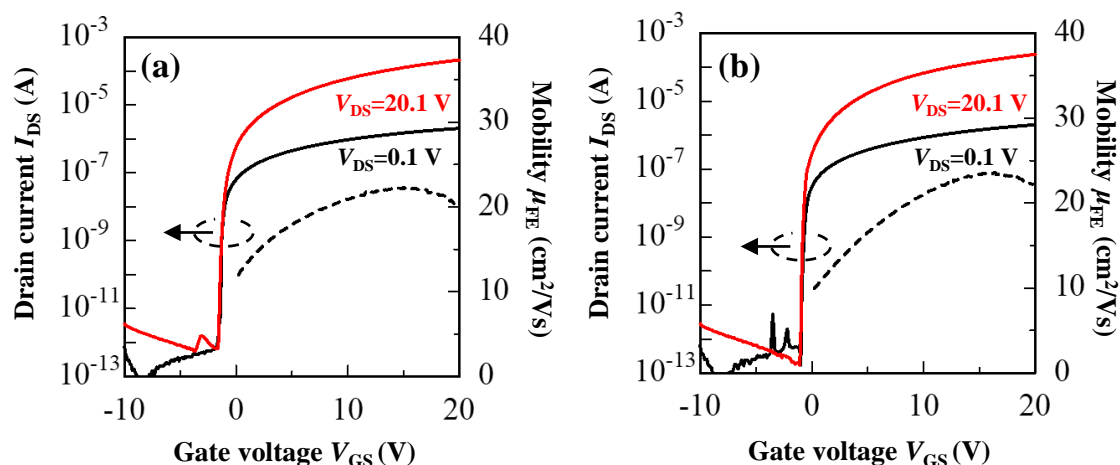


図 A-11 実際に作製した 3 層ヘテロ接合チャンネルを有する IGZO TFT の伝達特性 IGZO-111/IGZO-high-In/IGZO-111= (a) 5/10/5 nm、(b) 5/5/5 nm

表 A-1 図 A-11 の TFT 特性パラメータ

thickness	5/10/5 nm	5/5/5 nm
μ_{FE} ($\text{cm}^2\text{V}^{-1}\text{s}^{-1}$)	22.3	23.4
S.S. (V/dec.)	0.09	0.09
V_{th} (V)	-1.3	-1.1
V_H (V)	0.0	0.0

APX.4 非晶質酸化物半導体成膜時の水素導入効果

A4.1 キャリア濃度に及ぼす影響

本論文の 2 章で示した通り、In 組成比が高い非晶質酸化物半導体 (Amorphous oxide semiconductor: AOS) は、キャリア制御が困難であり、特に 200°C 程度の低温アニールによって容易にキャリア濃度が増大することを明らかにした。このキャリア濃度制御の難しさは高移動度 AOS を用いた TFT の低温プロセス化に対する課題である。本節では、高移動度 AOS のキャリア濃度低減手法として成膜時の水素導入を検討した。我々の研究室では IGZO (In:Ga:Zn=1:1:1 atm.%) 成膜時の成膜ガスとして Ar と O₂ に加えて H₂ ガスを添加することで、成膜初期のキャリア濃度は増大するものの 150°C 程度の熱処理によってキャリア濃度を

劇的に減少できることを報告している[5]。この成膜時の水素導入手法が高移動度 AOS においてもキャリア濃度の制御性向上に寄与することを期待し、IGZO-high-In 成膜時の酸素流量比 ($R(O_2)$) および水素流量比 ($R(H_2)$) を変化させ、その材料物性および TFT 応用を実施した。

IGZO-high-In 薄膜は本論文の 2 章および 3 章で使用した RF マルチカソードスパッタ装置を用いて成膜した。成膜条件は RF 電力 200 W、非加熱、合計ガス流量 10 sccm と 2 章および 3 章で同条件である。なお、成膜ガスは Ar/H₂ 混合ガス、O₂ ガス、Ar ガスの 3 種類を使用してチャンバー内に流入し、成膜時の $R(O_2)$ および $R(H_2)$ を変化させた。図 A-11 (a) は $R(H_2)=0\%$ の条件において $R(O_2)$ を変化させて成膜した IGZO-high-In におけるキャリア濃度のアニール温度依存性を示している。IGZO-high-In は $R(O_2)$ が 2~5% と低い条件では成膜初期膜 (as-depo.) において $\sim 10^{19} \text{ cm}^{-3}$ を超える高いキャリア濃度を示した。一方、 $R(O_2)$ が 10~49% と高い条件では as-depo. 時に測定限界 ($\sim 10^{16} \text{ cm}^{-3}$ 以下) を示し、 $R(O_2)$ が増大に伴うキャリア濃度の減少が確認された。しかしながら、それらのキャリア濃度は 350°C の熱処理を施すことで $\sim 10^{18} \text{ cm}^{-3}$ と高い値を示し、キャリア濃度の制御性に課題が見られた。これらの傾向は 2 章で示した抵抗率の $R(O_2)$ 依存性と対応がとれる結果である。

図 A-11 (b) に $R(O_2)=10\%$ の条件において各 $R(H_2)$ で成膜した IGZO-high-In におけるキャリア濃度のアニール温度依存性比依存性を示す。 $R(H_2)=2\%$ の水素を導入した時、アニール温度増大に伴うキャリア濃度の増大が抑制され、アニール温度 150°C におけるキャリア濃度は $3.6 \times 10^{17} \text{ cm}^{-3}$ を示した。この値は $R(H_2)=0\%$ のキャリア濃度 $1.1 \times 10^{19} \text{ cm}^{-3}$ と比較すると 2 桁低い値である。また、 $R(H_2)$ が 5% 以上に増大した時、as-depo. 時におけるキャリア濃度は 10^{19} cm^{-3} 以上まで増大した。一方、この水素導入に伴い増大した as-depo. 時におけるキャリア濃度は、150°C と低いアニール処理によって 2 桁減少し、350°C のアニールを施してもキャリア濃度は大きく変化することなく、 $\sim 10^{17} \text{ cm}^{-3}$ 程度の値を維持した。

図 A-11 (c) に各 $R(H_2)$ で成膜した IGZO-high-In における 150°C 熱処理後のキャリア濃度の $R(O_2)$ 依存性を示す。 $R(H_2)=0\%$ における IGZO-high-In のキャリア濃度は $R(O_2)=20\%$ 以下の条件では 10^{19} cm^{-3} 以上の値を示したが、 $R(O_2)=30\%$ の条件で 10^{17} cm^{-3} 程度で減少した。この結果は、150°C における IGZO-high-In のキャリア濃度は、成膜時に多くの酸素を流入しなければ制御できないことを示唆している。 $R(O_2)$ の増大は成膜時の基板ダメージの増大や、成膜レート低下、プラズマの不安定化などのデメリットが挙げられる[6]。一方、 $R(H_2)=5\%$ の水素を導入した場合、 $R(O_2)$ が 5~10% と少ない条件においてキャリア濃度が 10^{17} cm^{-3} 程度まで減少した。また、 $R(O_2)=10\%$ における 150°C アニール時のキャリア濃度の $R(H_2)$ 依存性に着目すると、 $R(H_2)$ が 2% から 9% に増大した時、キャリア濃度が $7 \times 10^{16} \text{ cm}^{-3}$ 程度減少した。

以上の結果から、IGZO-high-In 成膜時の水素導入は、熱処理に伴うキャリア濃度の増大を抑制でき、少ない酸素流量比でキャリア濃度を制御できることを明らかにした。これらの結果を踏まえ、次節では IGZO-high-In 薄膜の低温プロセス TFT への応用を検討する。

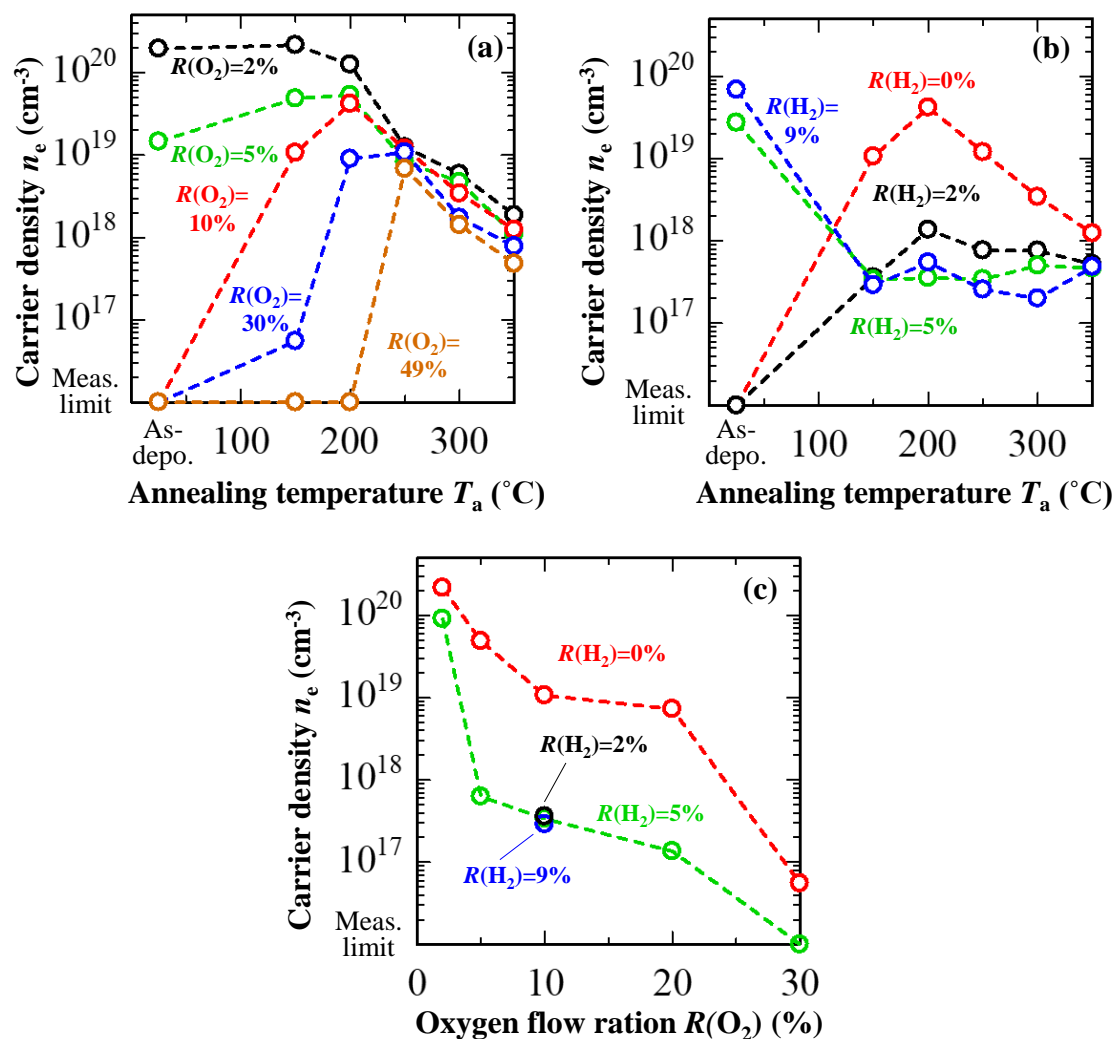


図 A-11 (a) $R(O_2)$ を変化させて成膜した IGZO-high-In における
 キャリア濃度のアニール温度依存性 ($R(H_2)=0\%$)
 (b) $R(H_2)$ を変化させて成膜した IGZO-high-In における
 キャリア濃度のアニール温度依存性 ($R(O_2)=10\%$)
 (c) $R(H_2)$ を変化させて成膜した IGZO-high-In における
 150°C熱処理後のキャリア濃度の $R(O_2)$ 依存性

A4.2 薄膜トランジスタの伝達特性に及ぼす影響

前節では、IGZO-high-In 成膜時に水素を導入することで熱処理に伴うキャリア濃度の増大が抑制され、少ない酸素流量比においてもキャリア濃度の制御が可能であることを明らかにした。本節では、その水素導入効果が TFT の伝達特性および信頼性に及ぼす影響に関して検討する。加えて、水素導入をした IGZO-high-In における $R(O_2)$ の影響についても検討を行い、成膜時の水素と酸素の影響を明らかにする。本節の TFT は保護膜を有しないボトムゲート型構造であり付録 APX. 1 に示した作製フローと同じように熱酸化膜基板上に作製した。なお、S/D 電極は Mo と Al を積層させた構造 (Mo/Al/Mo=50/50/20 μm) を使用し、S/D 電極形成前に大気雰囲気 150°C で 1 時間のミドルアニール処理を施した。そして、S/D 形成後にポストアニールとして大気雰囲気 150°C で 1 時間実施し、TFT を評価した。

図 A-12 に 150°C のアニール処理を施した IGZO-high-In TFT の伝達特性を示す。また、表 A-2 に図 A-12 の伝達特性から算出した TFT のパラメータを示す。図 A-12 (a) は $R(H_2)=0\%$ の IGZO-high-In TFT における伝達特性の $R(O_2)$ 依存性である。 $R(O_2)$ が 20% 以下の条件では、TFT が導通しておりスイッチング特性を示さなかった。一方、 $R(O_2)$ が 30% に増大したとき、閾値電圧 (V_{th}) 0 V 付近でスイッチング特性を示し、電界効果移動度 (μ_{FE}) 20 $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ が得られた。しかしながら、ヒステリシス (V_H) が +12.3 V と大きな値を示した。また、 $R(O_2)=49\%$ とさらに増大した時、 V_{th} が 0 V 付近でスイッチング特性が得られたものの、ドレイン電流が低く、 V_H がおよそ +18 V と大きい結果が得られた。 $R(O_2)$ が 30% 以上の条件でスイッチング特性を示すという結果は、前項の図 A-11 で得られたキャリア濃度の $R(O_2)$ 依存性との対応がとれる結果である。しかしながら、IGZO-high-In 成膜時の $R(O_2)$ 増大はキャリア濃度を減少させ TFT の V_{th} の制御性向上に寄与する一方で、ドレイン電流の減少やヒステリシスの増大など伝達特性の劣化が誘発されることを明らかにした。

図 A-12 (b) に $R(O_2)=10\%$ の IGZO-high-In TFT における伝達特性の $R(H_2)$ 依存性を示す。 $R(H_2)=5\%$ の水素を導入することで $R(O_2)$ が少ない条件においても TFT がスイッチング特性を示した。また、 $R(H_2)$ が 5% の TFT の V_{th} は -5.8 V が得られたのに対し、 $R(H_2)$ が 9% に増大した時、 V_{th} が -2.0 V まで正シフトする結果が得られた。これらの水素導入 TFT は移動度 20 $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ 程度、 $V_H=0$ V と良好な値が得られた。次に $R(H_2)=5\%$ の IGZO-high-In TFT における伝達特性の $R(O_2)$ 依存性を図 A-12 (c) に示す。 $R(O_2)$ の増大に伴い V_{th} が正シフトし、 $R(O_2)=30\%$ では $V_{th}=-1.6$ V が得られた。また、 V_H は高い $R(O_2)$ 条件にもかかわらず良好な値 (+0.1 V) を示した。この結果は水素を導入することで、界面欠陥準位の生成が抑制されていることを示唆している。以上の結果から、 $R(H_2)$ もしくは $R(O_2)$ の増大によって V_{th} を制御可能であり、特に成膜時の水素導入は界面欠陥準位の低減効果があることが示唆された。

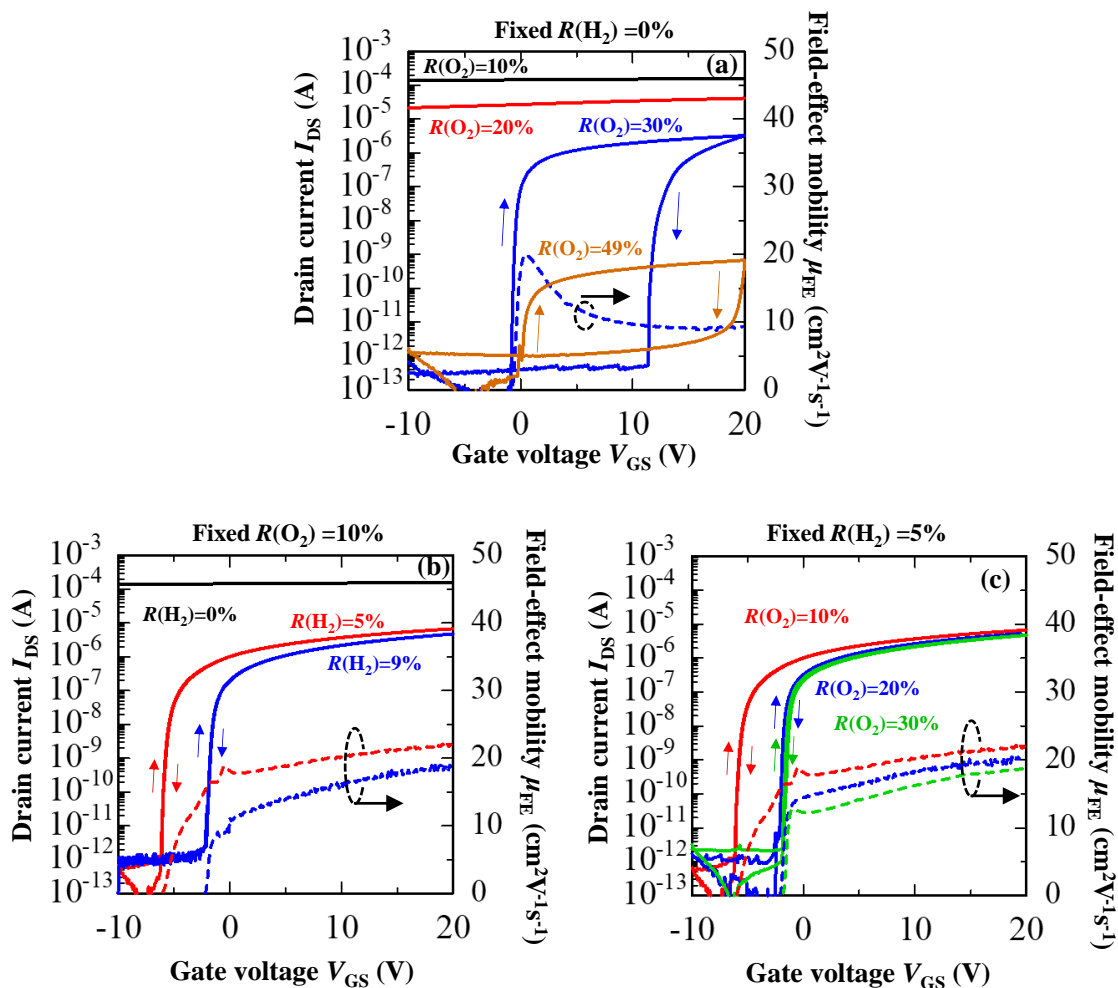


図 A-12 150°Cのアニール処理を施した IGZO-high-In TFT の伝達特性 ($V_{DS}=0.1$ V、 $W/L=1000/350$ μm)

(a) $R(\text{O}_2)$ 依存性 ($R(\text{H}_2)=0\%$)、(b) $R(\text{H}_2)$ 依存性 ($R(\text{O}_2)=10\%$)
 (c) $R(\text{O}_2)$ 依存性 ($R(\text{H}_2)=5\%$)

表 A-2 図 A-12 の伝達特性から算出した TFT のパラメータ

$R(\text{O}_2)-R(\text{H}_2)$ (%)	μ_{FE} ($\text{cm}^2\text{V}^{-1}\text{s}^{-1}$)	$S.S.$ (V/dec.)	V_{th} (V)	V_H (V)
30-0	20.0	0.09	-0.6	+12.3
49-0	-	0.26	+0.2	~ +18
10-5	22.1	0.11	-5.8	0
10-9	18.9	0.10	-2.0	0
20-5	20.3	0.09	-1.7	+0.1
30-5	18.7	0.09	-1.6	+0.2

A4.3 薄膜トランジスタの信頼性に及ぼす影響

次に水素導入が TFT の信頼性に及ぼす影響を検討した。半導体層のバックチャネル界面への水分子吸着や酸素脱離は信頼性に大きな影響を及ぼすことが知られているため[7]、信頼性評価を行うために TFT へ保護膜を適用した。低温プロセス TFT における保護膜には、150°C 以下で硬化可能なポリマー絶縁膜である SU-8 (2000.5, Microchem GmbH) を用いた。SU-8 はエポキシベースのネガティブフォトリソグレイドであり、紫外線を照射し硬化させることにより、高い透明性、化学的安定性を有する永久絶縁膜として用いる事ができる [8, 9]。

正ゲートバイアス印加熱ストレス (Positive bias temperature stress: PBTS) 試験は、本論文と同条件である $V_{GS}=+20\text{ V}$ 、 $T=60^\circ\text{C}$ のストレス条件で 10,000 秒実施した。また本項では負ゲートバイアス印加熱ストレス (Negative bias temperature stress: NBTS) も実施しており、ストレス電圧条件は $V_{GS}=-20\text{ V}$ である。図 A-13 に $R(\text{O}_2)\text{-}R(\text{H}_2)=$ (a) 0-49%、(b) 10-5%、(c) 10-9%、(d) 30-5% で作製した IGZO-hetero TFT の PBTS 試験における伝達特性の変化を示す。水素未導入条件である $R(\text{O}_2)\text{-}R(\text{H}_2)=0\text{-}49\%$ の TFT は、10 秒と短いストレス印加で V_{th} が大きく正シフトし、10000 秒後の V_{th} のシフト量 (ΔV_{th}) は +28.4 V を示した。一方、水素導入条件である $R(\text{O}_2)\text{-}R(\text{H}_2)=10\text{-}5\%$ における TFT は、ドレイン電流の低下や S 値の増大などは確認されず、 ΔV_{th} の値は -0.3 V と TFT 特性の大きな劣化はみられなかった。 $R(\text{H}_2)$ が 9% に増大した時 (図 A-13 (c))、サブスレッショルド領域でわずかなドレイン電流の劣化がみられたものの、 ΔV_{th} は +0.1 V と水素増大に伴う信頼性劣化は起きなかった。一方、水素導入条件において $R(\text{O}_2)$ が 30% に増大した時 (図 A-13 (d))、サブスレッショルド領域におけるドレイン電流の減少、および V_{th} の正シフト量が増大 ($\Delta V_{th}=1.4\text{ V}$) した。

図 A-13 (e) に各 $R(\text{O}_2)\text{-}R(\text{H}_2)$ 条件で作製した IGZO-high-In TFT における PBTS および NBTS 試験下での ΔV_{th} のストレス時間依存性をまとめた。結果、PBTS、NBTS とともに $R(\text{O}_2)$ の増大に伴い信頼性が劣化する傾向を示した。一方、 $R(\text{H}_2)$ の増大に伴う PBTS の劣化は、 $R(\text{O}_2)$ の増大に伴う信頼性劣化と比較すると非常に小さく、また NBTS 試験下では劣化が見られなかった。

以上の結果から IGZO-high-In 成膜時における水素導入は、熱処理によるキャリア濃度の増大を抑制し、 $R(\text{O}_2)=10\%$ と低い条件においても TFT 応用に最適なキャリア濃度を得ることができることを明らかにした。また界面欠陥準位の生成を劇的に減少させ、PBTS 信頼性の向上に寄与することを確認した。従って、半導体成膜時の水素導入は、高移動度 AOS の低温プロセス TFT への応用に効果的な手法であることを明らかにした。信頼性向上メカニズムとして、導入した水素が酸素イオンによる成膜ダメージの抑制、IGZO 膜内の欠陥準位を補償していること等が考えられるが、残念ながら本博士論文では詳細なメカニズム解析を実施するフェーズに移行することが叶わなかった。水素導入によるキャリア抑制メカニズムおよび信頼性向上メカニズムの解析は低温プロセスにおける高性能・高信頼 TFT 作製における重要な基盤技術となることが期待される。今後、本研究成果をきっかけとして上

記のメカニズムが解明されることを切に願う。

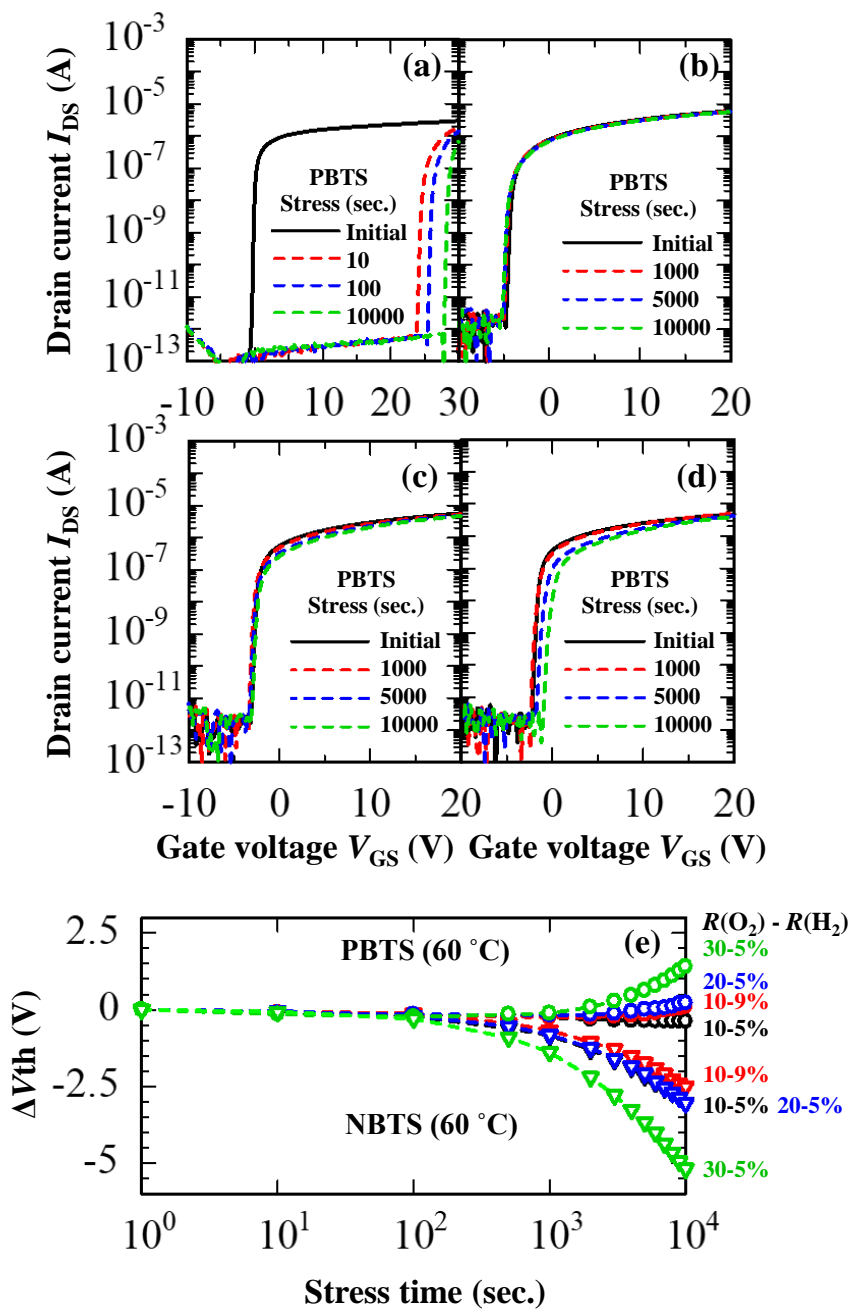


図 A-13 PBTS 試験における IGZO-hetero TFT の伝達特性の変化
 (a) $R(O_2)-R(H_2)=0-49\%$ 、 (b) $R(O_2)-R(H_2)=10-5\%$ 、 (c) $R(O_2)-R(H_2)=10-9\%$ 、
 (d) $R(O_2)-R(H_2)=30-5\%$
 (e) 各 $R(O_2)-R(H_2)$ 条件で作製した IGZO-high-In TFT における
 PBTS および NBTS 試験下での ΔV_{th} のストレス時間依存性

APX. 5 水素導入非晶質酸化物半導体によるヘテロ接合

前項の結果より、IGZO 成膜時の水素導入によって IGZO-high-In の TFT 駆動の実証に成功した。本項では、水素導入 IGZO-111 および IGZO-high-In を用いてヘテロ接合を形成し、低温プロセス TFT に応用することで、低温形成したヘテロ接合においてもそのヘテロ接合界面にポテンシャル障壁が形成されるのかどうか検討した。ヘテロ接合は CBM にエネルギー不連続性に基づくポテンシャル障壁を形成するために下層 IGZO-111、上層 IGZO-high-In の構造を採用し、各 IGZO の膜厚は 10 nm とした。また TFT は付録 APX. 4 で記述した SU-8 保護膜を有するボトムゲート TFT と同じ条件で作製し、IGZO-111 および IGZO-high-In の成膜ガス流量はそれぞれ $R(\text{O}_2)\text{-}R(\text{H}_2)=4\text{-}5\%$ 、 $10\text{-}9\%$ である。またポストアニール条件は大気雰囲気 150°C 一時間である。

図 A-14 に移動度 IGZO 成膜時に水素導入を行ったヘテロ接合を有する TFT の伝達特性を示す。TFT は $\mu_{\text{FE}}=15.1\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 、 $S.S.=0.09\text{ V/dec.}$ 、 $V_{\text{th}}=-2.3\text{ V}$ 、 $V_{\text{H}}=+0.3\text{ V}$ を示し、最高プロセス温度が 150°C 以下の低温においても良好な TFT 特性を示した。また $\mu_{\text{FE}}\text{-}V_{\text{GS}}$ 特性に着目すると、 $V_{\text{GS}}\approx 8\text{ V}$ 付近で移動度がピークを示す挙動が確認された。4 章のデバイスシミュレーション結果から、 $\mu_{\text{FE}}\text{-}V_{\text{GS}}$ 特性における移動度のピークはポテンシャル障壁の形成に伴うキャリア輸送経路の変化を示していることを明らかにしている。従って、低温形成した IGZO ヘテロ接合においてもヘテロ接合界面に量子閉じ込め効果を誘発するポテンシャル障壁が形成されることが示唆された。

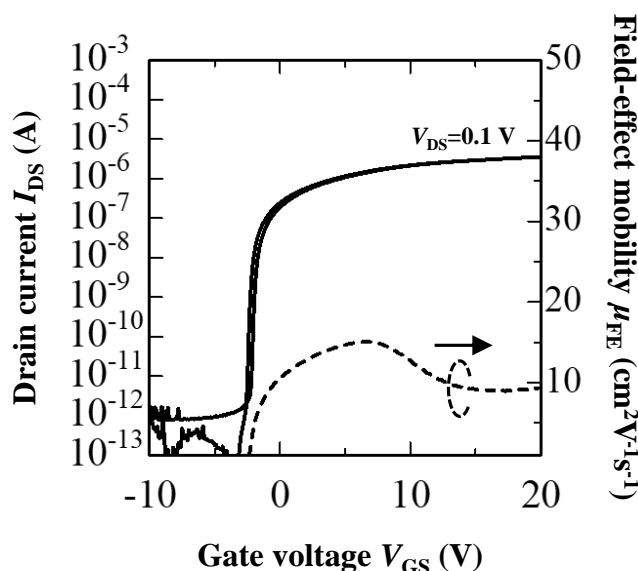


図 A-14 IGZO 成膜時に水素導入を行ったヘテロ接合を有する TFT の伝達特性
($V_{\text{DS}}=0.1\text{ V}$, $W/L=1000/350\text{ }\mu\text{m}$)

参考文献

- [1] J. Jaewook, and Y. Hong, “Debye length and active layer thickness-dependent performance variations of amorphous oxide-based TFTs”, *IEEE Trans. Electron Devices*, **59** (2012) 710-714.
- [2] D. K. Schroder, “Semiconductor Material and Device Characterization”, John Wiley & Sons. Inc., (2006) 206A.
- [3] Sato, K. Abe, R. Hayashi, H. Kumomi, K. Nomura, T. Kamiya, M. Hirano, and H. Hosono “Amorphous In–Ga–Zn–O coplanar homojunction thin-film transistor”, *Appl. Phys. Lett.*, **94** (2009) 133502.
- [4] 薄膜材料デバイス研究会 編, “薄膜トランジスタ”, コロナ社 (2008).
- [5] S. M. Aman, Y. Magari, K. Shimpo, Y. Hirota, H. Makino, D. Koretomo, and M. Furuta, “Low-temperature (150° C) activation of Ar+O₂+H₂-sputtered In–Ga–Zn–O for thin-film transistors. *Appl. Phys. Express*, **11** (2018) 081101.
- [6] T. Hata, “Deposition of Metal-oxide Films by Reactive Sputtering”, *Journal of The Surface Finishing Society of Japan*, **46** (1995) 590-593.
- [7] J. K. Jeong, H. W. Yang, J. H. Jeong, Y. G. Mo, and H. D. Kim, “Origin of threshold voltage instability in indium-gallium-zinc oxide thin film transistors”, *Appl. Phys. Lett.*, **93** (2008) 123508.
- [8] Y. J. Han, Y. J. Choi, I. T. Cho, S. H. Jin, J. H. Lee, and H. I. Kwon, “Improvement of long-term durability and bias stress stability in p-type SnO thin-film transistors using a SU-8 passivation layer”, *IEEE Electron Device Lett.*, **35** (2014) 1260-1262.
- [9] 戸田達也, “InGaZnO 薄膜トランジスタの特性・信頼性制御とフレキシブルデバイス応用”, 高知工科大学大学院博士論文 (2016).

高知工科大学大学院 工学研究科

2020年3月2日