

修士論文

プロセスばらつきを考慮したキャリブレーション回路搭載

バンドギャップリファレンスの設計アプローチ

A Design Approach for Bandgap Reference with Calibration

Circuit to Process Variation

報告者

学籍番号: 1265048

氏名: 林 竜史

指導教員

橋 昌良

令和6年2月19日

高知工科大学大学院工学研究科

基盤工学専攻電子・光工学コース

目次

第1章	序論	1
1.1	研究背景	1
1.2	研究目的	2
1.3	本論文の構成	2
第2章	バンドギャップリファレンス回路	3
2.1	BGR 回路	3
2.1.1	CTAT 電圧および PTAT 電圧の生成	4
2.1.2	BGR 回路の回路トポロジー	5
2.1.3	BGR 回路における温度依存性	6
2.2	1次温度（曲率）補償 BGR 回路	6
2.3	Start-Up 回路	7
第3章	本研究での提案・試作した BGR 回路の構成	9
3.1	試作した 1次温度 BGR 回路	9
3.1.1	1次温度補償 BGR 回路の変更点	9
3.1.2	1次温度補償 BGR 回路の動作	10
3.3	本研究におけるオペアンプの構成	11
3.4	本研究で提案する電圧キャリブレーション回路	12
第4章	シミュレーション結果及び実測結果	18
4.1	提案回路におけるシミュレーション結果および実測結果	19
4.2	試作回路のレイアウト設計	24
4.3	提案した回路の性能まとめ	26
第5章	考察	27
5.1	BGR 回路における温度特性・TC のバラツキに関する考察	27
5.2	キャリブレーション回路搭載 BGR に関する考察	27
5.3	本研究で提案した BGR 回路と既存 BGR 回路の性能比較	28
第6章	結論	29
	謝辞	30
	参考文献	31
	付録	33
A	BGR 回路における出力電圧のバラツキの要因と対策	33
A-1	BGR 回路におけるバラツキの要因	33
A-2	現在のアナログ回路のバラツキ対策	34
B	区分補償 BGR 回路	35
B-1	区分補償・2次温度補償 BGR 回路（Piecewise Curvature-Compensation）	35

B-2	試作した区分曲率補償 BGR 回路	35
B-3	試作した BGR 回路のシミュレーション結果	38
C	オフセット電圧の考慮.....	39
C-1	1次温度補償 BGR 回路のオフセット電圧の考慮	39

第1章 序論

1.1 研究背景

今日において様々な電子機器, IoT 機器の普及に伴い, それらに使用される半導体, LSI (Large Scale Integration) は現代社会において必要不可欠な存在となっている. 中でもムーアの法則によって予測された CMOS (Complementary Metal-Oxide-Semiconductor) の半導体製造技術の向上による微細化, それに伴い最新の LSI や IC (Integration Circuit) は飛躍的に小型化, 高性能化, 高集積化が進み, 小型かつ低コストで最先端の電子機器が提供されるようになった[1]-[3]. 生活, 工業, 通信, 教育, 医療など, ありとあらゆるものは CMOS 技術無しでは成り立たないといえる[4]. 半導体製造技術向上によりアナログ回路主流からデジタル回路主流へ移り変わり, 結果として電子デバイスには多くのデジタル回路が搭載され, 信号処理などの役割を担っている. デジタル回路が主流になったものの入力や出力, 実世界とデジタル領域との接続などアナログ回路のみ実現可能な機能が存在する[5][6]. 以上に加え, コスト削減や性能向上のためデジタル回路とアナログ回路を同じ集積回路 (chip) に搭載するデジタル・アナログ混載の集積回路, ミックスド・シグナル回路 (Mixed-Signal circuit) の設計, 製造も行われている[7][8].

本研究では研究対象として, アナログ回路やミックスド・シグナル回路において最も重要な要素の一つである BGR (Band-Gap Reference) 回路を対象とし研究を行った. BGR 回路は理論的に環境温度や電源電圧, 時間経過の影響を受けず, 常に一定の出力を正確に提供・生成する回路である. そして高精度な出力を提供可能な BGR 回路は, DRAM (Dynamic Random Access Memory), 高精度な ADC (Analog-to-Digital Converter) や DAC (Digital-to-Analog Converter), 電圧レギュレータ, 温度センサー, スマートセンサー, バッテリー管理 IC など数多くのアプリケーションのコアに使用されている[9][10]. これらの多くのアプリケーションの性能において基準電圧の精度に強く依存しているため, 高精度な BGR 回路が求められる[10]. 標準的な BGR 回路として, 回路の構成要素が最小限でパラメータ設計が容易な回路構成は 1 次温度 (曲率) 補償 BGR 回路とも呼ばれており, 本研究でも 1 次温度補償 BGR 回路と呼ぶ[9].

CMOS 技術の向上による微細化に伴い, 特にアナログ回路の分野においては, 製造時に素子のバラツキが生じることで発生する出力の誤差, プロセスばらつきが大きな課題となっている[11]. BGR 回路においてもバラツキは非常に重要な問題である. 先述の通り正確な基準電圧・基準電流を生成する必要がある BGR 回路では現在, ほとんどの場合で出力のバラツキ対策が行われている.

バラツキ対策の主流な手法としては, レーザートリミングとツェナーザップトリミングが挙げられる. レーザートリミングとは, トリミング用抵抗をカットもしくはショート (短絡) させることで抵抗値を変更し, 出力電圧を所望の値に調整する手法である. ツェナーザップトリミングは, ツェナーダイオードに電圧を印加しショートさせることで抵抗値を変更し, 電圧を調整する手法である[12]. これらの問題点として, レーザートリミング導入による高コスト化, トリミング抵抗による回路面積増大, ツェナーダイオードの導入などが挙げられる. 現状 BGR 回路を搭載したアプリケーションのコストにおいて, トリミングが占める割合は決して少なくない[13].

1.2 研究目的

本研究の目的は低コストで出力電圧のバラツキを抑制可能な BGR 回路の設計である。出力電圧のバラツキは、製造プロセスで各素子のパラメータがばらつくことにより生じる。先行研究[14]-[18]では一般的な回路構成の BGR 回路を設計、評価が行われた。1 次温度補償 BGR 回路の構成で、素子バラツキを考慮し設計を行った[16][18]が、結果としては、出力電圧のバラツキが 10%~20%以上のバラツキが見られた。そこで本研究では、オペアンプのオフセット電圧を考慮した 1 次温度補償 BGR 回路に加え、キャリブレーション回路を搭載し出力電圧を調整することで、バラツキの抑制が可能になると考えた。またキャリブレーション回路は、外部端子が必要なものの MOSFET で構成する点、回路内で調整が可能な点から、回路面積を抑えなおかつ低コストでバラツキの抑制可能な BGR 回路の設計を目指す。本研究で使用した Chip の製造プロセスは Rohm 0.18 μm である。

1.3 本論文の構成

本論文は BGR 回路の基本的な構成および動作、キャリブレーション回路を搭載した BGR 回路、それら提案回路の結果について述べ、全 7 章で構成される。

本章である第 1 章では、本研究の背景および目的について述べた。第 2 章では BGR 回路の基本的な動作、回路構成に加え、BGR 回路において一般的に搭載されるスタートアップ回路についても述べる。第 3 章ではアナログ回路で大きな課題となっている出力電圧のバラツキについて、その中でも BGR 回路のバラツキに着目し要因および対策について説明する。第 4 章では本研究で提案・試作した BGR 回路の回路構成、動作に加え、オペアンプやキャリブレーション回路の構成や動作を説明する。第 5 章では本研究で提案・試作した回路のシミュレーション結果および試作回路の実測結果、レイアウトに関する説明を行う。第 6 章では本研究の考察を行い、最後に第 7 章で結論を述べる。

第2章 バンドギャップリファレンス回路

2.1 BGR 回路

Bandgap Voltage Reference (BGVR) 回路もしくはバンドギャップ基準電圧回路とは、温度や製造プロセス、電源電圧に依存せず常に一定の電圧を出力する基準電圧回路の一種である。そして最も一般的に使用されている基準電圧回路の一種でもある。基本的な BGR 回路のブロック図を図 2-1 に示す [9][19]。

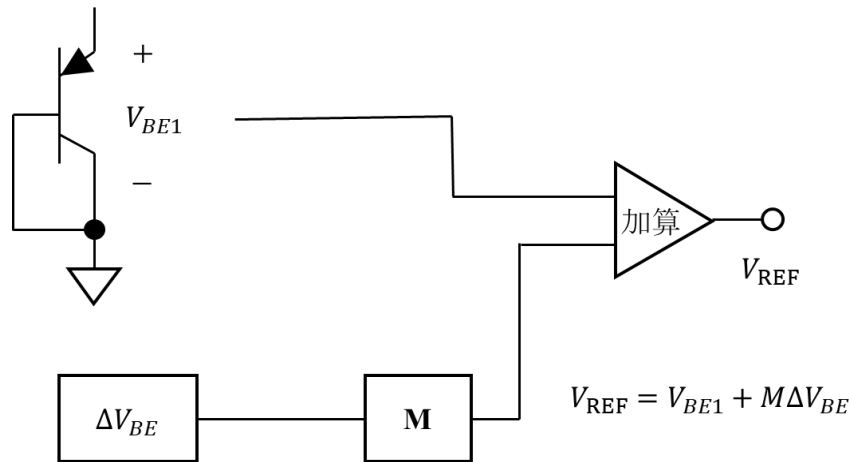


図 2-1 基本的な BGR 回路のブロック図[9][19]

BGR 回路は負の温度係数を持つ CTAT (Complementary To Absolute Temperature) 電圧と、正の温度係数を持つ PTAT (Proportional To Absolute Temperature) 電圧を加算することで温度に依存しない電圧を生成する。

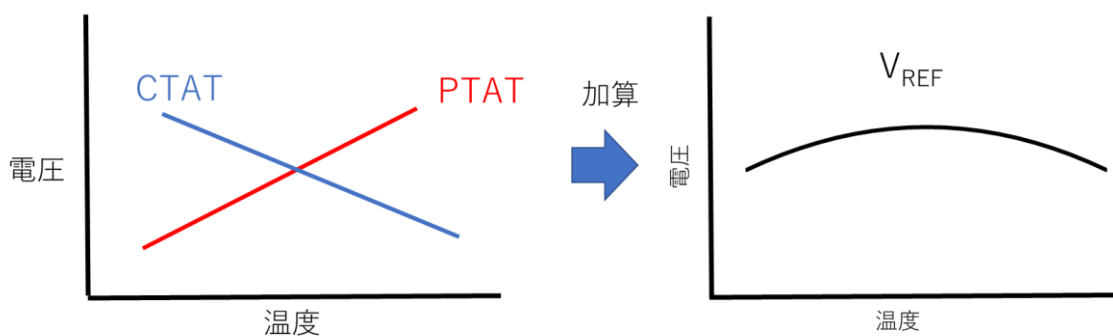


図 2-2 PTAT 電圧と CTAT 電圧を加算することで得られる出力電圧 V_{REF}

本研究のプロセスでは BJT (Bipolar Junction Transistor) を使用し、ダイオード接続により各電圧を生成する。BJT 単体をダイオード接続することで CTAT 電圧を生成する。PTAT 電圧に関しては、ダイオード接続した BJT を並列に接続することで生成可能である。最終的な出力電圧 V_{REF} は次式で与えられる。

$$V_{REF} = V_{EB1} + M\Delta V_{EB} \quad (2.1)$$

ここで BJT 単体の電圧を V_{EB1} 、並列接続した BJT と V_{EB1} との電位差を ΔV_{EB} 、 M は係数である。生成された CTAT 電圧と PTAT 電圧は大きさが異なり、一般的にはダイオードを並列接続し生成した PTAT 電圧の方が小さい。そのため係数 M をかけることで、温度に依存しない電圧を生成する。

2.1.1 CTAT 電圧および PTAT 電圧の生成

本研究における各電圧の生成について説明する。本研究では先述の通り PNPBJT をダイオード接続することで、ダイオードの代替とし各電圧を生成している。各電圧を生成する回路図を次の図 2-3 に示す。

CTAT 電圧は BJT 単体の順方向電圧 V_{EB1} である。 V_{EB1} について次の式で書くことができる。

$$V_{EB1} = V_T \ln\left(\frac{I_C}{I_S}\right) \quad (2.2)$$

PTAT 電圧は同一電流 I_E を抵抗 R 、並列接続した BJT に流す。ここで図 2-3 における電圧 V_{D1} 、 V_{D2} が等しい、つまり $V_{D1} = V_{D2}$ が成り立つと仮定する。そうすると $V_{EB1} = V_{D1}$ および $V_{D1} = V_{D2}$ より R にかかる電圧は次の式で与えられる。

$$\begin{aligned} \Delta V_{EB} &= V_{D1} - V_{EB2} \\ &= V_{EB1} - V_{EB2} \\ &= V_T \ln\left(\frac{I_E}{I_S}\right) - V_T \ln\left(\frac{I_E}{KI_S}\right) \\ &= V_T \ln K \end{aligned} \quad (2.3)$$

となりこれが PTAT 電圧にあたる。ここで V_T は熱電圧、 K はダイオード接続した BJT(Q_2)の並列数、 I_S は飽和電流である。また V_T に関しては、ボルツマン定数 k 、温度 T 、電気素量 q により次の式で書かれる。

$$V_T = \frac{kT}{q} \quad (2.3)$$

以上が CTAT 電圧および PTAT 電圧の生成方法であり、BGR 回路で一般的に利用されている。

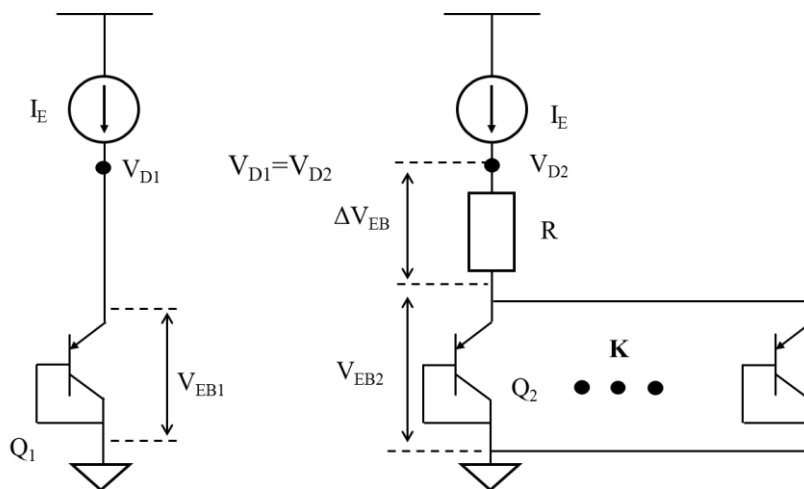


図 2-3 CTAT 電圧および PTAT 電圧の生成方法

2.1.3 BGR 回路における温度依存性

BGR 回路の特徴として温度に依存しないことを挙げられる。温度 T を考慮すると式(2.1)は次のようになる。

$$V_{REF}(T) = V_{EB1}(T) + MV_T(T) \quad (2.10)$$

ここで M については

$$M = \alpha \ln(K) = \frac{R_2}{R_1} \ln(K) \quad (2.11)$$

となる。 α は図 2-4 より R_1 および R_2 の抵抗の比により与えられる。式 (2.10) を温度 T で微分すると、

$$\frac{\partial V_{REF}(T)}{\partial T} = \frac{\partial V_{EB1}(T)}{\partial T} + M \frac{\partial V_T(T)}{\partial T} \quad (2.12)$$

のように書くことができる。ここで $\frac{\partial V_{REF}(T)}{\partial T} = 0$ の場合、BGR 回路の出力電圧が温度に依存しない。よって式 (2.12) は次のように書ける。

$$M = \frac{\frac{\partial V_{EB1}(T)}{\partial T}}{\frac{\partial V_T(T)}{\partial T}} \quad (2.13)$$

ここで分母については式 (2.13) および式 (2.3) より

$$\frac{\partial V_T(T)}{\partial T} = \frac{\partial \frac{k}{q} T}{\partial T} = \frac{k}{q} = 0.08625 \times 10^{-3} V \quad (2.14)$$

となる。 $\frac{\partial V_{EB1}}{\partial T}$ に関して本研究では PNPBJT を使用しており、一般的に $-1.40 \times 10^{-3} V$ 程度になることが知られている[9][18]。しかしこの値に関しては、プロセスやサンプルにより誤差が生まれるため、正確な値を知ることは困難である。

先述の通り BGR 回路は温度に依存せず出力電圧を生成する役割を持つ。そのため BGR 回路には温度依存性の評価指標として、温度係数 TC (Temperature Coefficient) と呼ばれる温度に関する重要な指標が存在する。BGR 回路における温度感度つまり TC は、所定の動作温度範囲 $[T_{min}, T_{max}]$ における出力電圧の変動である。TC の値が小さいほど動作温度範囲における出力電圧の変動は小さく、温度変化に強いことになる。よって TC 値は小さいほど良いパラメータである。TC 値の単位は $[ppm/^\circ C]$ であり、次式で与えられる[9]。

$$TC = \frac{(V_{REF(max)} - V_{REF(min)})}{V_{REF(mean)}} \times \frac{1}{(T_{max} - T_{min})} \times 10^6 \quad (2.15)$$

上記の式で $V_{REF(max)}$, $V_{REF(min)}$, $V_{REF(mean)}$ はそれぞれ、動作温度範囲における出力電圧の最大値及び最小値、平均値における出力電圧である。また本研究で、温度依存性に関して述べる際の電源電圧は 1.8V、動作温度範囲は 0~100°C である。

2.2 1次温度 (曲率) 補償 BGR 回路

図 2-4 のような一般的、標準的な回路構造を持つ BGR 回路は 1 次温度 (曲率) 補償 (First order temperature(curvature)compensation) BGR とも呼ばれる。1 次温度補償技術は多くの BGR 回路で使用されており最も一般的である。利点として、設計及び実装が容易であることが挙げられる。回路構造がサンプルで素子パラメータが最小限でよいため、特性に関する要求も低くなることが理由である。デメ

リットとしてこの補償方法では、BGR 回路における重要な評価指標である温度特性、温度係数 TC の結果が悪くなる可能性がある。理由として CTAT 電圧 V_{EB1} は厳密には非線形であり、高次の温度依存項を含むためである。その結果、温度特性の悪化や限られた範囲でのみ温度に依存しない電圧となる [9].

2.3 Start-Up 回路

本研究の BGR 回路では MOSFET と BJT 及び抵抗を使用している。このような BiCMOS (Bipolar-CMOS) 技術を使用した場合、BGR のコアを適切に動作させるために Start-Up 回路と呼ばれる回路を搭載することが多い。

図 2-4 のような BGR 回路ではダイオード Q_1 , Q_2 と抵抗 R_2 を並列に接続している。BGR 回路では抵抗とダイオードを使用しており、これらの I-V 特性を見ると交点が 2 つ存在する (図 2-5(a)). その結果、図 2-5(a)においてゼロ付近の動作点 (安定点) で動作した場合は、BGR 回路に流れる電流が小さすぎることにより、BJT をオンに維持できない。すると BGR 回路のオペアンプの出力電圧は V_{DD} 付近の値が出力される。それによりカレントミラーの電流 $I_1=I_2$ は非常に小さくなりほぼ 0 となる。カレントミラーの電流 I_3 も 0 になるため、最終的な出力電圧 V_{REF} も 0V 付近で安定し、動作する。よって BGR 回路が正常に動作しない [9]. 加えて抵抗とダイオードを直列に接続したに比べ、I-V 特性が直線的になり交点が定義されにくくなる。以上により BGR 回路は右側の安定点で動作させる必要がある。またダイオードを ON にするため、抵抗に流れる電流も必然的に大きくなる [21]. これらの問題を解決するため、基本的な BGR 回路ではスタートアップ回路を搭載する [22] (図 2-5(b)).

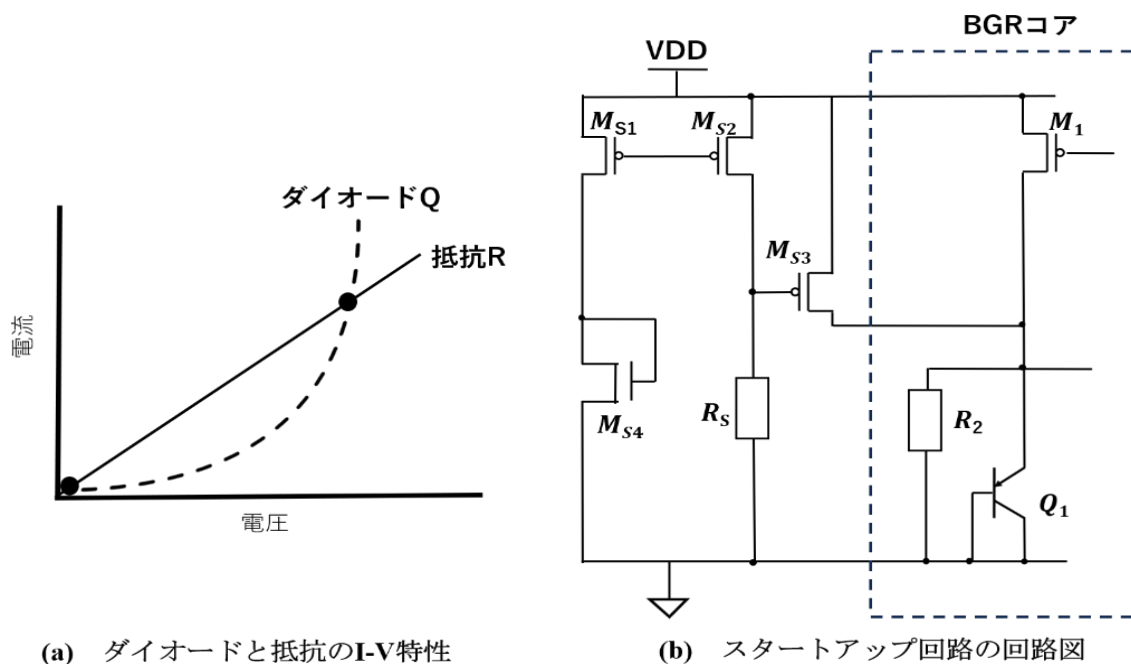


図 2-5 ダイオードと抵抗の I-V 特性およびスタートアップ回路の構成

図 2-5 (b) のスタートアップ回路は BGR 回路が適切な動作点に達するまで、ダイオードと抵抗に追加の電流を供給する役割をもつ。スタートアップ回路の動作について説明する。まず電源が ON にな

る（電源電圧 V_{DD} が印加される）と、ダイオード接続した M_{S4} により M_{S1} と M_{S2} で構成された電流源には電流が流れず、 R_S に流れる電流および R_S にかかる電圧は 0 になる。よって M_{S3} のゲートが GND に接続される（プルダウン）とみなすことができる。ゲートが GND に接続されることにより M_{S3} は ON となり、抵抗とダイオードに電流が供給され、BGR コアは起動する。回路が通常の動作点に近づくるとダイオード接続した M_{S4} がオンになる。 M_{S4} に電流が流れることで電流源 M_{S1} 、 M_{S2} が起動し、 R_S に電流が流れる。 R_S にかかる電圧により M_{S3} のゲートに電圧が印加され OFF になり、スタートアップ回路が完全に切り離される[18][22]。

スタートアップ回路を搭載した本研究における 1 次温度補償 BGR 回路の図を次の図 2-6 に示す。本研究では 1 次温度補償 BGR 回路 4 種類とキャリブレーション回路搭載 BGR 回路を 3 種類設計した。それら提案、試作した回路すべてに先述のスタートアップ回路を追加した。本研究で追加したスタートアップ回路のパラメータを次の表 2-1 にまとめる。表 2-1 に示したパラメータは先行研究[18]と同様である。

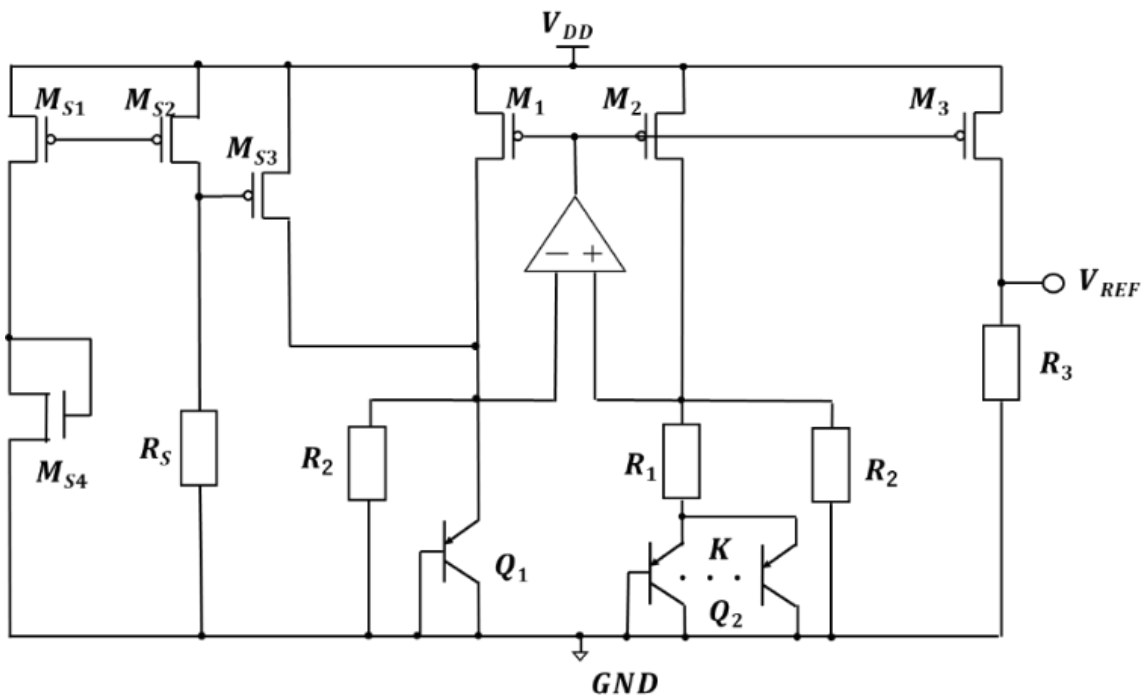


図 2-6 スタートアップ回路を搭載した 1 次温度補償 BGR 回路の回路図

表 2-1 スタートアップ回路のパラメータ[18]

素子種類	素子名称	パラメータ
MOSFET	M_{S1} M_{S2} M_{S4}	$2.7\mu\text{m}/0.54\mu\text{m}$ (並列数：2)
	M_{S3}	$2.7\mu\text{m}/1.08\mu\text{m}$ (並列数：2)
抵抗	R_S	$200\text{k}\Omega$

3.1.2 1次温度補償 BGR 回路の動作

本研究で試作した図 3-1 の回路について説明する。

まずカレントミラー部分であるトランジスタ M_1 , M_2 , M_3 の W/L 比が等しい場合, 各電流 I_1 , I_2 , I_3 は次の関係になる。

$$I_1 = I_2 = I_3 \quad (3.2)$$

ここでノード N_2 に流れる電流及び抵抗 R_2 は次の式で書ける。

$$I_2 = I_{2a} + I_{2b} \quad (3.3)$$

$$R_2 = R_{2A} + R_{2B} \quad (3.4)$$

図 2-3 及び式 (2.4) よりノード N_1 , N_2 の電圧は $V_{N1} = V_{N2}$ となり, ノード N_3 , N_4 もオペアンプを接続することで $V_{N3} = V_{N4}$ となる。またノード N_2 の電圧 V_{N2} は

$$V_{N2} = V_{EB1} = I_{a2}R_1 + V_{EB2} \quad (3.5)$$

となり, 電流 I_{2a} , I_{2b} は次の式になる。

$$I_{2a} = \frac{V_{EB1} - V_{EB2}}{R_1} = \frac{\Delta V_{EB}}{R_1} = \frac{V_T \ln K}{R_1} \quad (3.6)$$

$$I_{2b} = \frac{V_{N2}}{R_2} = \frac{V_{EB1}}{R_2} \quad (3.7)$$

よって図 3-1 の 1次温度補償 BGR 回路の出力電圧 V_{REF} は次の式で与えられる。

$$\begin{aligned} V_{REF} &= I_3 R_3 = (I_{2a} + I_{2b}) R_3 \\ &= \left(\frac{V_T \ln K}{R_1} + \frac{V_{EB1}}{R_2} \right) R_3 \\ &= \frac{R_3}{R_2} \left(\frac{R_2}{R_1} V_T \ln K + V_{EB1} \right) \end{aligned} \quad (3.8)$$

この式はオペアンプのオフセット電圧を考慮せず, 理想的な場合の出力電圧である。現実的にはオペアンプのオフセット電圧が存在し, これにより BGR 回路における出力電圧の変動がおこる。よってオフセット電圧 V_{OS} を考慮すると, V_{REF} の式は次のように書き換わる[23]。

$$V_{REF} = \frac{R_3}{R_2} \left(\frac{R_2}{R_1} \left(V_T \ln K + \frac{R_2}{R_{2B}} V_{OS} \right) + V_{EB1} \right) \quad (3.9)$$

オフセット電圧を考慮した出力電圧の式(3.9)の詳細な計算過程は付録に記載する。

本研究では図 3-1 の回路に先述したスタートアップ回路を追加した BGR 回路を試作した。本研究で設計, 試作した BGR 回路のダイオードの並列数 K はすべて 10 ($K=10$) である。先行研究と同様に次の表 3-1 にパラメータをまとめる。

本研究で設計した 1次温度補償 BGR 回路は, 先行研究[18]と同様に図 3-1 の BGR コアに図 2-5 (b) のスタートアップ回路を追加した構成である。先行研究[18]ではオフセット電圧について考察されていたが, 式が厳密ではなかったため式(3.9)から各素子のパラメータを決定した。本研究では先行研究[18]におけるダイオードの実測結果から算出した各素子の理想パラメータおよび SIM 上での理想パラメータの 2 種類に加え, SIM 上での理想パラメータ回路において抵抗値 R_2 の比率 ($R_{2A}:R_{2B}$) を変更した回路, 計 3 種類の BGR 回路を設計した。次の表 3-1 にある MOSFET は 1次温度補償 BGR 回路のカレントミラーを構成する PchMOSFET のことである。

表 3-1 本研究で試作された 1 次温度補償 BGR 回路

回路	パラメータ種類	素子名称	パラメータ
BGR_calc	MOSFET	M ₁ M ₂ M ₃	2.7μm/1.08μm (並列数：2)
		抵抗	R ₁
	R _{2A}		30kΩ
	R _{2B}		41kΩ
	R ₃	65kΩ	
BGR_simR _{2A} 10	MOSFET	M ₁ M ₂ M ₃	2.7μm/1.08μm (並列数：2)
		抵抗	R ₁
	R _{2A}		10kΩ
	R _{2B}		78kΩ
	R ₃	74kΩ	
BGR_simR _{2A} 30	MOSFET	M ₁ M ₂ M ₃	2.7μm/1.08μm (並列数：2)
		抵抗	R ₁
	R _{2A}		30kΩ
	R _{2B}		58kΩ
	R ₃	74kΩ	

3.3 本研究におけるオペアンプの構成

本研究の BGR 回路の構成（図 2-4 および図 3-1）において、P チャネル入力の 2 段構成オペアンプを使用している。本研究で設計した 2 段構成オペアンプは先行研究[18]で設計された回路構成をそのまま使用している。その回路図を図 3-2 に示す。本オペアンプは差動増幅回路の入力段とソース接地回路の出力段で構成しており、高い利得が期待できる。しかし、増幅回路は寄生容量と出力抵抗によるローパス・フィルタの特性を持つ。ローパス・フィルタはカットオフ周波数以上の高い周波数信号を入力すると、入出力間で位相の遅れが発生し、これにより最終的に回路が発振する。そのため対策として入出力間にキャパシタ C を入れ、初段増幅回路のカットオフ周波数を下げる。これにより発振を防ぎ、オペアンプは安定した動作を得る[6].

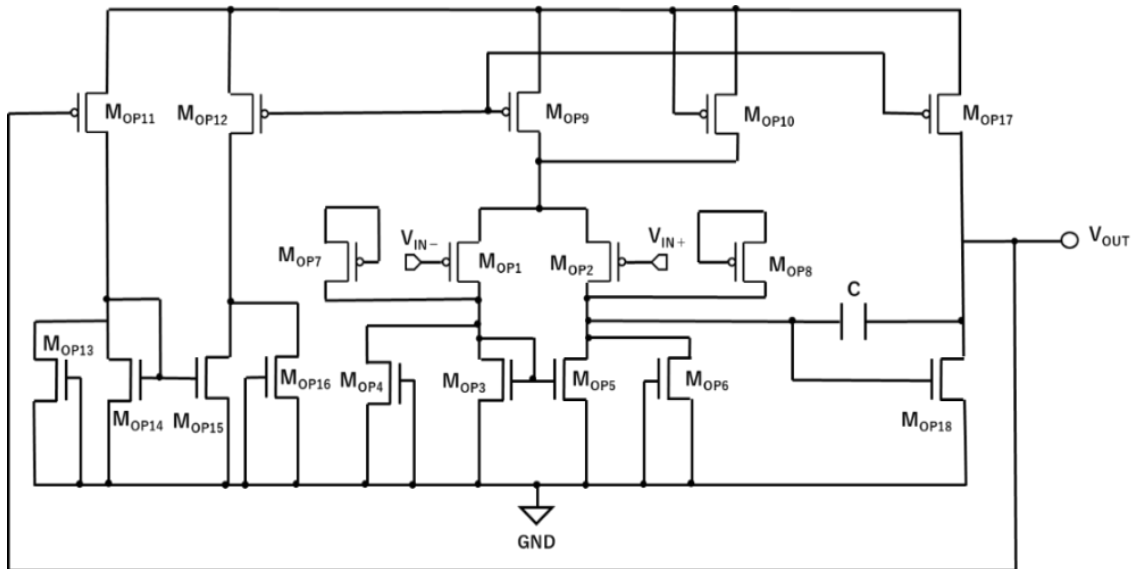


図 3-2 P チャネル入力の 2 段構成オペアンプ[18]

本研究では先行研究[18]と同様の回路構成およびパラメータのオペアンプを BGR 回路に搭載した。次の表に本研究で設計したオペアンプにおける各素子のパラメータを示す。

表 3-2 オペアンプのパラメータ[18]

トランジスタ名	W/L 比	並列数
M _{OP1} M _{OP2} M _{OP7} M _{OP8}	2.7 μ m/1.08 μ m	1
M _{OP3} M _{OP4} M _{OP5} M _{OP6}	0.7 μ m/2 μ m	1
M _{OP9} M _{OP10}	1.3 μ m/1.08 μ m	1
M _{OP11} M _{OP12}	2.7 μ m/1.08 μ m	2
M _{OP13} M _{OP14} M _{OP15} M _{OP16}	1.38 μ m/1.08 μ m	1
M _{OP17}	5.4 μ m/1.08 μ m	2
M _{OP18}	2.7 μ m/1.08 μ m	2
キャパシタ	値	
C	3pF	

3.4 本研究で提案する電圧キャリブレーション回路

本研究では目的で先述の通り低コストで出力電圧のバラツキを抑制すべく、キャリブレーション（校正）回路を 1 次温度補償 BGR 回路に搭載した。キャリブレーションコアを追加することにより BGR コアに流れる電流を変化させ、最終的な出力電圧を調整可能と考えた。次の図 3-3 にキャリブレーションコアの回路図を図 3-3 に示す。

PMOS の M_B の上段に PMOS の M_A を接続し、M_A のゲート端子 SW に印加される入力電圧で M_A の ON/OFF を切り替える。そして後段のカレントミラー回路を構成する MOS (M_B) の W/L 比により BGR コアに流れる電流を調整し、最終的な BGR の出力電圧を調整している。

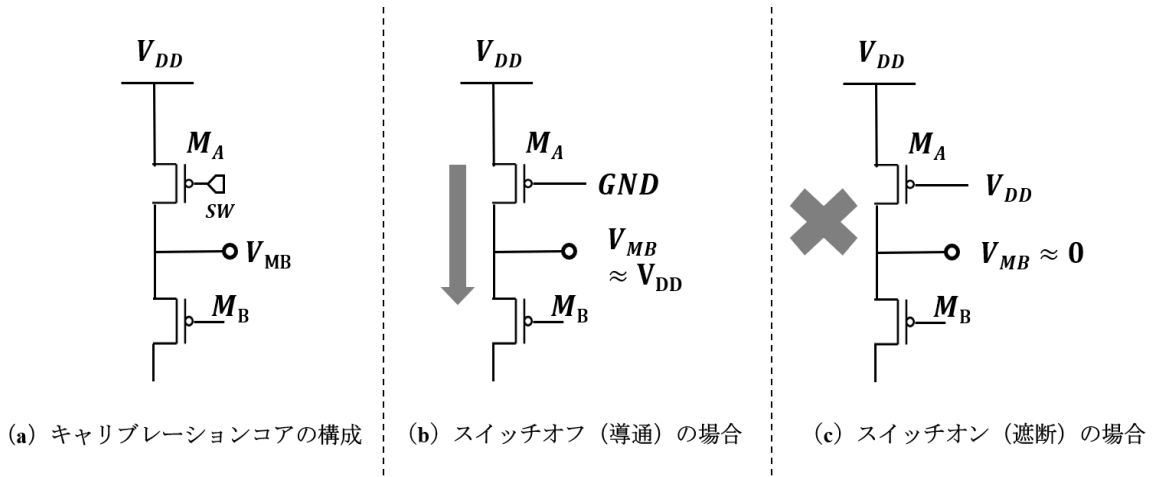


図 3-3 キャリブレーションコアの動作

SW に V_{DD} を印加すると、 M_A は ON となり M_B に電流は流れず、 V_{MB} の電圧は 0 に近づく。逆に SW を GND に接続すると、 M_B に電流が流れる V_{MB} に電圧が出力される。その際のドレイン電流 I_D は次式で与えられる。

$$\begin{aligned}
 I_D &= \frac{1}{2} \mu C_{OX} \frac{W}{L} (V_{GS,MP} - V_{th,p})^2 \\
 &= \frac{1}{2} \mu C_{OX} \frac{W}{L} (V_{GS,MP} - V_{th,p})^2 (1 + \lambda V_{DS})
 \end{aligned} \tag{3.10}$$

キャリブレーションコアでは MOS をスイッチとして使用しており、理想的には MOS が ON の際は抵抗値が高く OFF の際は非常に低いことである。MOS の ON 抵抗の式は次式で与えられる[24]。

$$R_{ON} = \left(\frac{\partial I_D}{\partial V_{DS}} \right)^{-1} \approx \frac{1}{\lambda I_D} \tag{3.11}$$

また本研究では図 3-3 の V_{MB} の電圧が V_{DD} と等しくなることで所望する BGR の出力電圧を得る。そのための条件として M_A がオフの際 $V_{DD} \approx V_{MB}$ を満たす必要がある。よって式 (3.10) 及び式 (3.11) より W/L 比を調整（大きく）することで、 M_B にかかる電圧 V_{MB} は V_{DD} とみなすことができ、 M_A はスイッチの役割のみを果たすことが可能になる。図 3-3 において、PMOS の M_B は BGR コアのカレントミラー部であり、BGR コアのカレントミラー部の上段にキャリブレーション回路を搭載している。

次の図 3-4 にキャリブレーション回路の構成を示す。加えてキャリブレーション回路とスタートアップ回路を搭載した BGR 回路との接続図も図 3-5 に示す。図 3-4 において $M_4 \sim M_6$ はスイッチの切り替えを行うため、SW1~SW3 の ON/OFF を外部端子で切り替える。 M_9 及び M_{10} は切り替えを行わず常にオフのため、ゲート端子を GND に接続している。キャリブレーション部における MOS の並列数及び BGR コアのカレントミラーを構成する MOS の W/L 比及び並列数により、BGR コアの最終的な出力電圧の調整幅、調整数が決定される。

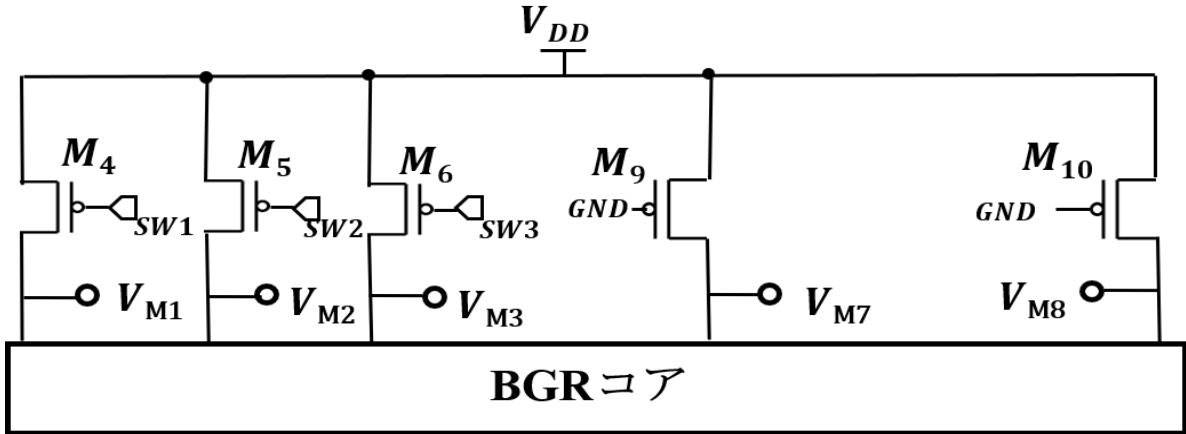


図 3-4 キャリブレーションコアの回路構成[19]

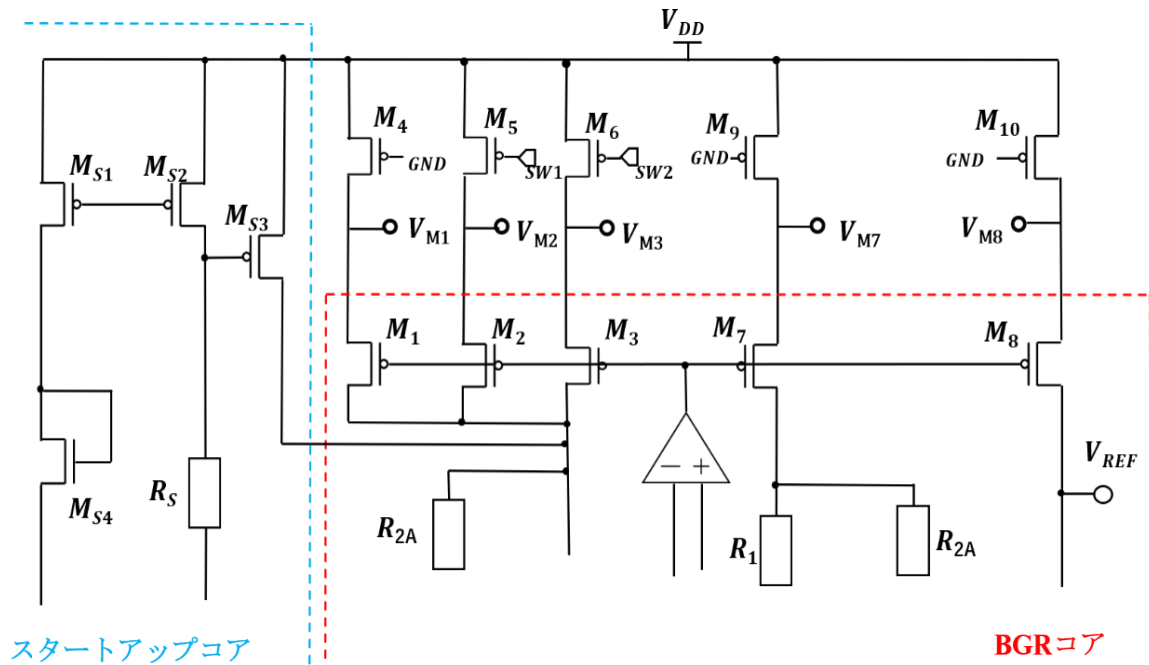
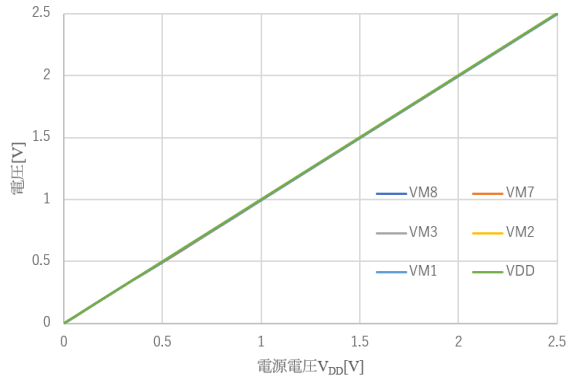
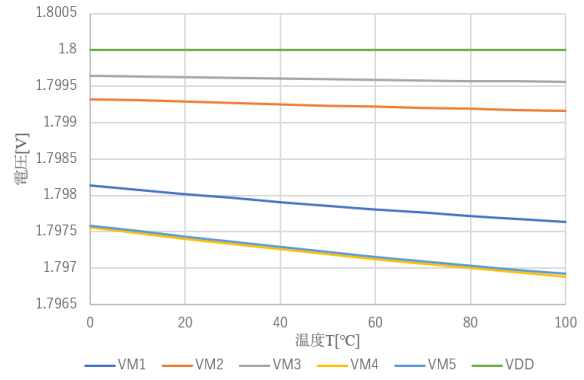


図 3-5 キャリブレーションコアと BGR 回路の接続方法

図 3-4 においてカレントミラーにかかる電圧 $V_{M1} \sim V_{M5}$ (図 3-3 における V_{MB} に相当する電圧) のシミュレーション結果を次の図 3-6 に示す. 図 3-6 (b) において V_{DD} は 1.8V としている. 図 3-6 のシミュレーション結果から, カレントミラーの各 MOS にかかる電圧はおおよそ V_{DD} と等しくなっていることが分かる. ここで図 3-4 の $M_4 \sim M_6$, M_9 , M_{10} はすべて同一の W/L 比に設定している. また図 3-6 (b) でポイントによって電圧に 1mV 程度のずれが生じている. これはそれぞれ接続された後段の回路構成が異なるために生じている.



(a) 電源電圧特性



(b) 温度特性

図 3-6 カレントミラーにかかる電圧のシミュレーション結果[19]

次の図 3-7 と図 3-8 に本研究で設計，試作した補正数 2 のキャリブレーション回路と補正数 4 のキャリブレーション回路の構成を示す。

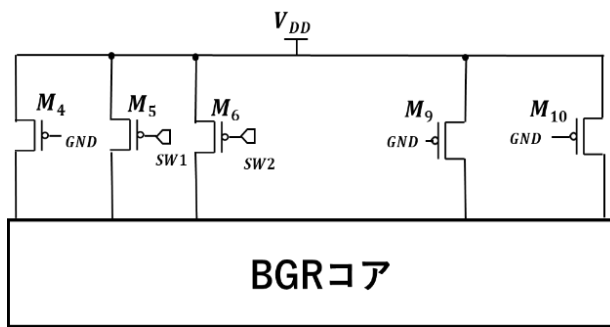


図 3-7 補正数 2 の場合のキャリブレーション回路

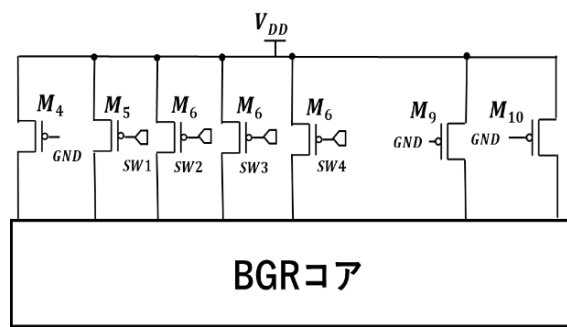


図 3-8 補正数 4 の場合のキャリブレーション回路

次に本研究で提案・試作したキャリブレーション回路を搭載した BGR 回路の回路トポロジーを次の図 3-9 に示す。キャリブレーション回路搭載 BGR は BGR コアに図 3-1 の回路構成を適用し、セクション 2.4 で述べたスタートアップ回路を BGR コアに追加している。キャリブレーション回路の構成は図 3-7 および図 3-8 である。また出力電圧調整のため、BGR コアのカレントミラーは W/L 比及び並列数を変更することで、より細かな調整が可能になる。本研究で設計した回路においてキャリブレーション回路の SW 数は 3 及び 5 の 2 パターンである。SW1 は基本的に GND に接続し残りの 2 もしくは 4 つのスイッチで出力電圧のキャリブレーションを行った。本論文では 2 つのスイッチの回路を 2ch, 4 つのスイッチの回路を 4ch と呼ぶ。また M_7 と M_8 の W/L 比は等しく設定した。

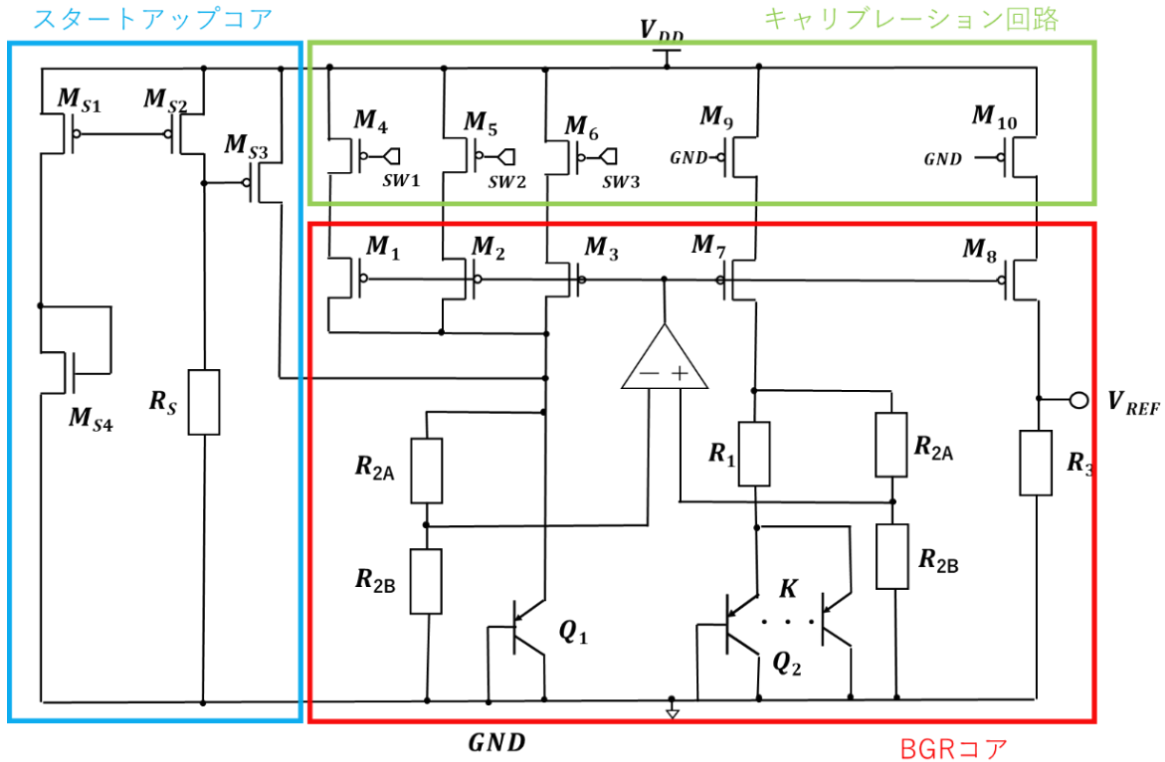


図 3-9 提案・試作したキャリブレーション回路搭載の BGR の回路トポロジー

出力電圧のバラツキに最も寄与する原因は、オペアンプのオフセット電圧と考えられている。具体的には数十 mV つまり $\pm 10\%$ 程度の変動が起こる[25]。そこで本研究で提案するキャリブレーション回路搭載 BGR では、最大で $\pm 10\%$ の補正が可能になるパラメータに設定した。出力電圧のバラツキの要因や BGR 回路における現在の主流な対策手法などに関する詳細な記述は付録 A に記載する。

次の表 3-3 に本研究で設計、試作したキャリブレーション回路搭載 BGR 回路の各素子パラメータをまとめる。本論文では各キャリブレーション回路搭載 BGR 回路は 2chCALBGR1 と 2chCALBGR2, 4chCALBGR と表記する。試作した回路のオペアンプは 1 次温度補償回路と同様、先行研究[18]で設計された表 3-2 のオペアンプを使用している。またキャリブレーションコアおよびカレントミラー部の PchMOSFET はすべて並列数が 2 で設計を行った。

表 3-3 本研究で試作したキャリブレーション回路搭載 BGR 回路のパラメータ

回路名	素子名・パラメータ	素子名称	パラメータ
2chCALBGR1	MOSFET (キャリブレーションコア)	M ₄ M ₅ M ₆ M ₉ M ₁₀	45μm/1.08μm
	MOSFET (カレントミラー)	M ₁	2.28μm/1.08μm
		M ₂	0.28μm/1.08μm
		M ₃	0.6μm/1.08μm
		M ₇ M ₈	2.7μm/1.08μm
	抵抗	R ₁	11kΩ
		R _{2A}	35kΩ
		R _{2B}	75kΩ
		R ₃	87kΩ
	2chCALBGR2	MOSFET (キャリブレーションコア)	M ₄ M ₅ M ₆ M ₉ M ₁₀
MOSFET (カレントミラー)		M ₁	3.9μm/1.08μm
		M ₂	1.2μm/1.08μm
		M ₃	0.6μm/1.08μm
		M ₇ M ₈	5.4μm/1.08μm
抵抗		R ₁	10kΩ
		R _{2A}	13kΩ
		R _{2B}	75kΩ
		R ₃	71kΩ
4chCALBGR		MOSFET (キャリブレーションコア)	M ₆ M ₇ M ₈ M ₉ M ₁₀
	MOSFET (カレントミラー)	M ₁₃ M ₁₄	45μm/1.08μm
		M ₁	3.4μm/1.08μm
		M ₂	0.22μm/1.08μm
		M ₃	0.24μm/1.08μm
		M ₄	0.26μm/1.08μm
		M ₅	0.3μm/1.08μm
	抵抗	M ₁₁ M ₁₂	4.0μm/1.08μm
		R ₁	11kΩ
		R _{2A}	35kΩ
R _{2B}		75kΩ	
		R ₃	87kΩ

第4章 シミュレーション結果及び実測結果

本研究では回路設計ソフトで回路を設計しシミュレーションを行った後、レイアウトを設計し Chip を試作、実際に測定・評価を行った。本研究における設計環境を次の表 4-1、実測で使用した機器を表 4-2 にまとめる。

表 4-1 本研究における回路設計環境

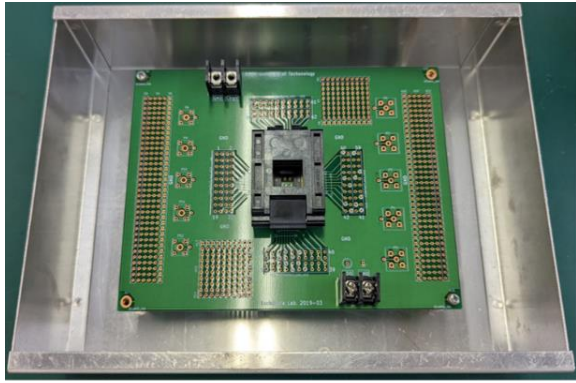
ツール名	種類	ベンダー
Virtuoso IC 6.1.8	回路設計プラットフォーム	Cadence
HSPICE	回路シミュレータ	Synopsys
CosmosScope	波形解析ツール	Synopsys
Calibre	LVS&DRC 検証ツール	Mentor Graphics

表 4-2 本研究で使用した測定機器

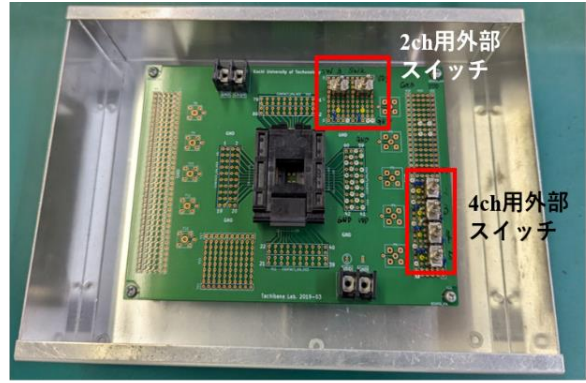
機器名	型番	メーカー
DC Power Supply	E3610A	Agilent Technologies
DC Power Supply	E3642A	Agilent Technologies
DC Power Supply	E36102B	KEYSIGHT
6 1/2 Digit Multimeter	34401A	Agilent Technologies
Digital Multimeter	CD771	SANWA
Temperature & Humidity Chamber	SH-241	ESPEC

上述の回路設計環境で回路設計、シミュレーション、レイアウト設計を行い、測定機器を使用し試作 Chip の測定を行った。特性は電源電圧特性と温度特性を測定した。電源電圧特性は電源電圧 V_{DD} を 0 ~ 2.5V まで 0.05V 刻みで変化させた際の出力電圧を測定した。温度特性は電源電圧 V_{DD} を 1.8V に固定し、0°C ~ 100°C まで変化させた際の出力電圧を測定した。両特性ともシミュレーション上の条件も同様である。また温度特性の実測に関しては、小型環境試験器 SH-241 に chip および治具を入れ、内部の温度を変化させ測定を行った。本研究での測定用基板および治具を図 4-1 に示す。

本研究では標準的かつ最小限の回路構成である 1 次温度補償 BGR 回路と 2 スイッチおよび 4 スイッチのキャリブレーション回路を搭載した BGR 回路を試作した。キャリブレーション回路搭載 BGR 回路に関しては測定用治具に外部スイッチを搭載することで、ゲート端子に印加する電圧を制御した。



(a) 1次温度補償BGR回路用治具



(b) キャリブレーション回路搭載BGR回路用治具

図 4-1 chip 測定用治具

4.1 提案回路におけるシミュレーション結果および実測結果

本節では本研究で設計した 1 次温度補償 BGR 回路およびキャリブレーション回路搭載 BGR 回路のシミュレーションおよび実測結果を示す. ここで各キャリブレーション回路搭載 BGR 回路の電源電圧特性および温度特性の実測結果には, 電源電圧 1.8V の際の実出力電圧が最も 1.00V に近い補正パターンのみを記載している. 1 次温度補償 BGR 回路について説明する. それぞれ試作した BGR 回路の電源電圧特性および温度特性の実測結果を次に示す. 1 次温度補償回路における chip 数 (サンプルの数) は 10 である. また 1 次温度補償 BGR 回路のシミュレーション結果は実線, 実測結果はプロットで表示している.

まず BGR_calc のシミュレーションおよび実測結果を次の図 4-2 と図 4-3 に示す. BGR_calc における電源電圧 1.8V の際の実出力電圧 V_{REF} は, シミュレーション上で 1.006V, 実測では 0.871V~1.113V となった. 温度特性に関しては, シミュレーション上の TC 値が 240.28ppm/°C に対し, 実測では 60.36ppm/°C~391.48ppm/°Cとなった.

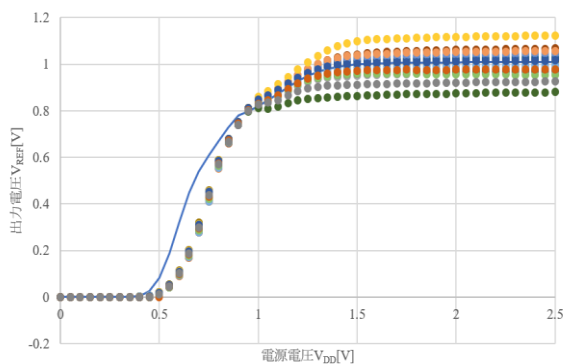


図 4-2 BGR_calc における電源電圧特性の結果

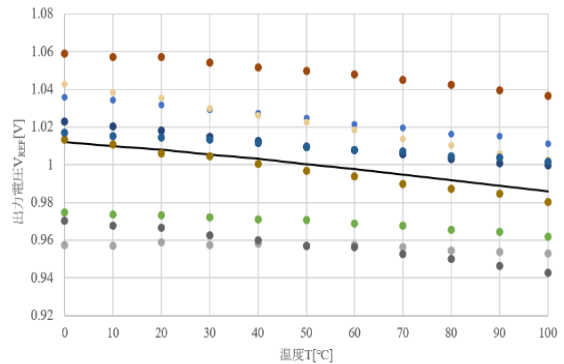


図 4-3 BGR_calc における温度特性の結果

次に BGR_simR_{2A10} の回路についてのシミュレーションおよび実測結果を図 4-4, 図 4-5 に示す. BGR_simR_{2A10} の電源電圧特性における電源電圧 1.8V の際, V_{REF} はシミュレーション上で 1.001V とな

り、実測では 0.931V~1.200V となった。温度特性ではシミュレーション上で TC 値が 27.11ppm/°C、実測では 41.06ppm/°C~194ppm/°C となった。

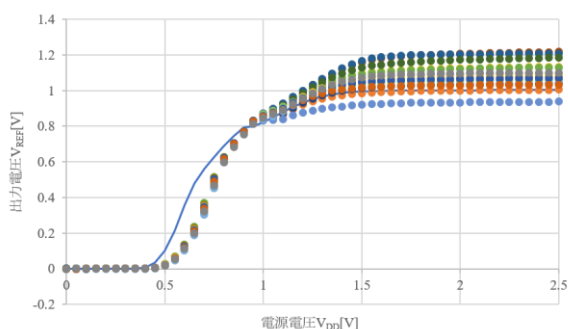


図 4-4 BGR_simR2A10 における電源電圧特性の結果

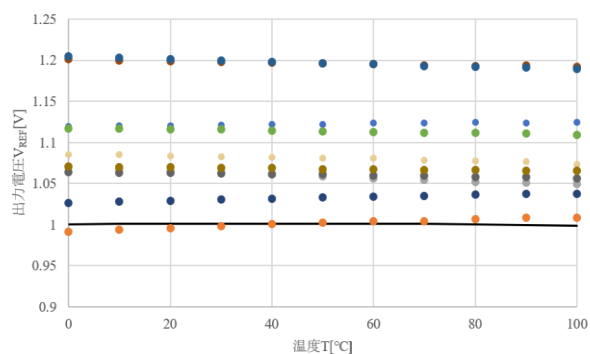


図 4-5 BGR_simR2A10 における温度特性の結果

BGR_simR2A30 のシミュレーション結果および実測結果を図 4-6、図 4-7 に示す。BGR_simR2A30 の電源電圧特性より電源電圧 1.8V の際の V_{REF} は、シミュレーション上で 1.001V、実測では 0.947V~1.161V となった。また温度特性、TC 値に関してはシミュレーション上で 19.52ppm/°C に対し、実測では 31.81ppm/°C~206.83ppm/°C となった。BGR_calc および BGR_simR2A30 の 1chip において温度特性実測の際、適切に動作しなかったため温度特性の実測結果から除いた。

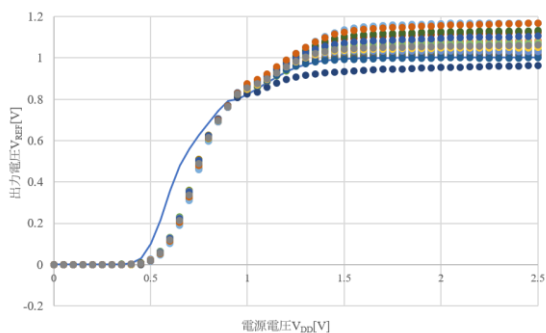


図 4-6 BGR_simR2A30 における電源電圧特性の結果

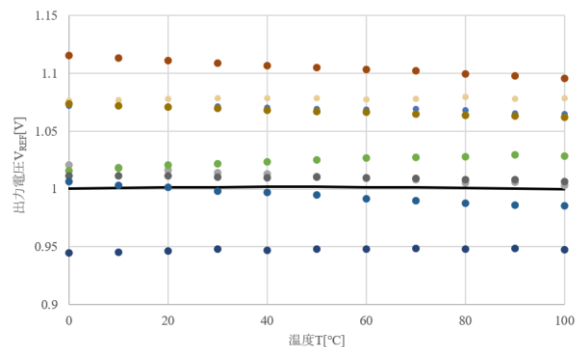


図 4-7 BGR_simR2A30 における温度特性の結果

キャリブレーション回路搭載 BGR 回路について説明する。2ch のキャリブレーション回路搭載 BGR 回路を 2 種類および 4ch の回路を 1 種類設計した。

まず 2chCALBGR1 のシミュレーション結果および電源電圧特性の測定結果を図 4-8 および図 4-9 示す。キャリブレーション回路の SW に印加する電圧は V_{DD} とした。シミュレーション上では補正無しの場合に加え、+5%補正、+10%補正が可能にした。マイナス補正に関しては、レイアウトの問題でシミュレーション上では結果が表示できなかったため除いている。実測結果における出力電圧のバラツキ範囲は 1.0697V~0.9317V で、1.000V を基準に考えると誤差は±7%程度となった。温度特性、TC 値

に関してはシミュレーション上で 10%補正が 188.53ppm/°C, 5%補正が 171.37ppm/°C, 補正無しが 54.88ppm/°Cとなった。

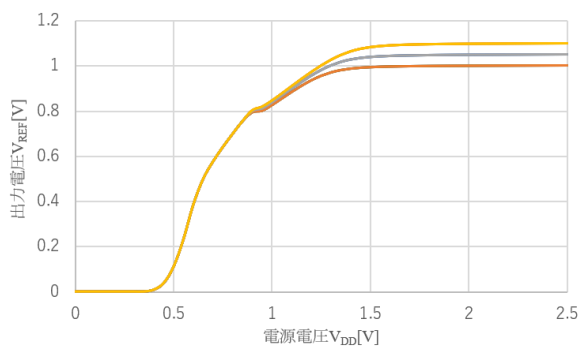


図 4-8 2chCALBGR1 における電源電圧特性のシミュレーション結果[26]

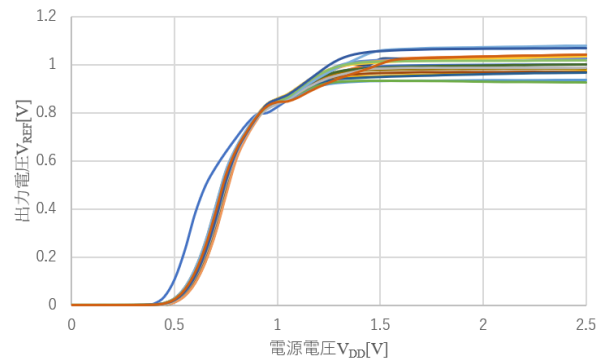


図 4-9 2chCALBGR1 における電源電圧特性の実測結果

次にもう 1 種類の 2chCALBGR2 と 4chCALBGR の結果を示す. 先述した 2chCALBGR1 との差異は, 温度特性 (TC) を考慮しているか否かである. 2chCALBGR1 は考慮していなかったが, 今から述べる 2chCALBGR2 は温度特性を考慮した設計, 素子パラメータになっている. 理由としては, 補正が実測の段階で可能であるかを確認する目的で設計を行ったためである. そのため温度特性の実測は行っていない.

2chCALBGR2 の電源電圧, 温度特性のシミュレーション結果を図 4-10, 図 4-11 に示す. 図 4-10 は電源電圧特性のシミュレーション結果であり, 1.8V における出力電圧はそれぞれ最小から 0.904V, 0.985V, 1.040V となっている. また温度特性のシミュレーション結果は図 4-11 であり, TC 値はそれぞれ 18.48ppm/°C (@V_{REF}=0.904V), 67.87ppm/°C (@V_{REF}=0.985V), 20.78ppm/°C (@V_{REF}=1.040V) で, すべて 2 桁となった

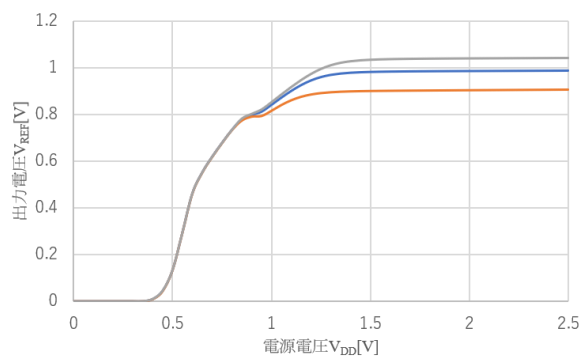


図 4-10 2chCALBGR2 における電源電圧特性のシミュレーション結果

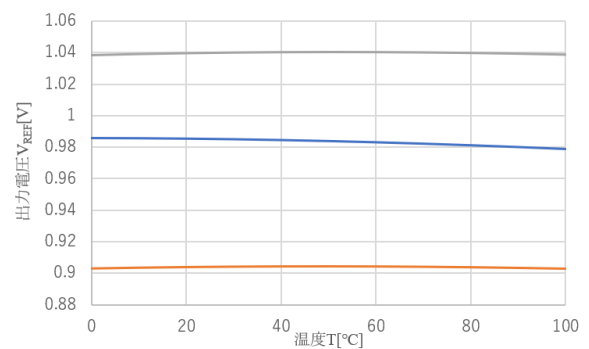


図 4-11 2chCALBGR2 における電源電圧特性のシミュレーション結果[19]

続いて 4chCALBGR における電源電圧特性のシミュレーション結果を図 4-12 に示す。4chCALBGR では図 4-12 のように補正数を増加させた。シミュレーション上の結果で出力電圧の範囲は 0.900V～1.098V と 2chCALBGR から出力電圧の調整可能範囲を広げることが可能になった。

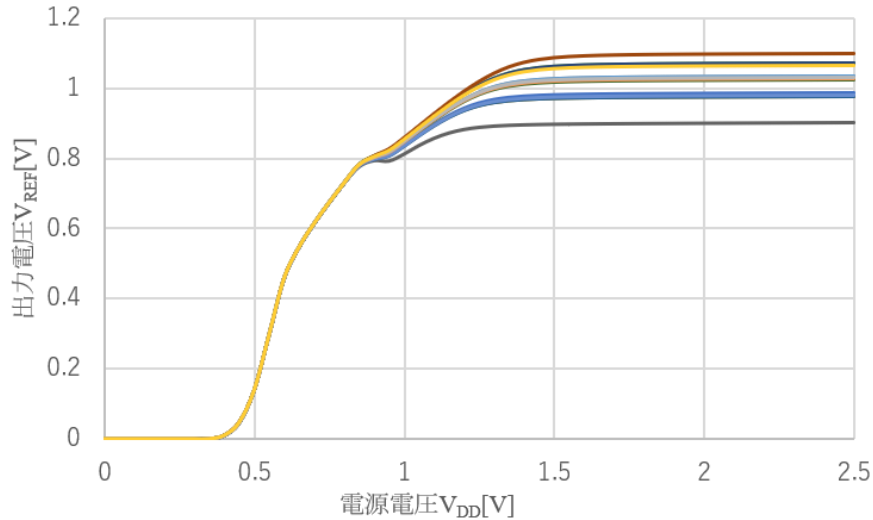


図 4-12 4chCALBGR における電源電圧特性のシミュレーション結果[26]

次の図 4-13 および図 4-14 に 2chCALBGR2 と 4chCALBGR における電源電圧特性の実測結果を示す。2chCALBGR2 における電源電圧の結果より、電源電圧 1.8V の際の出力電圧の範囲は 1.0622V～0.9667V となり、2chCALBGR1 と同様におおよそ±7%程度の誤差が生じた。4chCALBGR に関しては電源電圧 1.8V の際の出力電圧の範囲は、0.956V～1.029V となり約 4%程度の誤差が生じた結果となった。

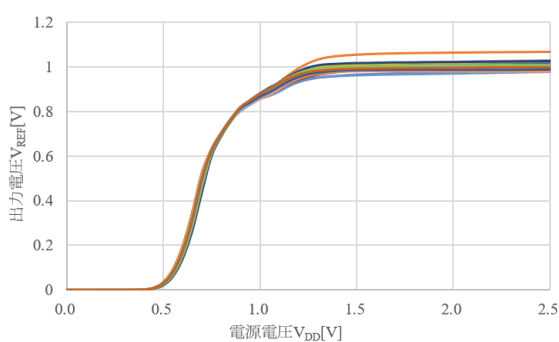


図 4-13 2chCALBGR2 における電源電圧特性の実測結果

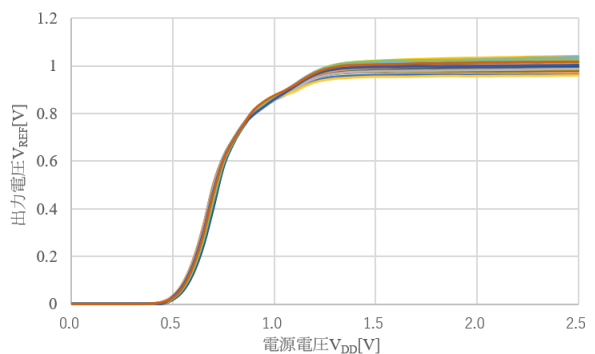


図 4-14 4chCALBGR における電源電圧特性の実測結果

キャリブレーション回路搭載 BGR の電源電圧 1.8V における出力電圧の分布についてまとめた図を図 4-15 に示す。図 4-15 より 2chCALBGR では最大 7%の出力電圧のばらつきが確認されたが、4chCALBGR では最大±4%程度と改善される結果となった。

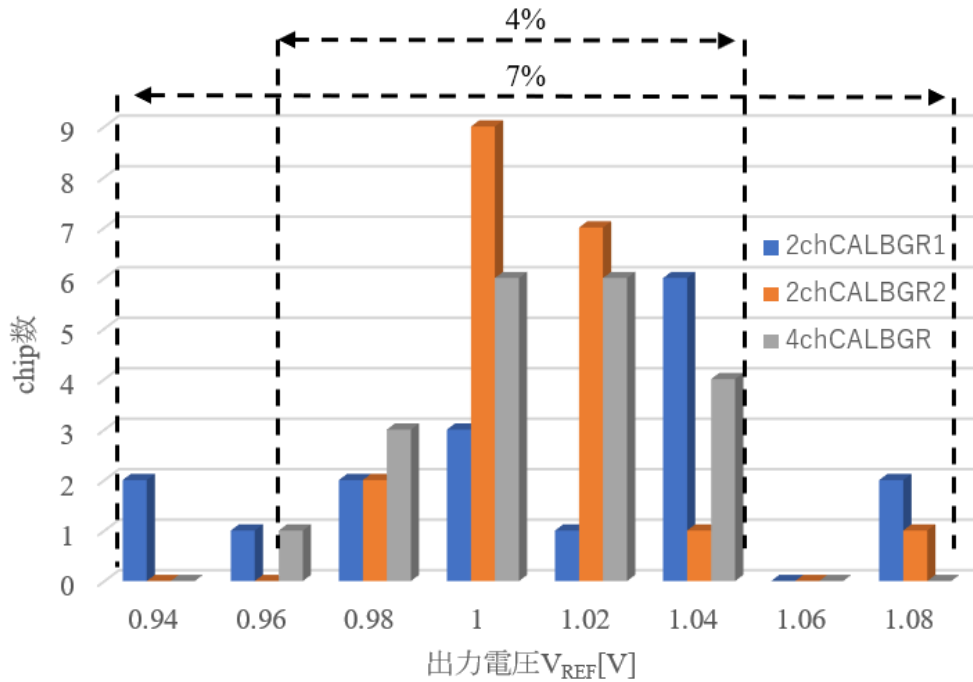


図 4-15 キャリブレーション回路搭載 BGR の実測における出力電圧の分布[26]

次に 2chCALBGR2 および 4chCALBGR における温度特性の実測結果を、図 4-16 および図 4-17 に示す。2chCALBGR2 の 1chip が温度特性測定時に動作せず、電源電圧特性のみ測定した。そのため、2chCALBGR2 の温度特性計測の chip 数は 19 となっている。2chCALBGR2 の実測結果について、TC 値は 17.71ppm/°C~356.59ppm/°Cで平均値が 157.35ppm/°Cとなった。4chCALBGR における温度特性の実測結果は、33.09ppm/°C~330.94ppm/°Cで平均値は 132.24ppm/°Cとなった

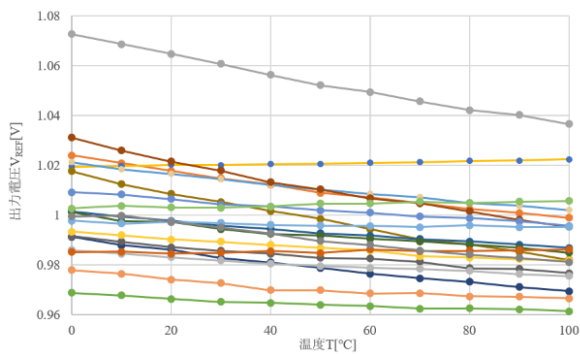


図 4-16 2chCALBGR2 における温度特性の実測結果

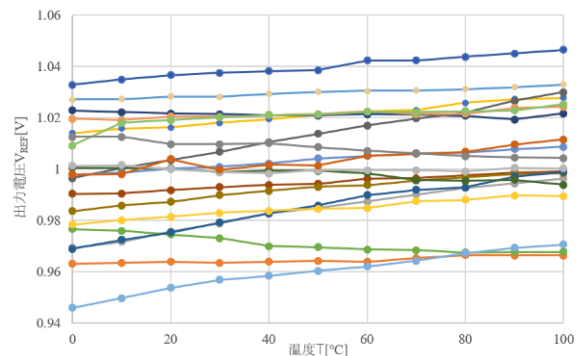


図 4-17 4chCALBGR における温度特性の実測結果

試作した BGR_calc1, BGR_sim1 および BGR_sim2 と、2chCALBGR2 および 4chCALBGR の温度特性の実測結果から算出した TC 値を次の表 4-3 に表 4-4 にまとめた。

表 4-3 キャリブレーション回路搭載 BGR 回路における TC 値まとめ

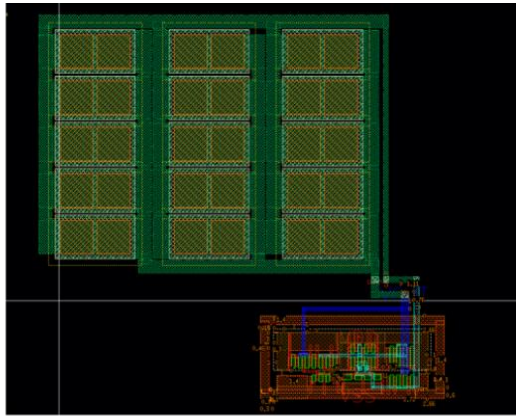
	2chCALBGR2	4chCALBGR
chip1	247.97	34.72
chip2	343.30	275.12
chip3	28.51	135.88
chip4	189.94	56.66
chip5	77.53	92.88
chip6	222.52	35.44
chip7	354.63	89.35
chip8	151.29	330.94
chip9	356.59	149.63
chip10	146.92	305.01
chip11	165.11	67.39
chip12	135.27	108.32
chip13	116.34	51.22
chip14	106.07	33.09
chip15	116.23	115.65
chip16	26.40	257.91
chip17	29.89	157.43
chip18	N/A	130.20
chip19	17.71	135.60
chip20	188.66	82.41
最大値	356.59	330.94
最小値	17.71	33.09
平均値	157.35	132.24

表 4-4 1次温度補償 BGR 回路における TC 値まとめ

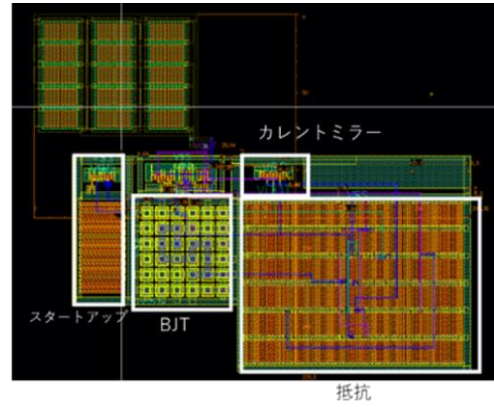
	BGR_calc	BGRsim_R _{2A} 10	BGRsim_R _{2A} 30
chip1	N/A	170.73	N/A
chip2	60.36	194.67	171.25
chip3	241.95	41.06	70.83
chip4	391.48	110.57	31.81
chip5	130.60	73.23	130.17
chip6	228.67	111.88	38.67
chip7	216.62	73.11	183.38
chip8	289.39	72.75	50.38
chip9	333.34	49.30	105.57
chip10	149.79	131.09	206.83
最大値	391.48	194.67	206.83
最小値	60.36	41.06	31.81
平均値	226.91	102.84	156.75

4.2 試作回路のレイアウト設計

本研究で試作した回路のレイアウトに関して述べる。図 4-18 に本研究で BGR に使用したオペアンプと 1 次温度補償 BGR 回路のレイアウト図を示す。1 次温度 BGR 回路に関して数種類試作したが、素子パラメータを変化させたのみで回路トポロジーは変更していない。本研究では先述の通り、先行研究で設計されたオペアンプを使用した。1 次温度補償 BGR 回路に関して、総回路面積はすべて同じためレイアウトは 1 種類のみを記載している。図 4-18 で示したオペアンプの回路面積は $115.72\mu\text{m} \times 123.42\mu\text{m}$ (縦×横) である。また 1 次温度補償 BGR 回路の回路面積は $229.5\mu\text{m} \times 283.36\mu\text{m}$ である。



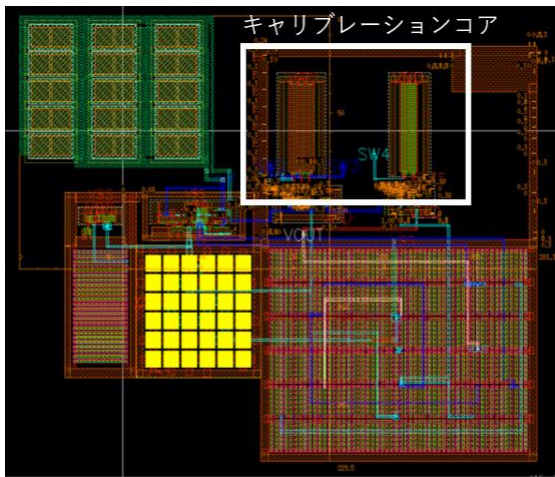
(a) 先行研究[18]と同様のオペアンプ



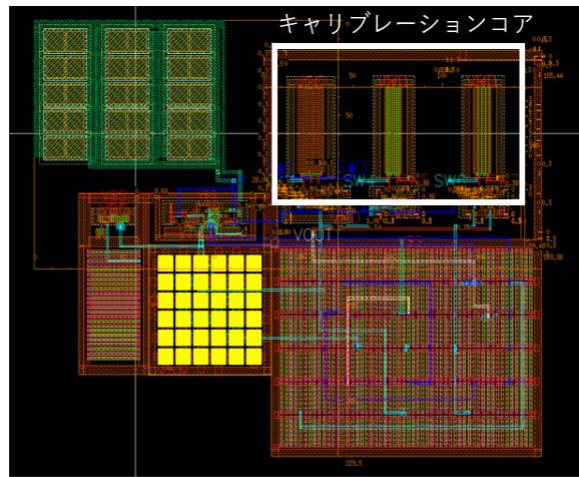
(b) 1次温度補償BGR回路

図 4-18 BGR 回路に搭載したオペアンプおよび 1 次温度補償 BGR 回路のレイアウト図

図 4-19 に本研究で設計したキャリブレーション回路搭載 BGR のレイアウトを図 4-19 に示す. 図 4-19-(a)は SW1~SW3 で補正が 2ch のキャリブレーション回路, 図 4-19-(b)は SW1~SW5 で補正が 4ch のキャリブレーション回路搭載 BGR である. 図 4-19-(b)の方が(a)に比べ補正数が多く MOS の並列数が増加するため, キャリブレーションコアの面積が大きくなっている. 図 4-19 に示した BGR 回路の回路面積はともに, $229.5\mu\text{m} \times 283.36\mu\text{m} \approx 0.065\text{mm}^2$ である. その中でキャリブレーションコアの回路面積は図 4-19 で $71.64\mu\text{m} \times 155.44\mu\text{m}$ であり, BGR 回路の総面積においてキャリブレーションコアが占める面積の割合は約 17.12% である. 本研究におけるダイサイズは 6.3504mm^2 である[26].



(a) 補正2のBGR回路 (2chCALBGR)



(b) 補正4のBGR回路 (4chCALBGR)

図 4-19 キャリブレーション回路搭載 BGR のレイアウト図[26]

4.3 提案した回路の性能まとめ

本研究で提案・試作したキャリブレーション回路搭載 BGR 回路は 3 種類である．それらの結果を次の表 4-5 にまとめる．

表 4-5 にあるラインレギュレーション, LR (Line Regulation) とは, 入力電圧・電源電圧の変動に対する出力電圧の変動を表す指標である．電源電圧に依存せず一定の電圧を出力する BGR 回路において重要な指標であり, 次式で書かれる[1][9]．

$$\mathbf{LR}(V/V) = \frac{\Delta V_{OUT}}{\Delta V_{IN}} = \frac{\Delta V_{REF}}{\Delta V_{DD}} \quad (4.1)$$

$$\mathbf{LR}(\%) = \mathbf{LR}(V/V) \times 100 \quad (4.2)$$

以上を踏まえた上で実測結果を用いた各項目, 指標におけるキャリブレーション回路搭載 BGR3 種類の性能を次の表 4-5 にまとめた．本研究で使用した製造プロセスは 0.18 μm で, 動作電源電圧範囲は 1.6V~2.5V とした．また動作温度範囲は 0~100 $^{\circ}\text{C}$ である．chip 数は 2chCALBGR2 と 4chCALBGR は 20 で, 2chCALBGR1 は動作不良の chip が 3 つあったため 17 となっている．

表 4-5 試作したキャリブレーション回路搭載 BGR の性能まとめ

パラメータ	2chCALBGR1	2chCALBGR2	4chCALBGR
製造プロセス(nm)	180	180	180
V_{DD} (V)	1.6-2.5	1.6-2.5	1.6-2.5
$V_{REF,\mu}(@V_{DD}=1.8V)$ (V)	1.002	1.000	0.998
温度範囲($^{\circ}\text{C}$)	0~100	0~100	0~100
TC(ppm/ $^{\circ}\text{C}$)	N/A	356.59(max)	330.94(max)
		17.71(min)	33.09(min)
		157.35(Avg)	132.24(Avg)
$V_{REF,\sigma}$	0.0413	0.0210	0.0209
$V_{REF,\sigma/\mu}$ (%)	4.12	2.10	2.09
LR(V/V)(%)	0.13-2.32	0.14-1.83	0.07-2.66
回路面積(mm ²)	0.065	0.065	0.065
サンプル数	17	20	20

第5章 考察

5.1 BGR 回路における温度特性・TC のバラツキに関する考察

本研究の1次温度補償 BGR 回路ではシミュレーションでの最良パラメータと実測値から算出したパラメータの2パターンで設計を行った。温度特性、TC 値は計算でのパラメータよりシミュレーションにより決定したパラメータの方がよい結果となった。そのためまず実測値などから理想パラメータを導きその後、シミュレーション上で最良の設計を行うべきと考える。

次に設計した各 BGR 回路の TC 値を確認すると、その平均値がおおよそ 150ppm/°Cとなっている。先行研究[18]では1回路のみにおいて 17/20chip が 2桁 ppm/°Cと非常に良い結果だったが、その他の回路では本研究と大きな差異は観測できなかった。先行研究[18]でよい結果だった回路は温度に依存する要因のみのバラツキが小さかったため、TC 値のみ良い結果が得られたと考えている。

回路の製造では chip 間、ウェーハ間、ロット間などで素子のバラツキが発生し、出力に誤差が生じる。特に温度特性に関して、先述の通りプロセスバラツキにより1次温度補償 BGR 回路では精度に限界がある。対策として2次温度補償 BGR 回路や、2コア BGR 回路、温度トリミングが挙げられる。現在2次温度補償 BGR 回路の設計に取り組んでおり、回路の構成がシンプルで面積の増加の最小限に抑制できると考えたためである。今後2次温度補償 BGR 回路に、キャリブレーション回路を搭載することで温度特性と出力電圧を同時に補正可能な BGR 回路が実現可能と考えている。

5.2 キャリブレーション回路搭載 BGR に関する考察

本研究では BGR 回路における出力電圧のバラツキ対策として、低コストかつ同プロセスで実装可能なキャリブレーション回路を搭載した。第5章のシミュレーションおよび実測結果から、1次温度補償 BGR 回路と比較するとバラツキは改善されていることが分かる。また、補正数(ch 数)が 2ch から 4ch に増加した場合も同様に、出力電圧の誤差に改善が見られた。このことから、さらに補正数を増加させることで、第5章で示した 4ch キャリブレーション回路搭載 BGR 回路の結果以上のバラツキ抑制が可能であると考えられる。

次にキャリブレーション回路においてどの程度の補正数が必要であるかを考察する。結論から述べると、BGR 回路を搭載するアプリケーションによって補正数を設定することが望ましいと考える。理由としては、実測結果および先述の考察から補正数を増加させれば、バラツキ抑制は可能であると考えたが、一方で面積の増大や外部端子の増加が懸念されるためである。よってキャリブレーション回路による電圧補正と面積はトレードオフであることが分かる。そこで搭載するアプリケーションにおいて必要な電圧範囲を設定し、その範囲内に収まるような補正数を決定することで、面積の増大を抑制しつつ適切な電圧を確実に低コストで供給することが可能になると考えている。

またキャリブレーション回路については今後ゲート端子における ON/OFF の切り替えを外部端子ではなく、出力電圧からデジタル回路を用いて切り替える必要があると考えている。理由としては補正数を今以上に増加させる場合、現状の chip では端子の不足が懸念されるため、また実用化を考慮すると、回路内部でキャリブレーションが完結する必要があるためである。そのため実用化を見据える場合、BGR 回路における自己電圧キャリブレーション回路の実現が必要不可欠であると考えられる。

5.3 本研究で提案した BGR 回路と既存 BGR 回路の性能比較

提案回路と他の研究における BGR 回路の性能比較を行う。次の表 5-1 にまとめる[26]。比較対象としては、既存の BGVR 回路で製造プロセスが近しく実際にサンプルを製造、測定した研究を選択している。本研究で試作した 4chCALBGR を比較対象としている。実測結果が記載されているもので、 V_{REF} の変動係数を算出したデータを比較対象とした。比較結果として、 σ/μ に関してはトリミングありの BGR 回路に及ばないものの、トリミング無しの結果に対しては優位であった。そのため、補正数を増加させることでトリミングありの結果を上回することは可能と考えている。TC に関しては先行の BGR 回路と比較して思わしくない結果となった。少なくとも 2 桁 ppm/°C 以下の TC を達成する必要があると考えている。そのため先ほども述べた通り、2 次温度補償 BGR 回路などを追加し対策を行うことで改善を図ることを考えている。

表 5-1 提案回路と先行研究における BGR 回路の性能比較[26]

	本研究	[27]	[28]	[29]
製造プロセス(nm)	180	180	110	350
V_{DD} (V)	1.6-2.5	1(min)	0.25-0.4	2-5
$V_{REF,\mu}$ (V)	0.998	0.756	0.196(@ $V_{DD}=0.25V$)	1.141
温度範囲(°C)	0~100	-40~125	10-90	-40~125
TC(ppm/°C)	330.94(max)			
	33.09(min)	49.6(@ $V_{DD}=1.8V$)	58-186(134)	4.03
	132.24(Avg)			
$V_{REF,\sigma/\mu}$ (%)	2.09	0.95	3.38(sim)	0.97
回路面積(mm ²)	0.065	0.016	0.013	0.039
サンプル数	20	63	10	30
トリミング	NO	YES	NO	YES

第6章 結論

本研究では低コストかつ同プロセスで出力電圧のバラツキを抑制可能な BGR 回路の設計を行った。現在アナログ回路の分野において重要な課題として出力電圧のバラツキが挙げられ、その対策であるトリミング技法は、回路自体の高コスト化や複雑化につながっている。そこで提案手法として従来の 1 次温度補償 BGR 回路に、MOSFET で構成されたキャリブレーション回路を搭載することで、BGR コアに流れる電流を制御し、出力電圧の調整を行うものである。本研究ではキャリブレーション回路におけるスイッチ数が 2 および 4 の回路である 2ch と 4ch のキャリブレーション回路搭載 BGR 回路を設計した。また 1 次温度補償 BGR 回路も設計し、先行研究[18]で言及されていたオフセットを考慮した構成で設計した。キャリブレーション回路搭載 BGR 回路は、シミュレーション上で出力電圧の補正が可能であることが確認され、実測結果では電源電圧 1.8V における出力電圧のバラツキを±4%以下に抑えることが可能であった。この際の出力電圧の平均値が 0.998V であり、変動係数 σ/μ は 2.095%であった。先行研究[18]および本研究で設計された 1 次温度補償 BGR 回路と比較すると、電源電圧特性より 1.8V の際の電圧バラツキは最大で+20%程度、本研究の手法で 10%(0.1V)以上の抑制が可能となり改善が見られた。またコストに関してもトリミングを必要とせず回路追加のみであるため、バラツキ対策のコストもかかっていない。キャリブレーション回路搭載 BGR 回路の回路面積は 0.065mm^2 ($229.5\mu\text{m} \times 283.36\mu\text{m}$) であり、1 次温度補償 BGR 回路と比較しても同じである。またキャリブレーション回路自体もスイッチの役割を持った MOSFET のみで構成され、回路トポロジーもシンプルである。そのため補正数も現状の 4ch から増加可能と考えている。

本研究の結果および考察から改善の余地もみられる。まずキャリブレーション回路搭載 BGR 回路と既存研究における BGR 回路を比較すると出力電圧のバラツキの点で、トリミングを行った BGR 回路には及ばず改善の余地がある。そこでさらに補正数を増加させることで、電圧調整の細かくし出力電圧のバラツキ抑制が可能になると考えられる。また現状補正数の増加は外部端子の増加につながっている。設計上や実用化を考慮すると外部端子は少ない方が望ましい。そのためにはキャリブレーション回路の制御を回路内部で完結させる、デジタル回路等を用いて自動制御可能にさせることで解決可能と考える。

謝辞

本研究の遂行にあたり、多くの方々に丁寧なご指導ご協力頂きました。特に主指導教官である高知工科大学電子・光工学コースの橘昌良教授には、ご指導ご鞭撻を賜り深く感謝申し上げます。副査を担当していただいた高知工科大学電子・光工学コースの密山幸男教授，星野孝総准教授，論文執筆にあたりご助言をいただいた野田聡人准教授をはじめとした教職員の方々にも，多くのご指導賜り誠に感謝いたします。また高知工科大学電子・光工学コースの山本真行教授には，温度特性測定の際に使用した小型環境試験器 SH-241 を快くお貸しいただき大変感謝いたします。最後に橘研究室および密山研究室の皆様には，本研究において多大なご助言，ご協力やそのほか雑談など大変お世話になりました。心よりお礼申し上げます。

本研究は JSPS 科研費 18K11222 の補助を受け，東京大学大規模集積システム設計教育研究センターを通し，日本ケイデンス株式会社，シノプシス株式会社およびメンター株式会社の協力で行われたものである。本チップ試作は東京大学大規模集積システム設計教育研究センターを通してローム株式会社および TOPPAN ホールディングス株式会社の協力で行われたものである。

参考文献

- [1] M.A. Sobhan Bhuiyan, M.R. Hossain, et al. “CMOS Low-Drop Voltage Regulator Design Trends: An Overview,” *Electronics*, Vol.11, No2, Jan. 2022.
- [2] L.L. Lewyn, T. Ytterdal, C. Wulff, and K. Martin. “Analog Circuit Design in Nanoscale CMOS Technologies,” *Proc. IEEE*, Vol.97, No.10, pp.1687-1714, Oct. 2009.
- [3] J. Shor, “Compact Thermal Sensors for Dense CPU Thermal Monitoring and Regulation: A Review,” *IEEE Sensors Journal*, Vol.21, No.11, pp.12774-12788, Jun. 2021.
- [4] H. Iwai, “CMOS Technology After Reaching The Scale Limit,” *International Workshop on Junction Technology*, May, 2008.
- [5] H. -S. Lee, C. G. Sodini, “Analog-to-Digital Converters: Digitizing the Analog World,” *Proc. IEEE*, Vol.96, No.2, pp.323-334, Feb. 2008.
- [6] 谷口研二, CMOS アナログ回路入門, 西野直樹 (編), CQ 出版株式会社, 東京, 2003.
- [7] S. Chakraborty, A. Mallik, C. K. Sarkar, and V. R. Rao. “Impact of Halo Doping on the Subthreshold Performance of Deep-Submicrometer CMOS Devices and Circuits for Ultralow Power Analog/Mixed-Signal Applications,” *IEEE Transaction on Electron Devices*, Vol.54, No.2, pp.241-248, Feb. 2007.
- [8] G. G. E. Gielen, R. A. Rutenbar, “Computer-Aided Design of Analog and Mixed-Signal Integrated Circuits,” *Proc. IEEE*, Vol.88, No.12, pp.1825-1854, Dec. 2000.
- [9] Chi-Wah Kok, Wing-Shan Tam, “CMOS Voltage Reference An Analytical and Practical Perspective”, WILEY, 2013.
- [10] C. J. B. Fayomi, G.I. Wirth, H. F. Achigui, A. Matsuzawa, “Sub 1 V CMOS bandgap reference design techniques: a survey” *Analog Integrated Circuits and Signal Processing*, Vol.62, pp.141-157, Aug. 2009.
- [11] S. Borkar, et al. “Parameter Variations and Impact on Circuits and Microarchitecture,” *Proc. Design Automation Conference*, IEEE, Anaheim, CA, USA, Jun. 2003.
- [12] 吉田晴彦, CMOS アナログ IC 回の実務設計, 蒲生良治 (編), CQ 出版株式会社, 東京, 2010.
- [13] A. L. Aita, M. A. P. Pertijs, K. A. A. Makinwa, and J. H. Huijsing, “A CMOS smart temperature sensor with a batch-calibrated inaccuracy of $\pm 0.25^\circ\text{C}$ (3 σ) from -70°C to 130°C ,” *IEEE International Solid-State Circuit Conference*, San Francisco, CA, USA, Feb. 2009.
- [14] 佐竹宏太, “基準電源回路の設計と評価,” 高知工科大学システム工学群電子光工学専攻, 卒業研究報告書, 2016.
- [15] 武内智哉, “MOSFET 対をコモンセントロイド化した BGR 回路,” 高知工科大学システム工学群電子光工学専攻, 卒業報告書, 2017.
- [16] 山田健太, “2 段オペアンプを用いたバンドギャップリファレンスの設計と評価,” 高知工科大学工学研究科基盤工学専攻電子・光システム工学コース, 修士論文, 2016.
- [17] 猪岡柚香, “バンドギャップ基準電源回路を対象とした BIST 手法に関する研究,” 高知工科大学工学研究科基盤工学専攻電子・光システム工学コース, 修士論文, 2020.
- [18] 増田梓月, “バンドギャップ基準電源回路のための素子バラツキの抑制を目的とした設計手法,” 高知工科大学工学研究科基盤工学専攻電子・光システム工学コース, 修士論文, 2021.

- [19] 林竜史, 橘昌良, “バンドギャップ基準電圧回路におけるバラツキ抑制を考慮した設計アプローチ,” DA シンポジウム 2023 予稿集, pp.135-140, 2023 年 8 月.
- [20] H. Banba et al., “A CMOS bandgap reference circuit with sub 1-V operation,” IEEE J. Solid-State Circuit, Vol.34, No.5, pp.670-674, 1999.
- [21] P. Malcovati, F. Maloberti, C. Focchi, and M. Pruzzi, “Curvature-compensated BiCMOS bandgap with 1-V supply voltage,” IEEE J. Solid-State Circuit, Vol.36, No.7, pp.1076-1081, Jul. 2001.
- [22] N. Sun and R. Sobot, “A low-power low-voltage bandgap reference in CMOS,” CCECE 2010, Calgary, AB, Canada, May, 2010.
- [23] K. N. Leung, and P. K. Mok, “A Sub-1-V 15ppm/°C CMOS Bandgap Voltage Reference Without Requiring Low Threshold Voltage Device,” IEEE J. Solid-State Circuits, Vol.37, No.4, pp.526-530, Apr. 2002.
- [24] Razavi. B, “Design of Analog CMOS Integrated Circuit” McGraw-Hill, 2001.
- [25] G. Ge, C. Zhang, G. Hoogzaad, and K. A. A. Makinwa, “A Single-Trim CMOS Bandgap Reference With a 3σ Inaccuracy of $\pm 0.15\%$ From -40°C to 125°C ,” IEEE J. Solid-State Circuit, Vol.46, No.11, pp.2693-2701, Oct. 2011.
- [26] R. Hayashi, M. Tachibana, “CMOS Bandgap Voltage Reference with Calibration Circuit for Process Variation,” to be published in SASIMI 2024, Mar. 2024
- [27] H. Zhang, X. Liu at el., “A Nano-Watt MOS-Only Voltage Reference With High-Slope PTAT Voltage Generators,” IEEE Transaction on Circuit and Systems II: Express Briefs, Vol.65, No.1, pp.1-5, Jan. 2018.
- [28] B. -D. Yang, “250-mV Supply Subthreshold CMOS Voltage Reference Using a Low-Voltage Comparator and a Charge-Pump Circuit,” IEEE Transaction on Circuit and Systems II: Express Briefs, Vol.61, No.11, pp.850-854, Nov. 2014.
- [29] Z. -K. Zhou, Y. Shi, at el., “A Resistorless High-Precision Compensated CMOS Bandgap Voltage Reference,” IEEE Transactions on Circuits and Systems I: Regular Papers, Vol.66 No.1, pp.428-437, Jan. 2019.
- [30] 山本晃央, 酒井伸次, 平井宣彦, “レーザートリミング技術を用いた高精度温度出力機能内蔵 LVIC,” 三菱電機技報, Vol,86, No5, 2012.
- [31] J.-H. Li, X. Zhang, and M. Yu, “A 1.2-V Piecewise Curvature-Corrected Bandgap Reference in $0.5\mu\text{m}$ CMOS Process,” IEEE Trans. VLSI Systems, Vol.19, No.6, pp.1118-1122, Jun. 2011.

付録

A BGR 回路における出力電圧のバラツキの要因と対策

A-1 BGR 回路におけるバラツキの要因

本研究におけるバラツキとは出力電圧のバラツキ，シミュレーション値と実測値の誤差のことである．第 1 章でも述べた通り近年の半導体製造・加工技術向上により集積回路の微細化が進んでいる反面，製造時のバラツキがアナログ回路の分野では大きな課題となっている．その中で BGR 回路におけるバラツキの要因は主に次のものが挙げられる．

1. ダイオード単体の電圧 V_{EB} 及び ΔV_{EB} のプロセスバラツキによる誤差
2. V_{EB} の非線形性
3. オペアンプのオフセット電圧

などである．ほかにもしきい値電圧や W/L 比のバラツキ・不一致など電圧誤差の要因となりうる要素は存在するが，ここに挙げた 3 つの要因が出力電圧のバラツキに対する影響が特に大きいと考えられる[25]．

1 の V_{EB} 及び ΔV_{EB} については式 (2.2) より飽和電流 I_S とコレクタ電流 I_C により値が左右される．主に飽和電流 I_S が公称値からばらつくことで， V_{EB} ， ΔV_{EB} のバラツキを引き起こし出力電圧のバラツキに影響する．

2 の V_{EB1} の非線形性について， V_{EB1} は式 (2.2) で与えられ温度に依存しないと述べた．しかし厳密には V_{EB1} はわずかに非線形であり，温度依存項を持つ式になる．温度依存項を持つ V_{EB1} の式は次のようになる[9][25]．

$$V_{EB1} = V_{G0} - (V_{G0} - V_{EB}) \frac{T}{T_R} - (\eta - 1) V_T \ln \frac{T}{T_R} \quad (A.1)$$

ここで V_{G0} は絶対温度 0K におけるシリコンのバンドギャップ電圧であり， T_R は基準温度， η はプロセス依存定数である．上記の式よりわずかに非線形であるため最終的な出力電圧にバラツキが生じる．また V_{EB} の非線形性は温度特性においても影響するため，温度特性・TC 値の悪化をもたらす大きな要因にもなりうる．

3 のオペアンプのオフセット電圧に関しては，バラツキ要因の中で出力電圧のバラツキに最も影響が大きい．一般的なオペアンプのオフセット電圧は，最大十数 mV になる．その場合の出力電圧への影響は，約±10%程度あるいはそれ以上のバラツキを引き起こす．数値的には数十 mV~百数 mV のバラツキが発生する[25]．

その他にも抵抗のミスマッチや公称値からのバラツキなど存在する．しかし，オペアンプのオフセット電圧と比較すると，1，2 の V_{EB} に関するバラツキや抵抗のバラツキは出力電圧に対する影響は小さい．具体的にオフセット電圧は目標値に対して約±10%の出力電圧バラツキに対し，その他の要因は最大±1%程度である[25]．

A-2 現在のアナログ回路のバラツキ対策

現在、アナログ回路の分野でバラツキの対策として次のような方法が行われる。主な手法としてレーザートリミングやツェナーザップトリミングが挙げられる[12]。これらは電圧のバラツキに対して有効な手段である。

レーザートリミングは、設計段階でトリミング用抵抗を回路に組み込む。チップを製造後、レーザートリミング装置を使用し抵抗もしくはヒューズをカットする（焼き切る）ことで、抵抗値を変化させ電圧を調整する手法である[12]（図 A-1(a)(b)）。現在企業などでは多く使用される手法である。しかし短所として、レーザートリミング装置が非常に高価である点、製造後トリミング工程が必要である点、素子を焼き切るため再調整が不可能な点が挙げられる。

ツェナーザップトリミングに関しては、ツェナーザップダイオードを回路に組み込み、回路の一部をショートさせ出力電圧を調整する手法である[12]（図 A-1(c)）。この方法はレーザートリミングのような専用の装置が必要ない利点がある。しかし、ツェナーザップダイオードを使用するためのプロセスが必要になる点、電圧を印加するための外部端子（プローブパッド）が必要な点が挙げられ、回路面積は増大する傾向にある。またレーザートリミングと同様に、素子をショートさせるため再調整が不可能な点が挙げられる。

ここで図 A-1 にレーザートリミングとツェナーザップトリミングの回路図を示す。レーザートリミングにはヒューズ・タイプとカット・タイプが存在する。ヒューズタイプは抵抗に対し並列にヒューズを接続し、ヒューズをレーザーでカットすることで抵抗値を調整する。カットタイプは抵抗をレーザーでカットし、流れる電流を調整する手法である。ツェナーザップトリミングについては、抵抗とツェナーダイオードを並列に接続する。外部端子からツェナーダイオードに電圧を加え、短絡させることで抵抗値の調整を行っている[12]。

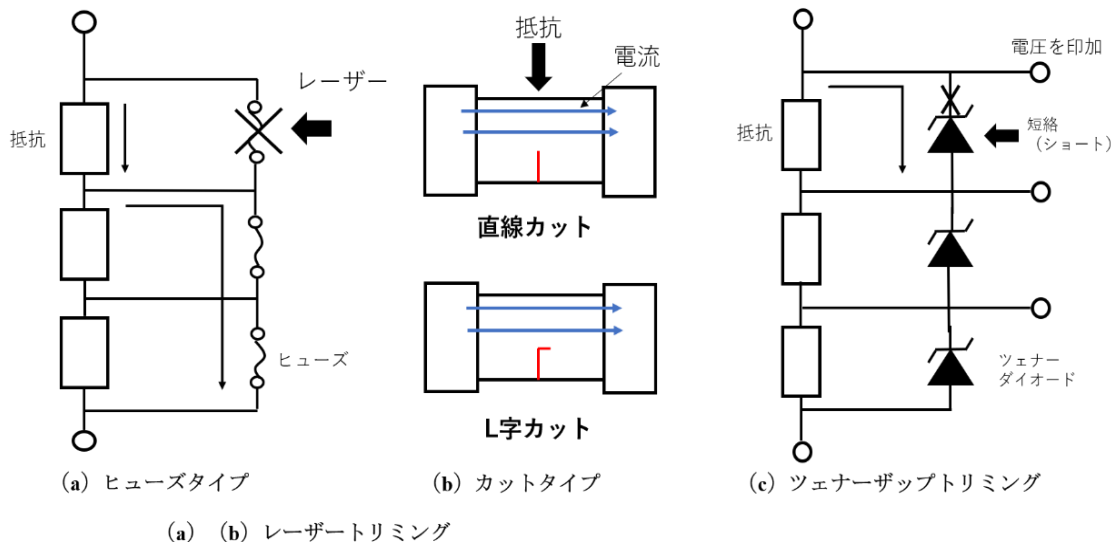


図 A-1 トリミングの簡易図[12]

B 区分補償 BGR 回路

B-1 区分補償・2次温度補償 BGR 回路 (Piecewise Curvature-Compensation)

1次温度補償では限界がありその対策として適用される手法がある。それが2次温度(曲率)補償や区分的曲率補償(Piecewise curvature-compensation)などである。これらは、基本的に図 2-4 のような1次温度補償 BGR に、シンク型やソース型の電流源回路を追加し温度補償を行う技法である。

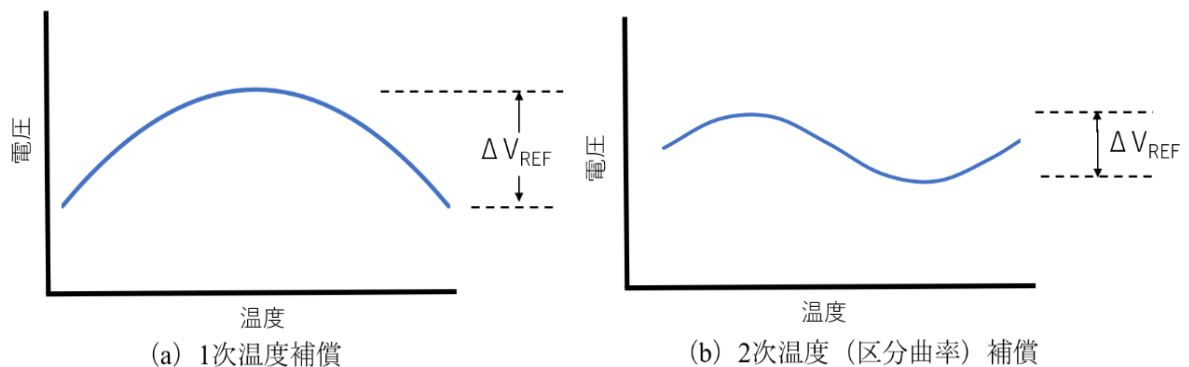


図 B-1 温度補償後の出力電圧グラフ

1次及び2次温度(区分曲率)補償を行うと、図 B-1 に示した出力電圧のグラフのような形になる。利点として1次温度補償に比べ温度特性の改善及び温度範囲も広く動作が安定する。また温度範囲における出力電圧の変動 ΔV_{REF} について、2次温度補償は小さくなる点も挙げられる。一方で新たな回路を追加することによる回路面積増大、高次の温度補償においてはバラツキやミスマッチに対するエラー感度が高まる点、といったデメリットがある。そのため現在、実装においてはさらに高次の温度補償に関しては稀である[9]。

B-2 試作した区分曲率補償 BGR 回路

本研究では標準的な(1次温度補償)BGR回路に加え、区分補償回路を設計した。先述の通り1次温度補償 BGR 回路では温度特性において限界があるため、またキャリブレーション回路を追加した際の温度特性の悪化を懸念し、それらの対策として新たに補償回路を搭載した区分曲率補償(Piecewise Curvature Compensation) BGR 回路の設計を行った。

本研究では補正電流を BGR コアに流し、区分曲率補償を行った。ここで BGR コアに流す補正電流を生成する回路図を示す[9][31]。

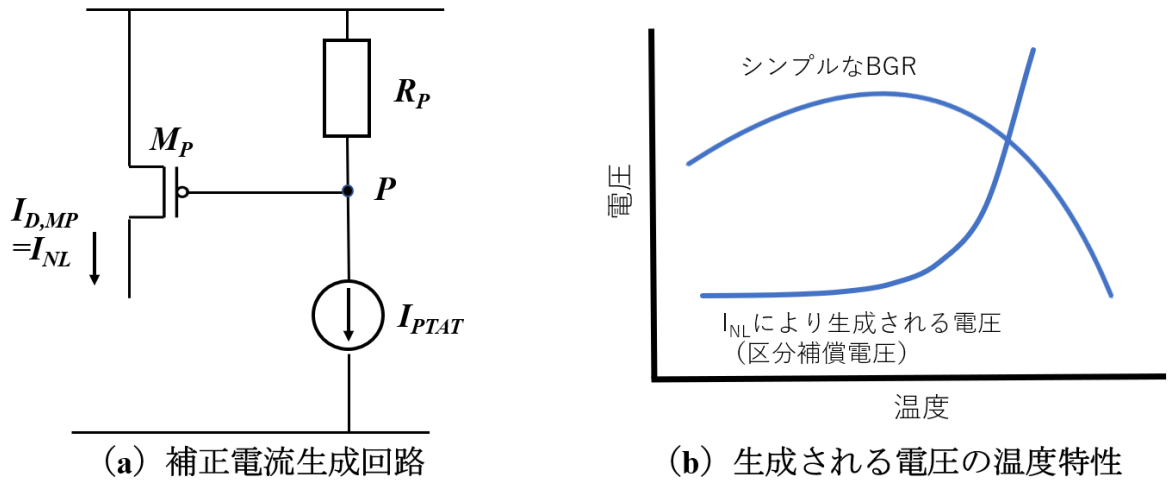


図 B-2 区分補償回路の回路図および出力電圧の生成

補正電流生成回路は図 B-2 (a) より P 型 MOSFET の M_P と抵抗 R_P 、電流 I_{PTAT} で構成される。そしてトランジスタ M_P のドレイン電流（補正電流） $I_{D,MP}=I_{NL}$ (Non Liner)を BGR コアに流すことで区分曲率補償を行う。

ここから補正電流 I_{NL} について説明する。まずノード P における電圧は次のように書ける。

$$V_P = V_{DD} - R_P I_{PTAT} = V_{DD} - R_P \frac{V_T \ln K}{R_1} \quad (B.1)$$

MOS の特性上ゲート端子には電流が流れないと考えられることができるため、 V_{DD} から R_P にかかる電圧の差分がノード P の電圧になる。 M_P のゲート・ソース間電圧は式 (2.3) 及び式 (B.1) より次の式で書かれる。

$$V_{SG,MP} = R_P \frac{V_T \ln K}{R_1} = R_P \frac{kT \ln K}{q R_1} \quad (B.2)$$

ここで $V_{SG,MP}$ がしきい値電圧 $V_{th,p}$ より十分小さい場合、 M_P のドレイン電流は流れない。しかし $V_{SG,MP} \leq V_{th,p}$ としきい値電圧に近い場合、MOS は弱反転領域で動作しドレイン電流 I_{NL} は次の式で与えられる[6][31].

$$\begin{aligned} I_{NL} &= \mu C_{OX} \frac{W}{L} \exp[\gamma(V_{SG,MP} - V_{th,p})] \times \left[1 - \exp\left(\frac{V_{DS}}{V_T}\right) \right] \\ &= \mu C_{OX} \frac{W}{L} \exp[\gamma(V_{SG,MP} - V_{th,p})] = I_{D,MP} \end{aligned} \quad (B.3)$$

よって弱反転領域の場合、式 (B.2) を考慮すると I_{NL} は $\exp(T)$ に比例することが分かる。次に $V_{SG,MP} \geq V_{th,p}$ と $V_{SG,MP}$ がしきい値電圧より大きい場合で、MOS が飽和領域で動作する場合のドレイン電流は次の式で与えられる。

$$\begin{aligned} I_{NL} &= \frac{1}{2} \mu C_{OX} \frac{W}{L} (V_{GS,MP} - V_{th,p})^2 \\ &= \frac{1}{2} \mu C_{OX} \frac{W}{L} (V_{GS,MP} - V_{th,p})^2 (1 + \lambda V_{DS}) = I_{D,MP,sat} \end{aligned} \quad (B.4)$$

ここで μ は移動度, C_{OX} はゲート酸化膜のキャパシタンス, $V_{th,p}$ はしきい値電圧, λ は実効チャネル長とチャネル長に関する係数である. また V_{GS} はゲート・ソース間電圧, V_{DS} はドレイン・ソース間電圧である. 以上より $V_{SG,MP} \geq V_{th,p}$ の飽和領域で動作する場合, I_{NL} は式 (B.2) と式 (B.4) より温度 T に比例することが分かる. これらの式を整理すると

$$I_{NL} \begin{cases} = 0 & V_{SG,MP} \ll |V_{th,p}| \\ \propto \exp(T) & V_{SG,MP} \leq |V_{th,p}| \\ \propto T^2 & V_{SG,MP} > |V_{th,p}| \end{cases} \quad (B.5)$$

となる. I_{NL} により生成される電圧は図 B-2 (b) のようになり, これを BGR コアの出力電圧に加算することで図 B-1 (b) の補償後の出力電圧が生成される.

区分補償回路を搭載した BGR 回路の回路図を 区分補償 BGR 回路の回路図を図 B-3 に示す. 本回路における最終的な出力電圧 $V_{REF,PCC}$ (Piecewise Curvature Compensation) は式 (3.8) と区分補償回路により生成される I_{NL} より次の式で書ける.

$$\begin{aligned} V_{REF,PCC} &= V_{REF} + I_{NL}R_4 \\ &= \left(\frac{V_T \ln K}{R_1} + \frac{V_{EB1}}{R_2} \right) (R_3 + R_4) + I_{NL}R_4 \\ &= I_3 R_3 + (I_3 + I_{NL})R_4 \\ &= \left(\frac{V_T \ln K}{R_1} + \frac{V_{EB1}}{R_2} \right) R_3 + \left[\left(\frac{V_T \ln K}{R_1} + \frac{V_{EB1}}{R_2} \right) + I_{NL} \right] R_4 \end{aligned} \quad (B.6)$$

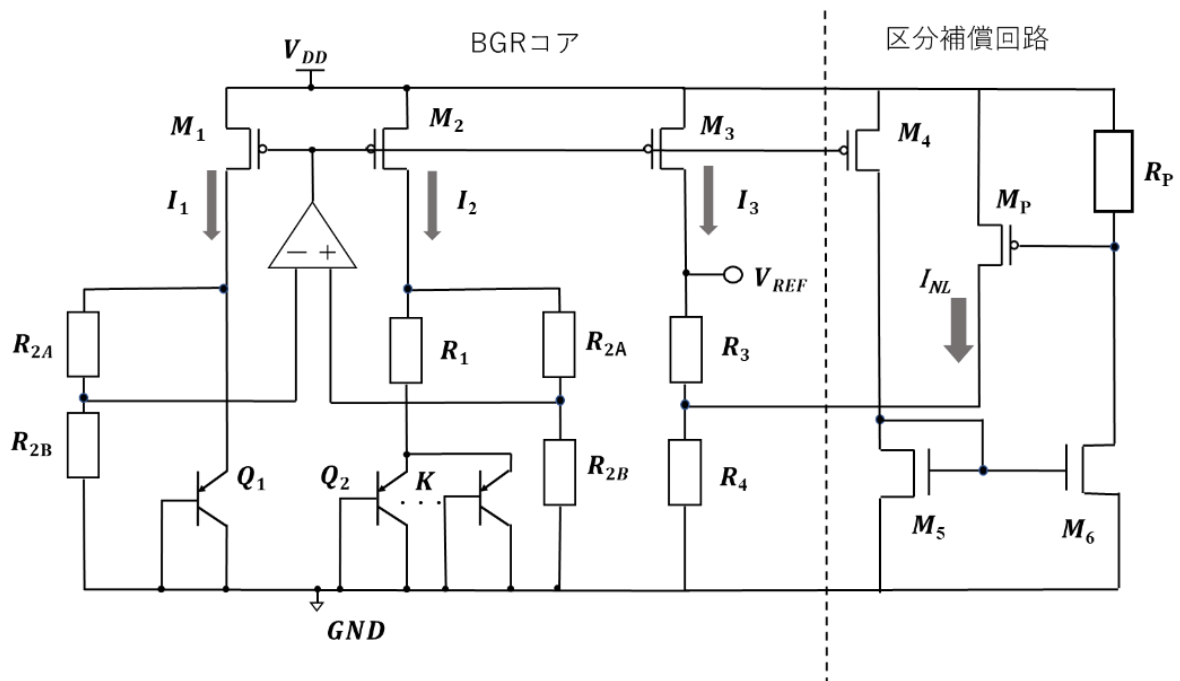


図 B-3 区分補償 BGR 回路の回路図

B-3 試作した BGR 回路のシミュレーション結果

本研究では区分曲率補償 BGR 回路を設計し、シミュレーションを行った。シミュレーション結果を図 B-4 に、設計した区分曲率補償 BGR 回路のパラメータを示す。0~100°Cにおける平均の出力電圧は 1V であり、TC 値は 6.87ppm/°Cとなった。

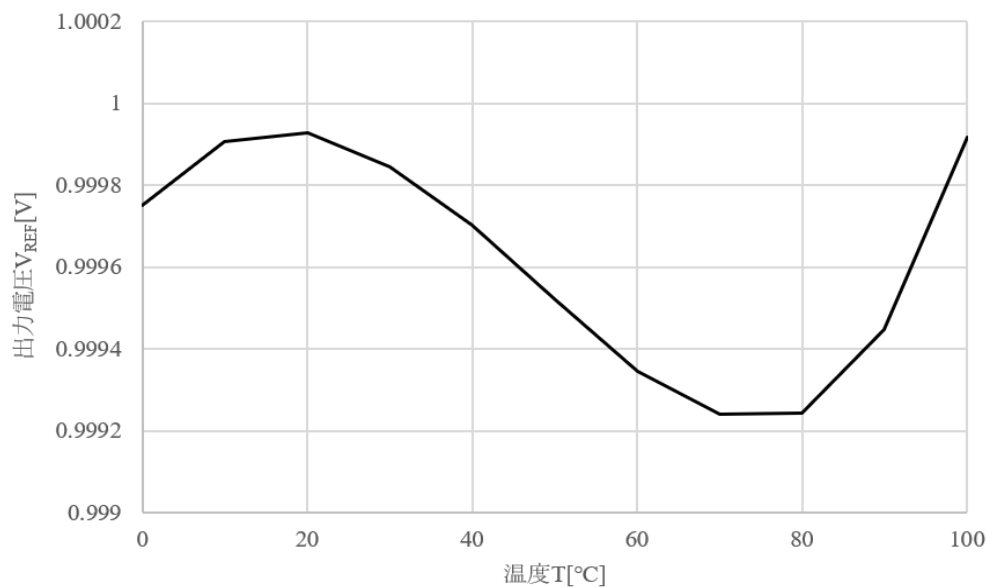


図 B-4 区分補償 BGR 回路のシミュレーション結果

表 B-1 設計した区分曲率補償 BGR 回路のパラメータ

素子種類	素子名称	パラメータ
MOSFET	M ₁ M ₂ M ₃ M ₄	2.5μm/1.08μm (並列数：2)
	M ₅ M ₆ (NMOSFET)	3μm/1.08μm (並列数：2)
	M _P	14μm/0.18μm (並列数：2)
抵抗	R ₁	8kΩ
	R _{2A}	20kΩ
	R _{2B}	47kΩ
	R ₃	2kΩ
	R ₄	55kΩ

C オフセット電圧の考慮

C-1 1次温度補償 BGR 回路のオフセット電圧の考慮

一般的に試作・製造したオペアンプにはオフセット電圧が発生する。そのため本研究で設計した BGR 回路にもオペアンプを搭載しており、オフセット電圧を考慮する必要がある。本節では設計した BGR 回路においてオフセット電圧を考慮した出力電圧の導出過程を考える。オペアンプと抵抗の回路図を次の図 C-1 に示す。

まずイマジナリーショートにより入力端子の電圧は等しくなる。よって入力端子の電圧 V_{IN+} , V_{IN-} は次の関係になる。

$$V_{IN+} = V_{IN-} \quad (C.1)$$

次に入力端子の電圧を求める。オペアンプの入力インピーダンスは非常に高く、入力端子 V_{IN-} に電流は流れず、抵抗 R_{2A} , R_{2B} の間のノードは V_{IN-} とみなせる。よって V_{IN-} は V_{OUT} を抵抗 R_{2A} , R_{2B} により分圧した値になる。

$$V_{IN-} = \frac{R_{2B}}{R_{2A} + R_{2B}} V_{OUT} \quad (C.2)$$

$$V_{OUT} = \frac{R_{2A} + R_{2B}}{R_{2B}} V_{IN-} = \frac{R_2}{R_{2B}} V_{IN-} \quad (C.3)$$

ここで入力端子にはオフセット電圧 V_{OS} が印加されると考えることができ、イマジナリーショートを考慮すると、

$$V_{IN+} = V_{IN-} = V_{OS} \quad (C.4)$$

よってオフセット電圧 V_{OS} を考慮したオペアンプの出力電圧は次の式で与えられる。

$$V_{OUT} = \frac{R_2}{R_{2B}} V_{OS} \quad (C.5)$$

上記の式がオフセット電圧により発生するオペアンプの出力電圧である。よってこの電圧が図 3-1 のノード N_1 , N_2 にかかる電圧 V_{N1} , V_{N2} に加わる。

$$V_{N1} + V_{OUT} = V_{N2} + V_{OUT} = V_{N2} + \frac{R_2}{R_{2B}} V_{OS} = V_{EB1} \quad (C.6)$$

よって式に上記の式を考慮すると

$$V_{EB1} = I_{a2} R_1 + V_{EB2} \pm \frac{R_2}{R_{2B}} V_{OS} \quad (C.7)$$

$$I_{2b} = \frac{V_T \ln K \pm \frac{R_2}{R_{2B}} V_{OS}}{R_1} \quad (C.8)$$

となり、オフセット電圧を考慮した最終的な出力電圧は次の式になると考えられる。

$$\begin{aligned} V_{REF} &= \left(\frac{V_T \ln K \pm \frac{R_2}{R_{2B}} V_{OS}}{R_1} + \frac{V_{EB1}}{R_2} \right) R_3 \\ &= \frac{R_3}{R_2} \left(\frac{R_2}{R_1} \left(V_T \ln K \pm \frac{R_2}{R_{2B}} V_{OS} \right) + V_{EB1} \right) \end{aligned} \quad (C.9)$$

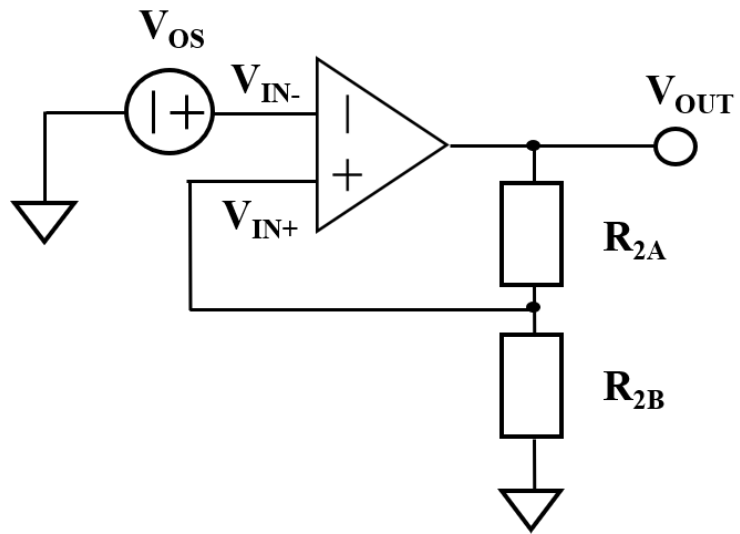


図 C-1 オペアンプのオフセット電圧を考慮した回路図