

氏名(本籍)	Valeeprakhon Tamnuwat (タイ王国)		
学位の種類	博士(工学)		
学位記番号	甲第452号		
学位授与年月日	令和8年3月18日		
学位授与の要件	学位規則第4条第2項		
研究科・専攻名	工学研究科・基盤工学専攻		
学位論文題目	A Single-Pass Timing-Analysis and Delay-Placement Framework for Asynchronous Bundled-Data Circuits on FPGA Platforms FPGA 向き非同期束データ回路のためのタイミング解析および遅延調整法		
論文審査	(主査)	高知工科大学	教授 岩田 誠
		高知工科大学	教授 横山 和俊
		高知工科大学	教授 松崎 公紀
		高知工科大学	教授 橘 昌良
		高知工科大学	教授 密山 幸男

審査結果の要旨

1. 論文の評価

学位論文のタイトルおよび章構成は適当であると認められる。論文は7章構成となっており、第1章序論、第2章非同期回路設計に関する関連研究、に加えて、第3章では静的タイミング解析手法 GCP (Generated Clock Propagation) を提案し、第4章ではモルフォロジックに遅延素子を挿入する手法 MDPC (Morphologic Delay Placement Constraint) を提案している。これらの手法によって、非同期束データ転送処理回路を FPGA チップ上に実装する上で必須となる設計手順として、一度だけタイミング解析するだけで正常動作を保証する遅延素子を適切に挿入・配置することが可能になる。第5章では、提案した設計手順を典型的な専用回路や RISC-V の FPGA 実装に適用し、その有効性を多面的に実証している。特に、RISC-V の実装に関しては、多種のパイプラインアーキテクチャに適用し、実用的なベンチマーク CoreMark を実行した際の実行性能や消費電力評価を実施し、提案設計手順に基づく設計結果が、ベンチマーク性能、回路規模、消費電力の点で優れていることを実証している。第6章ではこれらの評価を通して提案設計手順の特性について考察を加え、第7章で結論を纏めている。本論文で提案している非同期束データ転送処理回路の設計手順は、効率的な回路の設計時間を大きく短縮でき、学術的にも実用的な観点でも優れていると評価する。

2. 審査の経過と結果

- (1) 令和8年1月14日 5名の審査委員のもと協議され、博士後期課程委員会で学位論文の受理を決定した。
- (2) 令和8年2月16日 公開論文審査発表会及び最終試験を実施した。
- (3) 令和8年3月2日 博士後期課程委員会で学位授与を可とし、教育研究審議会で承認された。