

修士論文

題 目

*NautaOTA*を用いた
二次 $\Delta\Sigma$ 変調器回路の設計と評価

*Design and evaluation of Second –
order $\Delta\Sigma$ modulation using Nauta OTA*

指導教員

橘 昌良 教授

報告者

1235116

上村 大輔

令和3年2月5日

高知工科大学 大学院工学研究科
基盤工学専攻 電子・光システム工学コース

目次

第 1 章	序論	1
第 2 章	OTA と Nauta OTA	2
2.1	全差動型 OTA を用いたフィルタ回路	4
第 3 章	Nauta OTA の概要と動作	6
第 4 章	提案した $\Delta \Sigma$ 変調回路	8
4.1	$\Delta \Sigma$ 変調回路の原理	8
4.1.1	1 次 $\Delta \Sigma$ 変調器	8
4.1.2	2 次 $\Delta \Sigma$ 変調器	9
4.2	連続型と離散型	9
4.3	フィードフォワード型二次 $\Delta \Sigma$ 変調回路	10
第 5 章	二次 $\Delta \Sigma$ 変調回路の設計	12
5.1	二次 $\Delta \Sigma$ 変調回路の設計	12
5.1.1	連続型二次 $\Delta \Sigma$ 変調回路の設計	12
5.1.2	離散型二次 $\Delta \Sigma$ 変調回路の設計	13
5.1.3	フィードフォワード型二次 $\Delta \Sigma$ 変調回路の設計	15
5.2	二次 $\Delta \Sigma$ 変調回路のシミュレーションと実測	16
5.2.1	測定用基板と計測パターン	16
5.3	シミュレーションと実測	17
5.3.1	連続型二次 $\Delta \Sigma$ 変調器	18
5.3.2	離散型二次 $\Delta \Sigma$ 変調器	18
5.3.3	フィードフォワード型二次 $\Delta \Sigma$ 変調器	19
5.4	考察	19
第 6 章	2bit 量子化器を使用した二次 $\Delta \Sigma$ 変調回路の設計	21
6.1	量子化器の動作原理	21
6.1.1	オーバーサンプリングと量子化雑音	21
6.1.2	量子化器とスイッチ回路	22
6.1.3	使用した 2bit 量子化器	24
6.2	2bit 量子化回路のシミュレーション	25
6.2.1	2bit 量子化器のシミュレーション方法	25
6.2.2	連続型二次 $\Delta \Sigma$ 変調器	25
6.2.3	離散型二次 $\Delta \Sigma$ 変調器	26
6.2.4	フィードフォワード型二次 $\Delta \Sigma$ 変調器	26
6.3	考察	27
第 7 章	まとめ	29
	謝辞	30
	参考文献	31

第1章 序論

今日、計算や信号処理をデジタル領域で行う機会が圧倒的に増えた。デジタル集積回路 (IC) の動作速度と集積度は年々上昇しておりほぼすべての通信機器や家電製品の分野でデジタル処理の優先度が揺るがないものになっている。一方、日常生活で我々が使う物理量は依然としてアナログである。そのためデジタル信号をアナログ回路へと戻す等といった $A/D \cdot D/A$ 変換技術が必要になった。例えばデジタルオーディオでは1 標本化 16 ビットを1 ロードとしており、一次 $\Delta\Sigma$ 変調器の性能であるオーバーサンプリングのみでの A/D 変換で1 実現することは回路的に困難であった。しかし、 $\Delta\Sigma$ 変調器では高次の回路に置き換えることでノイズが高周波域に移動するというノイズシェーピングの効果により低いビット数で16 ビット分の精度に必要な信号雑音 (S/N 比) を得ることができる。[1][2]

本研究の目的は入力側の同相電圧を増幅し、出力側で打ち消す [3] といった構造をもつ *NautaOTA* を用いた連続型、離散型、フィードフォワード型の2 次 $\Delta\Sigma$ 変調器をそれぞれ設計し、 S/N 比とノイズフロアが一次 $\Delta\Sigma$ 変調器を利用した先行研究 [4] と比べてどの程度向上するかシミュレーションを行う。表 (1.1) に先行研究における $\Delta\Sigma$ 変調器の S/N 比、ノイズフロアを示す。

表 1.1 先行研究結果 [4]

項目 A	シミュレーション
S/N 比 [dBV]	65.0
ノイズフロア [dBV]	-80

時間領域をその瞬間だけ保持し次の動作で開放するという離散化された信号で行う離散型と比べ、連続型はその時間経過がないため高速化が実現でき、信号帯域を拡大してもある程度大きな S/N 比を確保することができる。

また、フィードフォワード回路はフィードバック経路が一つだけのため線形的に安定した回路構成を実現できる。

次に、 S/N 比をさらに向上させるため量子化器のビット数を 1bit から 2bit に変更し、シミュレーションを行った。

本論文は第1章を除き5 構成になっている。第2章は *OTA*、*NautaOTA* の概要について述べ、第3章では $\Delta\Sigma$ 変調器の動作原理について述べる。第4章は設計した三種類の変調回路のシミュレーション、実測結果について述べ、第5章では新たに設計した 2bit 量子化器の設計とシミュレーション結果を述べる。第6章でまとめについて述べる。

第2章 OTA と Nauta OTA

OTA とは *Operational Transconductance Amplifier* の略で，入力電圧に比例した電流を出力する増幅回路である．図 (2.1) に OTA の動作原理について示す．

OTA に入力信号電圧 V_{in} を入れた場合，式 (2.1) で表される電流 I_{out} が得られる．(変換係数 (G_m)).

$$I_{out} = G_m V_{in} \quad (2.1)$$

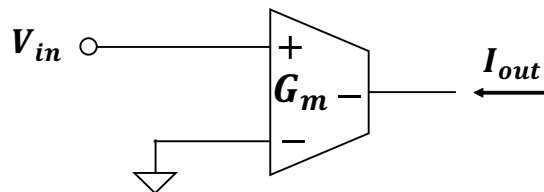


図 2.1 OTA の動作原理

図 (2.2) のように，電流 I_{out} をキャパシタ C に流し込み電荷を加えると，出力電圧 V_{out} は式 (2.2) になる．式 (2.2) は，入力電圧 V_{in} を電流 ($G_m V_{in}$) に変換し，キャパシタ C で積分 ($1/sC$) することを意味する．

$$V_{out} = G_m V_{in} \cdot \frac{1}{sC} \quad (2.2)$$

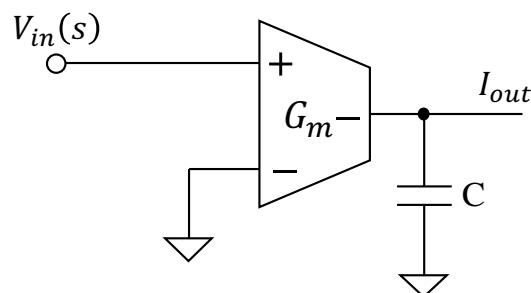


図 2.2 OTA とキャパシタを用いた積分器

また，OTA 回路は図 (2.3) のように，反転出力端子を非反転入力端子に結び付けることで，入力側から $G_m V_{in}$ の電流が流れこむので，この回路を実効的に抵抗式 (2.3) として動作することがわかる． G_m の値を変えることで，動的に抵抗値を調節できる．

$$C_m V_{in} = I_{out}, \quad I_{in} = I_{out}, \quad R_{eff} = \frac{V_{in}}{I_{in}} = \frac{1}{G_m} \quad (2.3)$$

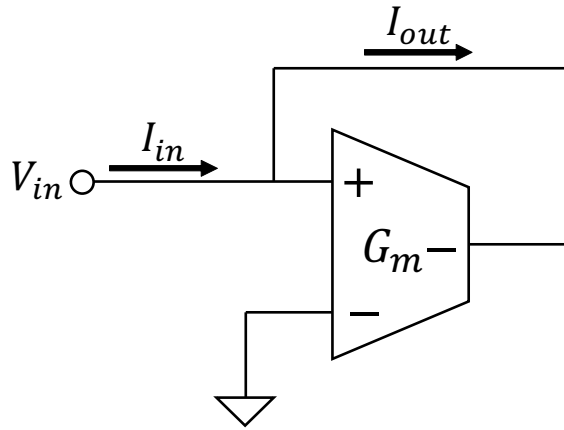


図 2.3 OTA とキャパシタを用いた積分器

以下の実行抵抗と積分器から OTA による 1 次のフィルタを作る。極が原点以外にあるローパス・フィルタは積分器 キャパシタ と平行に抵抗を配置して実現することができる。図 (2.4) のように、OTA を用いた例では、積分器 (G_m と C) と実行抵抗 (G_{m2}) とが平行に配置されており、極が原点以外 ($-\frac{G_{m2}}{C}$) にあることが式 (2.4) からわかる。

$$\frac{V_{out}}{V_{in}} = \frac{G_{m1}}{sC + G_{m2}} \quad (2.4)$$

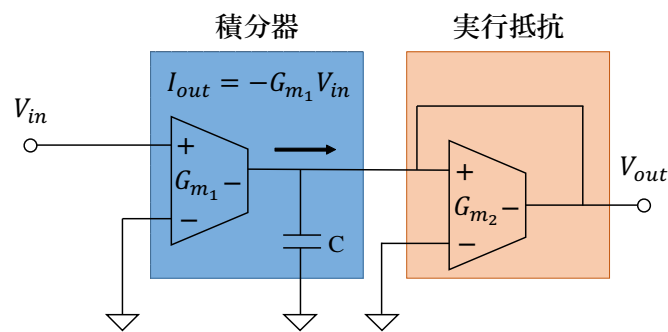


図 2.4 OTA とキャパシタを用いた積分器

2.1 全差動型 OTA を用いたフィルタ回路

電子回路は差動入出力をもつ全差動型の回路構成にすることによりコモン・モード・ノイズを抑制し、高調波のひずみを軽減することができる。このようなことから、アナログ回路設計では電子回路を全差動型のフィルタ回路にする手順を以下に示す。

まず、図(2.4)のローパス・フィルタ回路を上部に置き、それを鏡映反転させた回路を下部において、下記回路の入端子すべての符号を変えると、図(2.5)ができる。さらに上下の回路を近づけて接地線をまとめて消去すると、図(2.6)が得られる。この回路では入出力信号が2倍になっていることを考慮し、負荷容量を $2C$ とすれば、全差動型のローパス・フィルタ回路ができる。

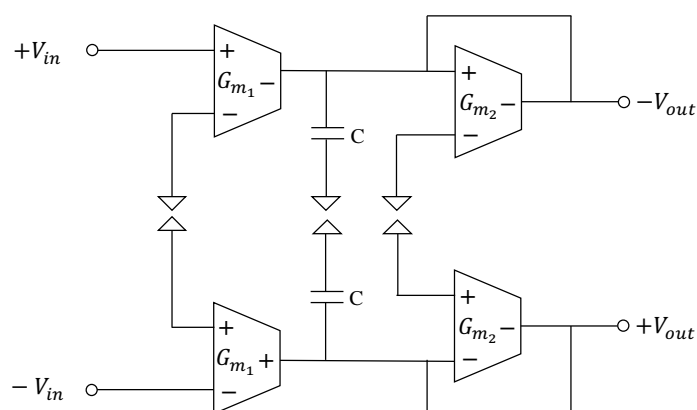


図 2.5 2組のローパス・フィルタ

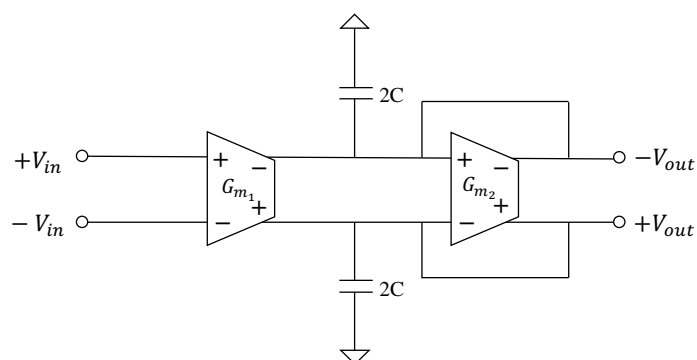


図 2.6 接地線をまとめて消去したフィルタ回路

前述より、アナログ回路は全差動にすることにより、高ノイズ耐性を得られるが、これには全差動型の2つの出力の平均値が所定の値になるようにフィードバックを掛ける要素回路、コモン・モード・フィードバック (CMFB) 回路が必要になる。この回路の働きを図(2.7)に全差動型 OP アンプを例に示す。

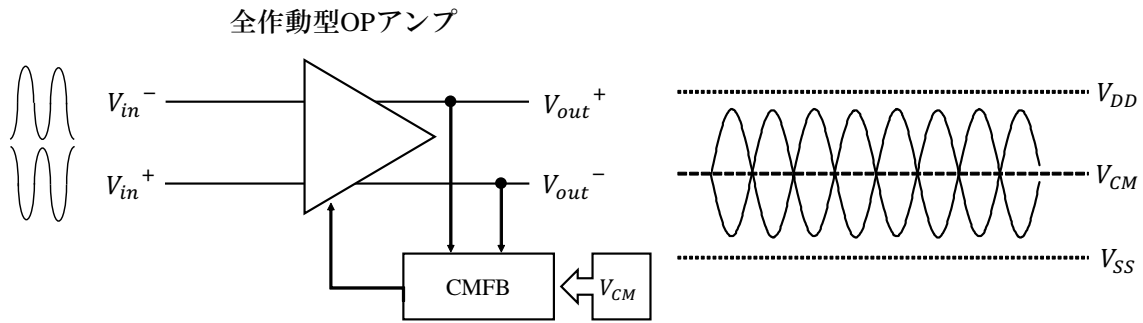


図 2.7 コモンモードフィードバック回路の働き

次に図 (2.8) より差動入力回路を例にしてコモンモードフィードバックのかけ方を示す. この回路では, 出力電圧が所定の値 V_{CM} より大きかった場合, ①の端子の電圧が高くなり, 差動入力側のテイル電流源 M_5 に流れる電流が増える. 一方, M_3, M_4 に流れる電流は一定なので, 出力端子へ流れる電流が M_5 に引き抜かれる電流より小さくなり, 出力電圧の平均値は次第に低下していく. 逆に所定の電圧 V_{CM} より小さかった場合, ①の端子電圧が低くなり, M_5 に流れる電流が減る. M_3, M_4 に流れる電流は一定なので, 出力端子へ流れる電流が M_5 に引き抜かれる電流より大きくなり, 出力電圧の平均値は次第に増加していく. つまり, $CMFB$ 回路によって出力電圧が所定の電圧 V_{CM} 付近に収まるようになる. [5]

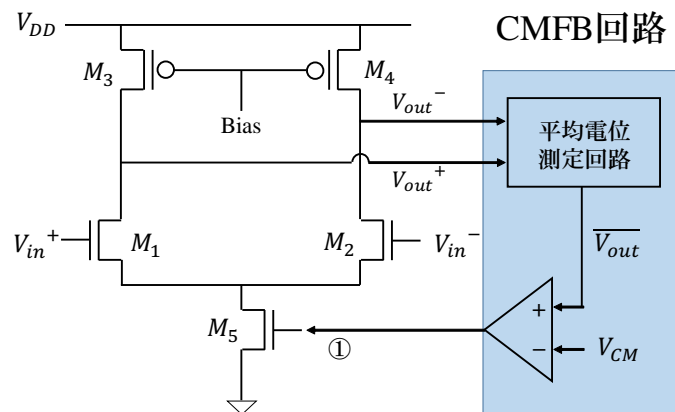


図 2.8 コモンモードフィードバック回路の特徴

第3章 Nauta OTA の概要と動作

本研究で設計した *NautaOTA* は6つのインバータで構成され、非常に単純な構成になっている。図(3.1)に *NuataOTA* の回路図を示す。

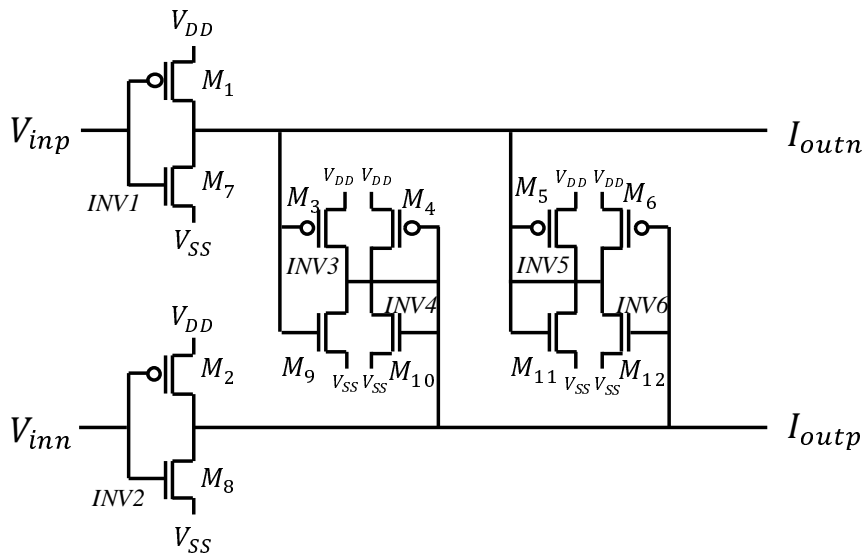


図 3.1 *NautaOTA* の回路図

図(3.1)の *NautaOTA* において、入出力がショートした *INV4*, *INV5* は図(3.2)のような抵抗とみなすことができ、*NautaOTA* の簡略化した回路図を図(3.3)に示す。

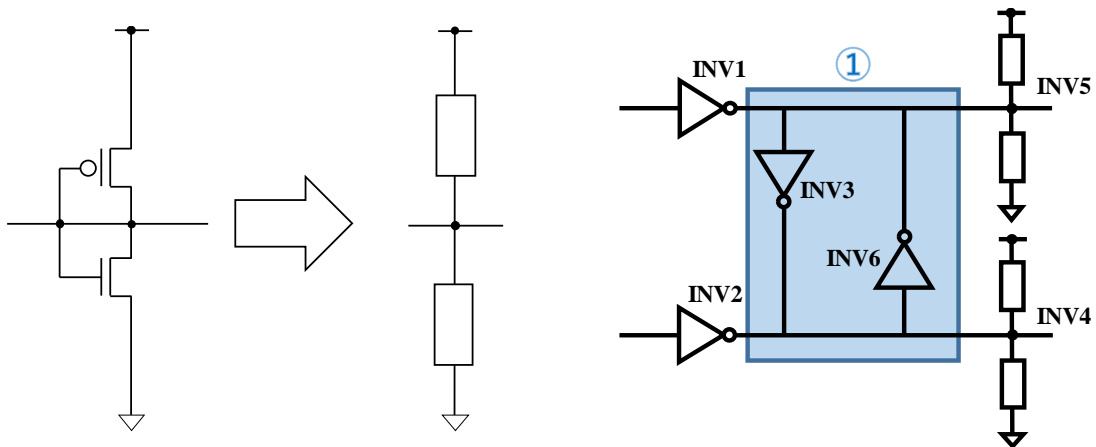


図 3.2 抵抗とみなす *INV*

図 3.3 簡略化した *NautaOTA*

図(3.3)において①の *INV* のループ回路部分は *INV* のみで構成されたフリップ・フロップ回路になっており、図(3.4)のような働きをする。図(3.4)より、フリップ・フロップ回路は(1)Hの状態(2)Lの状態と(3)出力が常に変化する状態の3つの状態が存在する。フリップ・フロップ回路は2つ

の INV が交わる. (1), (2), (3) の状態で安定する.

$NautaOTA$ では, 図 (3.4) の (3) の状態で入力信号を増加させるため, $INV4$, $INV5$ の抵抗によりフリップ・フロップ回路の動作を抑えて, 図 (3.5) のように動作が変化し, 図 (3.4) の状態に近づき, 増幅動作が行いやすくなる. また, 図 (3.3) の $INV4$, $INV5$ の抵抗が分圧を行うことにより, 電圧を一定にするため, 出力電圧が安定し, 全差動の回路に必要なコモン・モード・フィードバック回路が必要なくなる. [5]

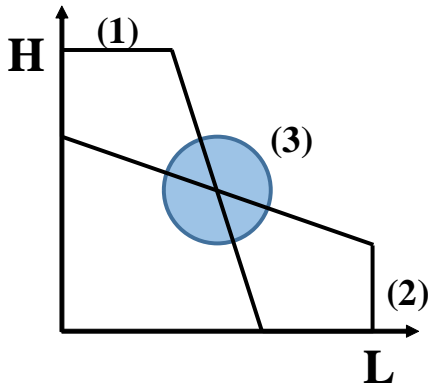


図 3.4 INV のループ回路の動作

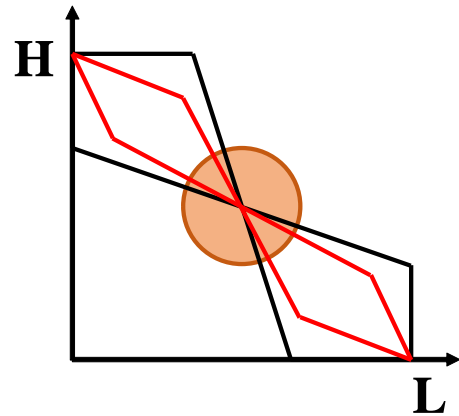


図 3.5 $INV4$, $INV5$ があるときの INV ループ回路の動作

表 (3.1) に今回使用した $Nauta$ OTA のパラメータを示す.

表 3.1 実測に用いた各種実験機器

トランジスタ	W/L 比
$PMOS(INV1,2)$	145
$PMOS(INV3\sim6)$	48
$NMOS(INV1\sim3,6)$	33
$NMOS(INV4,5)$	39

第4章 提案した $\Delta\Sigma$ 変調回路

4.1 $\Delta\Sigma$ 変調回路の原理

この節では連続型回路を例に $\Delta\Sigma$ 変調器回路の原理について述べる.

4.1.1 1次 $\Delta\Sigma$ 変調器

図(4.1)に連続型1次 $\Delta\Sigma$ 変調器の構成を示す.

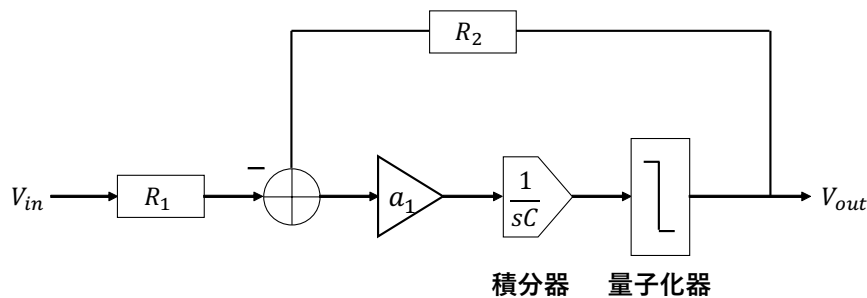


図 4.1 1次 $\Delta\Sigma$ 変調器

$\Delta\Sigma$ 変調器は高速でサンプリングしたアナログ信号を累積加算(Σ)して参照電圧を超えたときの差分(Δ)をフィードバックさせ、元の信号に戻したもの [1] であり、このときの伝達関数は式(4.1)のようになる.

$$V_{out} = \left(\frac{V_{in}}{R_1} - \frac{V_{out}}{R_2} \right) \cdot \frac{1}{sC} + N(s) \quad (4.1)$$

式(4.1)を解くと

$$V_{out} = \frac{V_{in}}{\left(1 + \frac{1}{sCR_2}\right)sCR_1} + \frac{1}{\left(1 + \frac{1}{sCR_2}\right)}N(s) \quad (4.2)$$

次に $R_1 = R_2 = R$ とすると,

$$V_{out} = \left(\frac{V_{in}}{1 + sCR} \right) + \frac{1}{\left(1 + \frac{1}{sCR}\right)}N(s) \quad (4.3)$$

が得られる. $N(s)$ は量子化器における量子化雑音を表しており、量子化雑音の影響が出力端子では $\left(1 + \frac{1}{sCR}\right)^{-1}$ 倍になることを示す. s は複素数を表しており $s \rightarrow j\omega$ にすることで周波数領域に変換した場合、周波数成分 ω が小さくなるほど $\left(1 + \frac{1}{sCR}\right)^{-1}$ は0に近似できる. つまり、周波数が低いところでは量子化雑音が小さくなり、周波数が高くなるにしたがって量子化雑音が大きくなるというローパス・フィルタの働きをしている. この特徴をノイズシェーピングと呼び、周波数帯域における量子化雑音を小さくすることができる.

4.1.2 2次 ΔΣ 変調器

次に、積分器を2つ用いた ΔΣ 変調器を考える。図(4.2)に連続型の2次 ΔΣ 変調器の構成を示す。

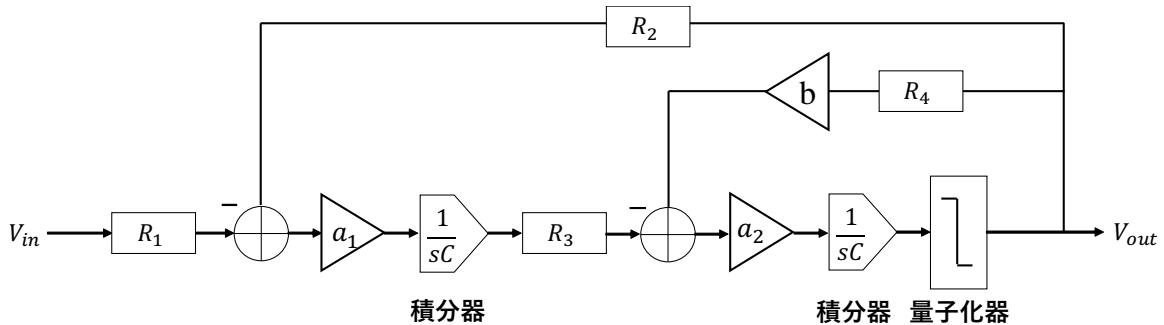


図 4.2 2次 ΔΣ 変調器

$R_1 = R_2 = R_3 = R_4 = R$, $a_1 a_2 = 1$, $a_2 b = 2$ とすると伝達関数は式(4.4)のようになる。

$$V_{out} = \left(\frac{V_{in}}{1 + sCR} \right)^2 + \frac{1}{\left(1 + \frac{1}{sCR} \right)^2} N(s) \quad (4.4)$$

図(4.3)に離散型の2次 ΔΣ 変調器の構成を示す。

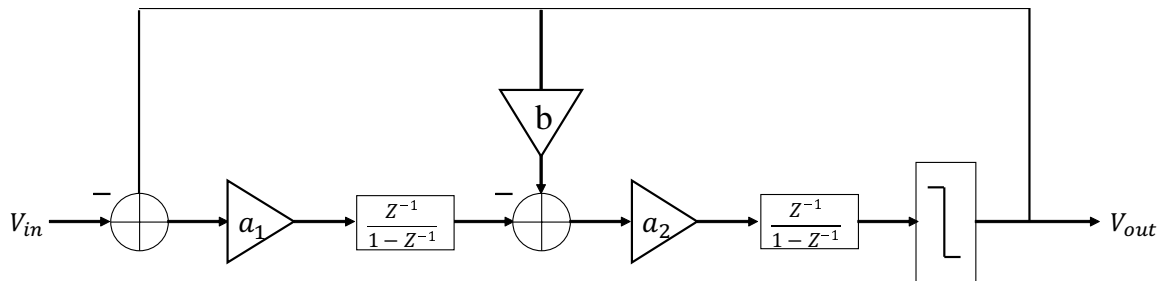


図 4.3 離散時間2次 ΔΣ 変調器

連続型と同様に $a_1 a_2 = 1$, $a_2 b = 2$ とすると式(4.5)のようになる。

$$V_{out}(z) = z^{-2} V_{in}(z) + (1 - z^{-1})^2 N(z) \quad (4.5)$$

式(4.4), 式(4.5)から量子化雑音の影響が出力端子では $(1 + \frac{1}{sCR})^{-2}$ 倍になっている。図(4.4)にフィルタの次数とノイズシェーピングの効果との関係を概念図で表す。次数が高次になるにつれて信号帯域における量子化雑音が低下していることがわかる。

4.2 連続型と離散型

ΔΣ 変調回路の積分器は多くの場合、図(4.5)に示すようにスイッチトキャパシタ回路で実現される。スイッチトキャパシタ回路(SC回路)を使用することで積分器部分が離散的に処理されるた

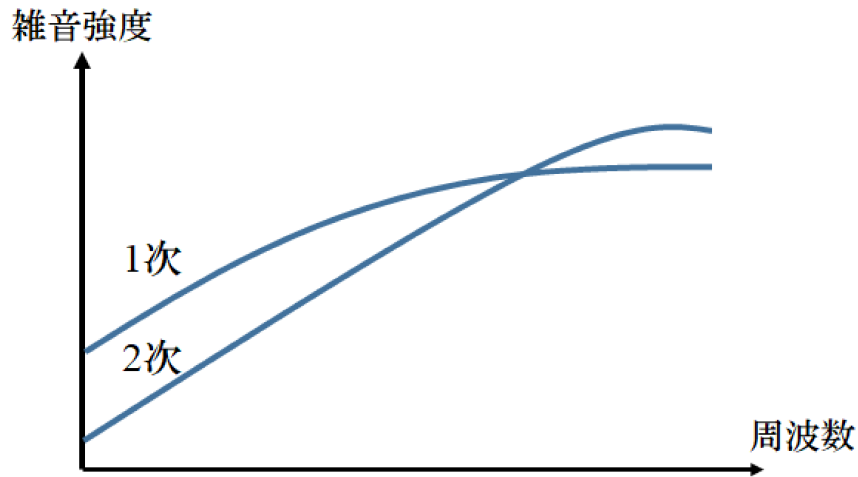


図 4.4 フィルタの次数とノイズシェーピングの効果

め、離散的 (DT) $\Delta\Sigma$ 変調器回路と分類される。 DT 型が $\Delta\Sigma$ 変調器回路において使用される理由は素子パラメータに起因する積分器としての精度と線形性がいいこと、また、伝達回路の設定において SC 回路ではサンプリング周波数に応じて自然とスケーリングできる点である。

一方、図 (4.6) のように抵抗とキャパシタを用いた連続時間型フィルタ回路で実現できる。このタイプは連続型 (CT) $\Delta\Sigma$ 変調回路と分別される。 CT 型は一般的に精度と線形性で劣る。また、時定数部分の変動が大きく、サンプリング周波数で伝達関数のスケーリングすることができない。しかし、 CT 型のサンプリング周波数の理論的な限界値は量子化器の出力変化に依存する。この点で DT 変調器は DT 型 $\Delta\Sigma$ 変調器に比べサンプリング周波数を高くすることができ高帯域化が可能である。 [6]

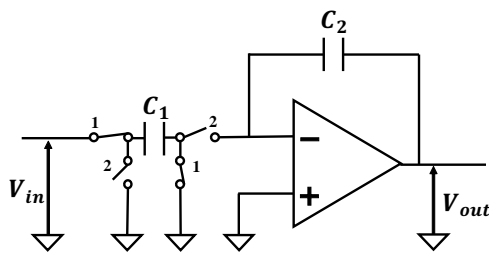


図 4.5 離散型積分器

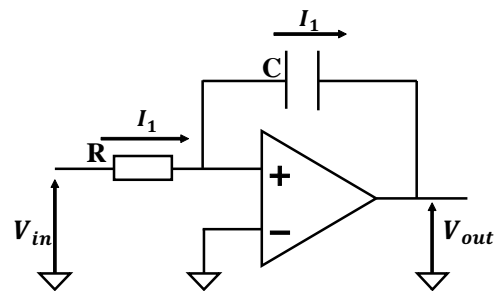


図 4.6 連続型積分器

4.3 フィードフォワード型二次 $\Delta\Sigma$ 変調回路

図 (4.7) にフィードフォワード経路のある 2 次変調器の構成を示す。フィードフォワード型回路は入力から量子化器へ直接入るフィードフォワード経路とデジタル出力から単一のフィードバック経路を持っている。量子化器前で $\Delta\Sigma$ 変調回路の入力信号と 1 段目、2 段目の積分器の出力信号を加算させるためのフィードフォワード経路と量子化後の出力を一段目の積分器に入れ、減算させるためのフィードバック経路である。

フィードフォワード回路はループフィルタで入力信号を処理する必要がなく，線形性に対する要求が大幅に緩和される．また，ループフィルタ前の z 領域では線形解析を用いて式 (4.6) になる．

$$V(z) = U(z) + (1 - z^{-1})^2 E(z) \quad (4.6)$$

しかし，今までの構成とは違いループフィルタには NTF で成形された量子化雑音だけが入力される．

$$U(z) - V(z) = (1 - z^{-1})^2 E(z) \quad (4.7)$$

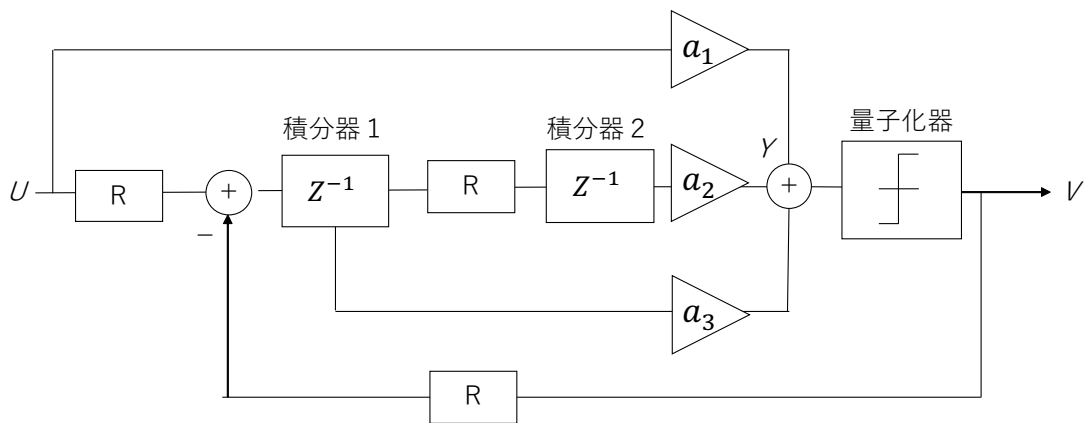


図 4.7 フィードフォワード経路のある 2 次変調器

また，式 (4.7) からわかるように 2 段目の積分器は $-z^{-2}E(z)$ をそのまま出力する．

第5章 二次 $\Delta\Sigma$ 変調回路の設計

5.1 二次 $\Delta\Sigma$ 変調回路の設計

5.1.1 連続型二次 $\Delta\Sigma$ 変調回路の設計

連続型2次 $\Delta\Sigma$ 変調回路について述べる．図(5.1)に回路図，表(5.1)に抵抗とキャパシタの各パラメータ，表(5.2)に印加電圧を示す．

表 5.1 連続型2次 $\Delta\Sigma$ 変調回路の設計値

パラメータ	値
C	$8[pF]$
R_1	$100[k\ \Omega]$
R_2	$50[k\ \Omega]$

表 5.2 印加電圧

パラメータ	値
V_{th}	$0.9[V]$
V_{ref0}	$0.45[V]$
V_{ref1}	$1.35[V]$

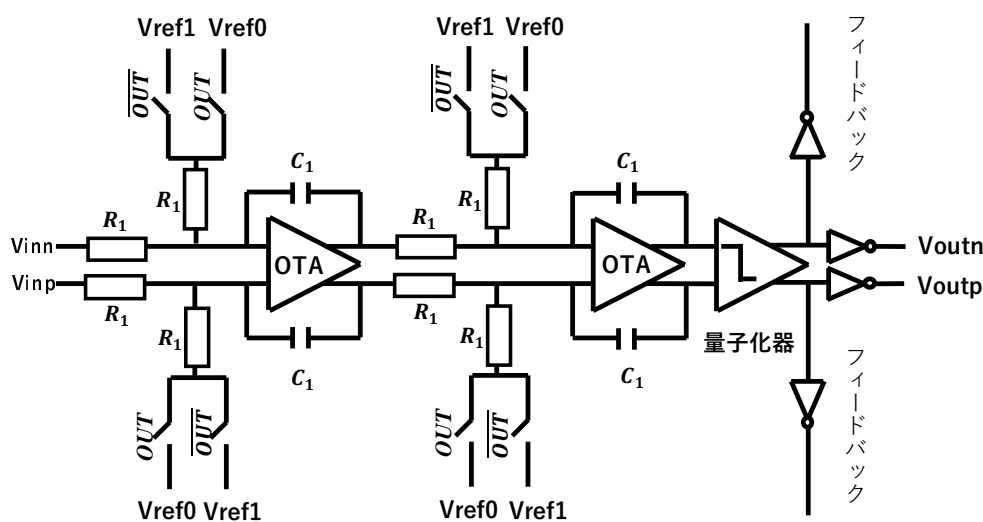


図 5.1 連続型2次 $\Delta\Sigma$ 変調回路

本回路は電源電圧 $1.8[V]$ ，入力電圧範囲 $0.6\sim 1.2[V]$ 入力周波数 $22[kHz]$ ，オーバーサンプリング比 512 倍でシミュレーションを行った．また，1 次側の出力とフィードバックとのタイミングにズレが生じたため 2 目目のフィードバックに遅延をもたせ，タイミングを合わせた．

$\Delta\Sigma$ 変調回路は 3 つの要素で構成されている．1 つ目は抵抗・キャパシタを用いた積分器である．抵抗値の理論値は $C = 8[pF]$ ，オーバーサンプリング比 512 倍とすると $3.5[k\ \Omega]$ として産出される．しかし，この値で設計を行ったところ積分器の出力が飽和してしまい，電圧に張り付く結果となってしまった．そこで抵抗を大きくすることで積分器の出力が飽和しないようにした．また，オペアンプに入力される信号が入力電圧範囲を超えた場合にも積分器の出力が飽和してしまうため入力電圧範囲

よりも十分余裕を持った信号に設定して出力が飽和しないようにした。

2つ目は量子化器である。この要素では積分器からの入力を二値化し、そのデータを1クロック保持する機能を持たせた。1クロック保持する方法として $D-FF$ や JR ラッチ回路が考えられるが多くの場面でクロックを使用すると同期させることが困難になるためダイナミック型コンパレータ回路の後段に SR ラッチ回路を用いることでクロック入力を統一する形にした。

3つ目は $D-A$ 変換回路である。本研究では $1bit$ の $\Delta\Sigma$ 変調回路であるため $D-A$ 変換もまた $1bit$ である。 $D-A$ 変換回路は出力値に対して変化するように $C-MOS$ スイッチを付加し、フィードバック部分の基準電圧 V_{res1} , V_{ref2} を制御できるように電圧を外部から印加できるようにした。

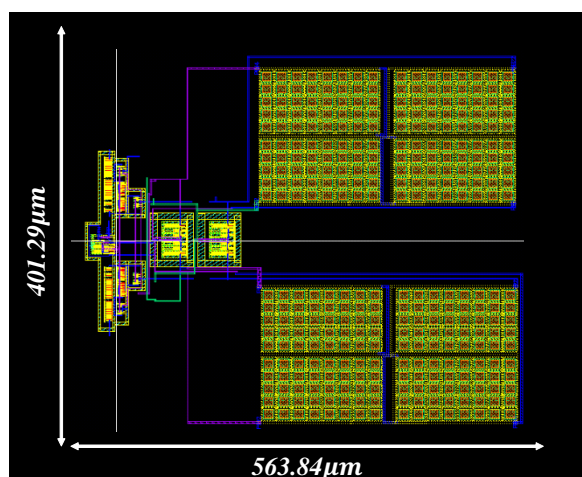


図 5.2 連続型 2 次 $\Delta\Sigma$ 変調回路のレイアウトパターン

5.1.2 離散型二次 $\Delta\Sigma$ 変調回路の設計

次に離散型 2 次 $\Delta\Sigma$ 変調回路について述べる。図 (5.3) に回路図、表 (5.3) に抵抗とキャパシタの各パラメータ、表 (5.4) に印加電圧を示す。

表 5.3 離散型 2 次 $\Delta\Sigma$ 変調回路の設計値

パラメータ	値
C_1	$0.5[pF]$
C_2	$1[pF]$
C_3	$0.5[pF]$
C_4	$1[pF]$

表 5.4 印加電圧

パラメータ	値
V_{CM}	$0.9[V]$
V_{ref0}	$0.45[V]$
V_{ref1}	$1.35[V]$

積分器部分は $CMOS$ スイッチを用いた遅延積分器を使用した。信号処理として 1 つ前のデータ (電圧) を記録し、次のタイミングで現在の入力と足し合わせるといった機能がある。また、アナログスイッチのタイミングが同時にオンになるタイミングがある場合、サンプリングした電荷がオペアンプ側のスイッチよりも遅延をもたせたクロックを入力した。これにより ϕ_1 と ϕ_2 のスイッチが同時にオンすることがなくなった。 [7]

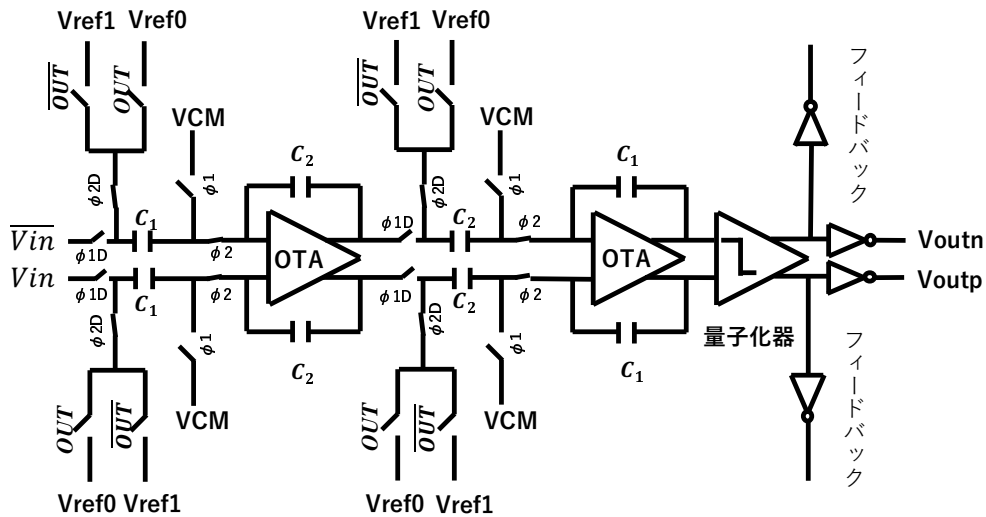


図 5.3 離散型 2 次 $\Delta\Sigma$ 変調回路

$D-A$ 変換回路は連続型と同様、 $1bit$ の量子化器を使用し入力のデジタル回路に対応したアナログ基準電圧 V_{ref+} , V_{ref-} を出力する．式から $a_1a_2 = 1$, $a_2b = 2$ となるように各積分器のキャパシタを設定し 1 次側を 0.5 倍、2 次側を 2 倍の出力にした． [8]

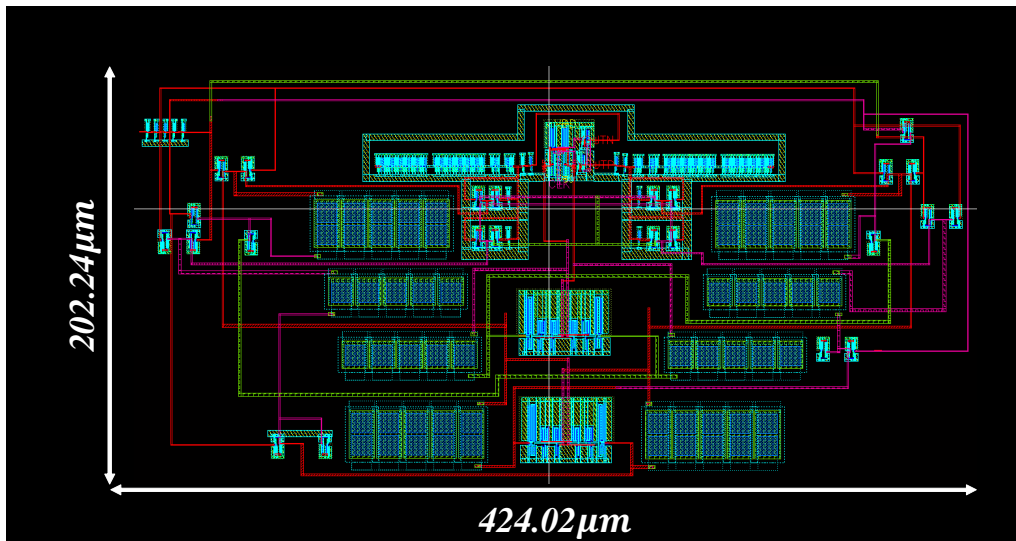


図 5.4 離散型 2 次 $\Delta\Sigma$ 変調回路のレイアウトパターン

5.1.3 フィードフォワード型二次 $\Delta\Sigma$ 変調回路の設計

最後にフィードフォワード型二次 $\Delta\Sigma$ 変調回路について述べる．図(5.5)に回路図，表(5.5)に抵抗とキャパシタの各パラメータ，表(5.6)に印加電圧を示す．

表 5.5 FF型 2次 $\Delta\Sigma$ 変調回路の設計値

パラメータ	値
C_1	10[pF]
R_1	180[k Ω]
R_2	120[k Ω]
R_3	100[k Ω]

表 5.6 印加電圧

パラメータ	値
V_{CM}	0.9[V]
V_{ref0}	0.45[V]
V_{ref1}	1.35[V]

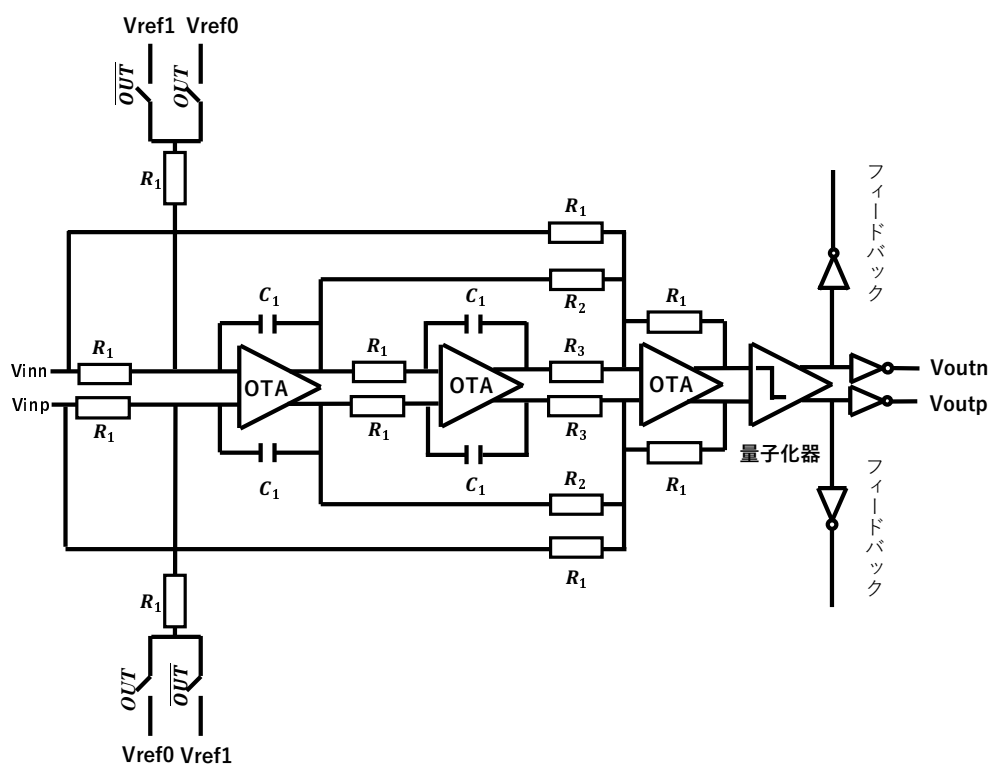


図 5.5 フィードフォワード型 2次 $\Delta\Sigma$ 変調回路

フィードフォワード回路では三つの *NautaOTA* を使用しており，前段二つは積分器として後段一つを加算回路として使用している．加算回路部分で入力段，二つの積分器を加算し，フィードバック経路では *INV* をつなげることでフィードバックのひずみの影響が少なくしている．シミュレーションのオプションは連続型，離散型と同じ方法でシミュレーションを行った．

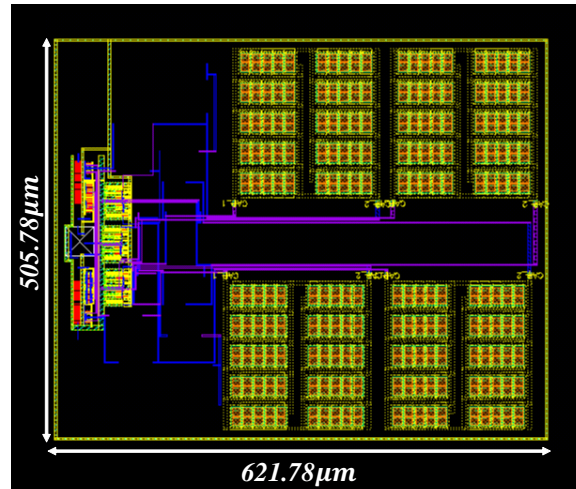


図 5.6 フィードフォワード型 2 次 $\Delta\Sigma$ 変調回路のレイアウトパターン

5.2 二次 $\Delta\Sigma$ 変調回路のシミュレーションと実測

本節では 5 章で設計した 3 種類の 2 次 $\Delta\Sigma$ 変調回路のシミュレーション及び実測の結果を示す。設計の際、シミュレーションは Synopsys 社の HSPICE を用いてシミュレーション及び実測を行った。

5.2.1 測定用基板と計測パターン

シミュレーションでは電源 VDD を 1.8[V]、入力信号を振幅 0.3[V]、周波数 22[kHz]、オフセット 0.9[V] の Sin 波を入力した。CMOS スイッチに入力する外部印加電圧は $V_{ref1} = 1.35[V]$ 、 $V_{ref2} = 0.45V$ とした。CLK 信号はオーバーサンプリング比 256 倍の 11.246[MHz] である。これは通常のサンプリング周波数 (入力信号帯域の 2 倍) の 44[kHz] の 2 倍である。以上の入力で角解析を行った。解析の条件は 100[ps] 刻みで 4[ms] までとした。スペクトル評価は calculator ツールを用いて、FFT 条件を 1~4[ms] の 3[ms] 間、表紙ポイント数は 4096(2^{12})point とした。条件を 1[ms] からにしたのは出力が安定してから計測するためである。

本研究で実測に用いた実験機器を表 (5.7) に示す。実測では電源に HPE3610 を 5 台用いた。回路への電源トリップへの電圧 1.8[V] と印加電圧の 5 つである。入力信号は NFCorporation の WF1974 を用いて生成した。差動入力なので NFWF1974 の画面横の MENU ボタンを押下し、Unility を選択後、ChannelMode を Diff にし、Channell2 から Channell1 の反転した波形が出力するように設定した。CLK 信号は Aglient81150A から生成した。差動の入力信号と CLK 信号は SMA コネクタを用いて BNC ケーブルで印加した。また、差動の入力信号と CLK 信号は AgilentMSO7034A で確認したところ波形が歪んでいたため 6[dB] の減衰器を経由して印加した。入出力波形、スペクトル評価は MSO7034A で行った。入出力波形の評価は MSO7034A の Waveform キー内の Acquire から高分解能を選択し行った。出力信号は TektronixP6158、入力信号は Agilent10074C のプローブを用いて測定した。スペクトル評価は MSO7034A の演算コントロールから FFT を選択し行った。FFT 後のスペクトルがリアルタイムで変化し、安定しなかったため、Acquire から Averaging を選択し 4096

回の測定の平均値から評価を行った。

表 5.7 実測に用いた各種実験機器

名称	メーカー	型番
DCPowerSupply	HewlettPackard	E3610
MixedSignalOscilloscope	AgilentTechnologies	MSO7034A
Multi – FunctionGenerator	NFCorporation	WF1974
PulseFunctionArbitraryGenerator	AgilentTechnologies	81150A
LowCapacitanceProbe	Tektronix	P6158
OscilloscopeProbe	AgilentTechnologies	10073C

スペクトルの評価を図 (5.7) に示す。スペクトル評価はノイズシェーピング効果、信号対雑音比 (S/N) 比とノイズフロアの3つの観点から行った。ノイズシェーピング効果はノイズが高帯域に移動していること、2次のノイズシェーピング反応を示しているかどうかを確認する。S/N比は基本波 (本研究では22[kHz]の入力信号) と第2高調波のスペクトルの差であり、 $\Delta\Sigma$ 変調器の分解能が決まる指標でもある。ノイズフロアとはスペクトルにおいて、信号を入力していなくても発生する電子回路自身が発生するノイズのレベルのことである。本研究では基本波22[kHz]以下の周波数帯域におけるスペクトルの平均値をノイズフロアとして算出する。

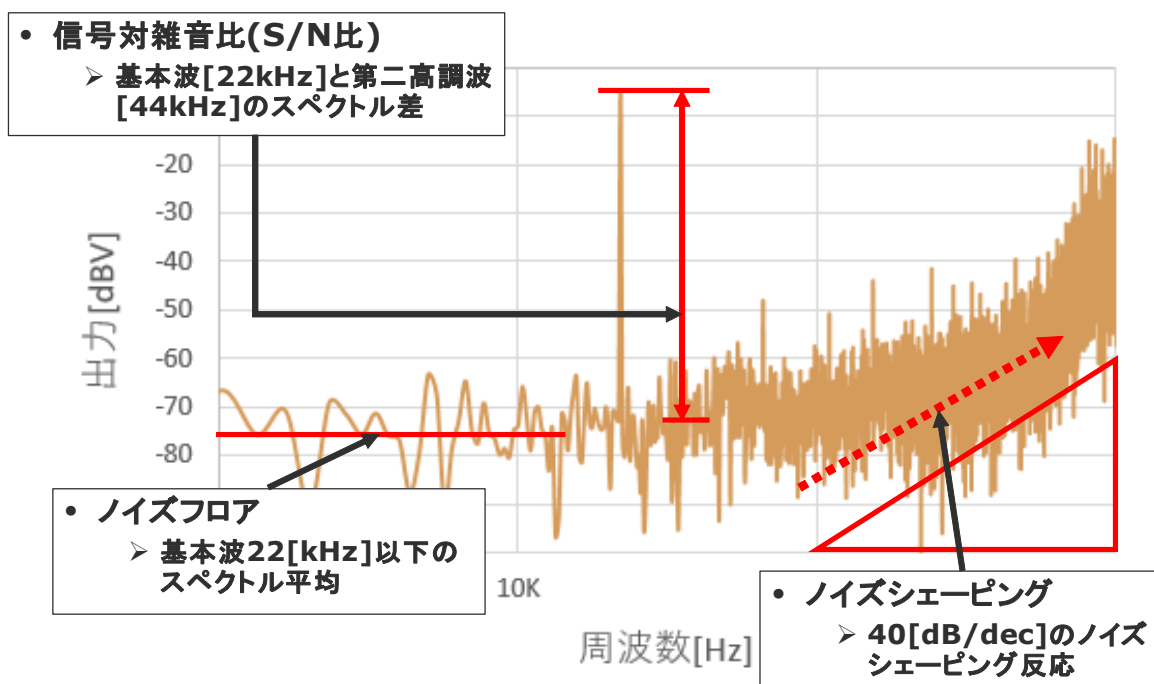


図 5.7 評価基準

5.3 シミュレーションと実測

本節では、三種類の $\Delta\Sigma$ 変調回路のシミュレーションと実測の入出力波形を示す。

5.3.1 連続型二次 $\Delta\Sigma$ 変調器

図 (5.8) に連続型 $\Delta\Sigma$ 変調回路におけるシミュレーション, 実測 FFT スペクトルを示す.

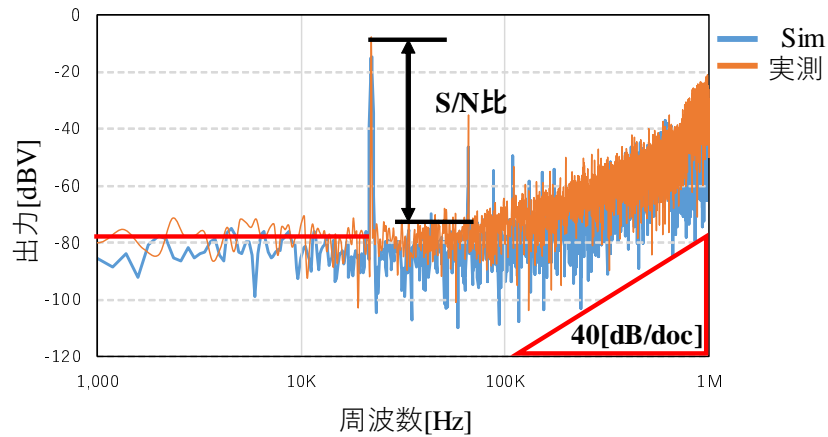


図 5.8 連続型二次 $\Delta\Sigma$ 変調器のシミュレーション及び実測の FFT スペクトル

シミュレーションにおいて入力信号の 22kHz では -7.75dBV , 第二高調波の 44dBV となっておりその差の S/N 比は 73.9dB を得ていた. また, 3 次高調波に大きなピークが出ている部分があるが一般的にサンプリング周波数以降の周波数部分はデジタルフィルタで除去することを想定しているため本研究においては無視できるものとする.

5.3.2 離散型二次 $\Delta\Sigma$ 変調器

図 (5.9) に離散型 $\Delta\Sigma$ 変調回路におけるシミュレーション, 実測 FFT スペクトルを示す.

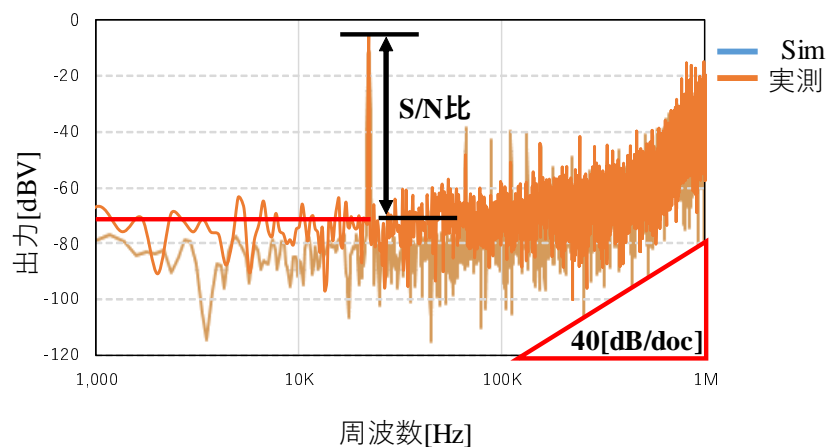


図 5.9 離散型二次 $\Delta\Sigma$ 変調器のシミュレーション及び実測の FFT スペクトル

シミュレーション、実測においてそれぞれ $40[\text{dB}/\text{dec}]$ の傾きのノイズシェーピングを確認することができたが、実測においてノイズフロアが上がり、結果的に S/N 比が低下した。

5.3.3 フィードフォワード型二次 $\Delta\Sigma$ 変調器

図 (5.10) にフィードフォワード型 $\Delta\Sigma$ 変調回路におけるシミュレーション、実測 FFT スペクトルを示す。

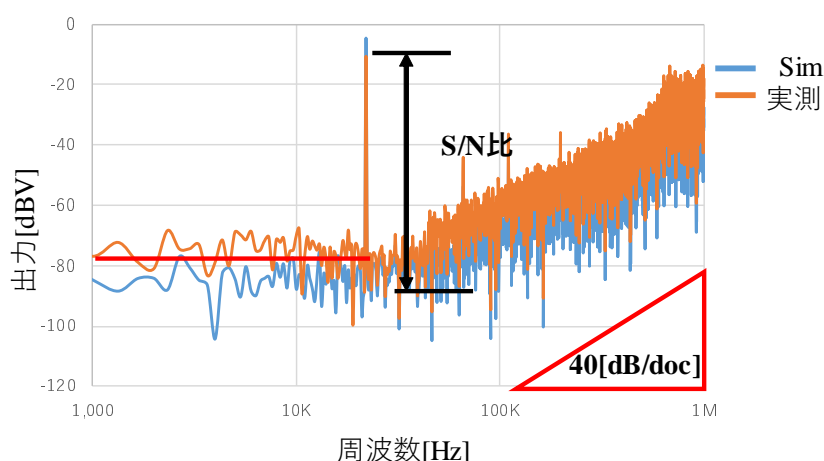


図 5.10 FF 型二次 $\Delta\Sigma$ 変調器のシミュレーション及び実測の FFT スペクトル

シミュレーション、実測において 3 種類の回路のうち最も高い S/N 比、ノイズフロア改善を確認することができた。

表 (5.8) に $\Delta\Sigma$ 変調回路のシミュレーション及び実測の S/N 比、ノイズフロアについて示す。

表 5.8 $\Delta\Sigma$ 変調器のシミュレーション及び実測の S/N 比、ノイズフロア

	連続型 <i>sim</i>	連続型 実測	離散型 <i>sim</i>	離散型 実測	FF 型 <i>sim</i>	FF 型 実測
S/N 比 [dB]	73.9	62.3	69.6	59.9	74.7	64.9
ノイズフロア [dBV]	-80	-75	-85	-70	-85	-78

5.4 考察

実測結果より、離散型 2 次 $\Delta\Sigma$ 変調器の S/N 比の測定値が最も悪く、フィードフォワード型での測定値が最もよかった。フィードフォワード型との違いを考えると離散型におけるクロックによるタイミングのズレなどが影響していると考えられる。また、更なる S/N 比改善を見込むため図 (5.11) のような方式を使った 3 次 $\Delta\Sigma$ 変調器について考える。MASH 方式では、1 次フィードバックループを複数用いることで高次化に伴うタイミングの不安定化を極力減らし、更なる S/N 比の改善が期待される。

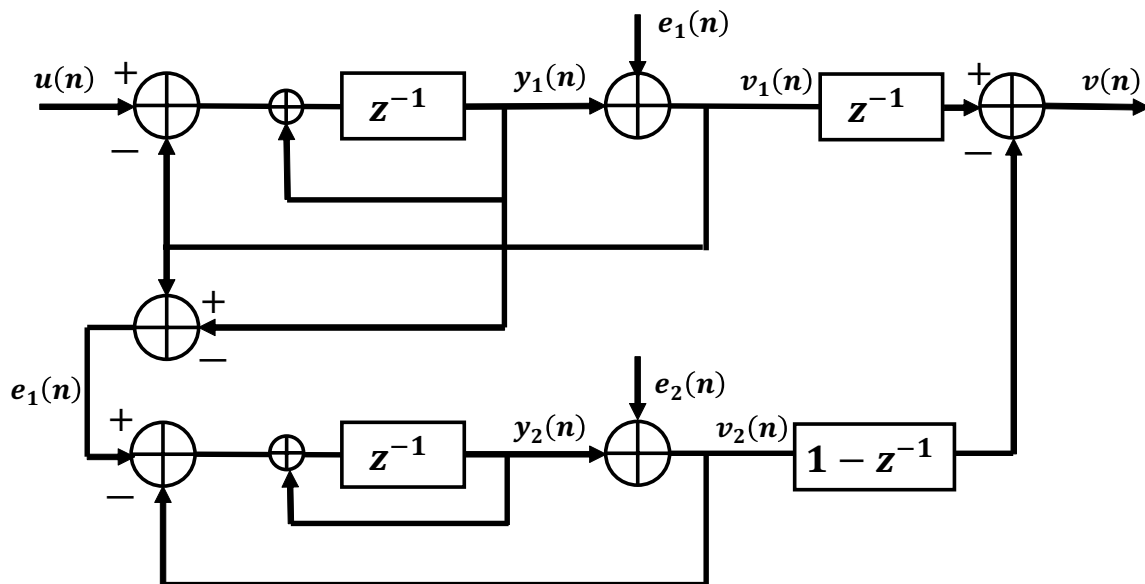


図 5.11 1次 $\Delta\Sigma$ 変調器で構成したMASH方式

第6章 2bit 量子化器を使用した二次 $\Delta\Sigma$ 変調回路の設計

本章では2次 $\Delta\Sigma$ 変調回路の S/N 比を更に削減するといった目的で量子化器を 1bit から 2bit に変更させた変調回路の回路構成とシミュレーション結果を示す。

6.1 量子化器の動作原理

6.1.1 オーバーサンプリングと量子化雑音

量子化器はアナログ信号の入力に対応したデジタル信号を出力する回路である。図(6.1)に n -bit の量子化器の伝達曲線を示す。入力されたアナログ信号に対してデジタル信号が出力されるが、連続したアナログ信号に対して誤差をもったデジタル信号が出力される領域がある。例えば、入力アナログ信号が 1.3 のときの出力デジタル信号は 1 になる。このような、信号伝達の誤差は出力信号に雑音として影響を与える雑音を量子化雑音と呼ぶ。図(6.2)に図(6.1)の量子化雑音の伝達曲線を示す。量子化雑音はデジタル出力に対して入力が遠いとき最大になる。

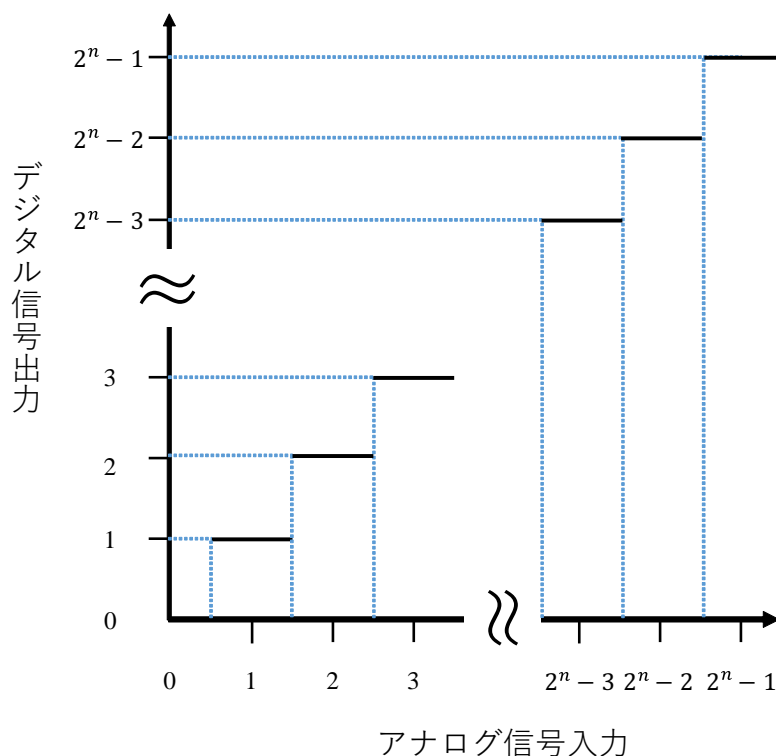


図 6.1 n -bit 量子化器の伝達曲線

次にオーバーサンプリングについて説明する。オーバーサンプリングとはサンプリング周波数をナイキスト周波数(サンプリング周波数の $\frac{1}{2}$)より大きくすることで信号雑音を低下させることがで

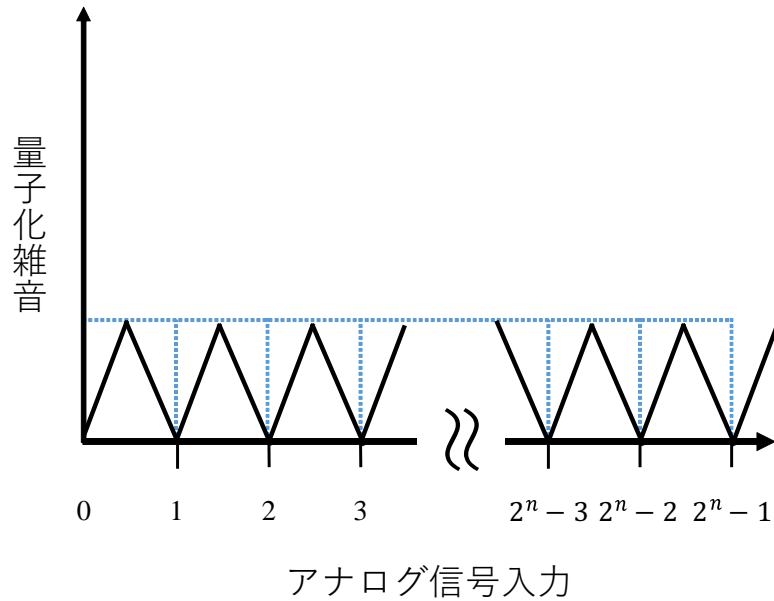


図 6.2 量子化雑音の伝達曲線

きる。

図 (6.3) にオーバーサンプリング効果の概念を示す。量子化雑音はサンプリング周波数にかかわらず一定の雑音量をもつ。そのためオーバーサンプリングでサンプリングしても雑音量は一定になる。オーバーサンプリング周波数の帯域で積分した場合、信号帯域内で考えると雑音が低下することになる。 [5]

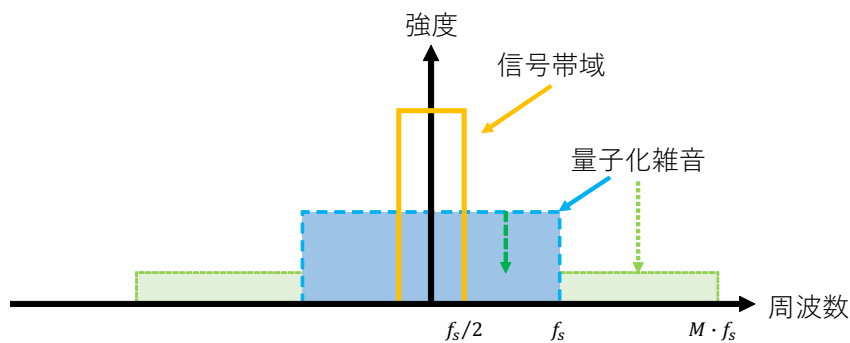


図 6.3 オーバーサンプリング

6.1.2 量子化器とスイッチ回路

今回使用した、量子化器は内部にダイナミックコンパレータと INV , SR ラッチで構成されている。図 (6.4) に量子化器の回路図、表 (6.1) に各パラメータを示す。

この量子化器は初段にダイナミックコンパレータと INV, 出力段に SR ラッチで構成されており, 二つの出力から $V_{inn} > V_{inp}$ のときに 0, $V_{inp} > V_{inn}$ のときに 1 を出力するようになっている. また, 今回設計した $\Delta\Sigma$ では, DAC 部分のバイアスを外部から入力するように設計を行った. 量子化器の出力からフィードバックされる H と L の出力に合わせて, DAC の出力を変化できるように, CMOS スイッチを使用した. 図 (6.5) に CMOS スイッチの回路図を示す.

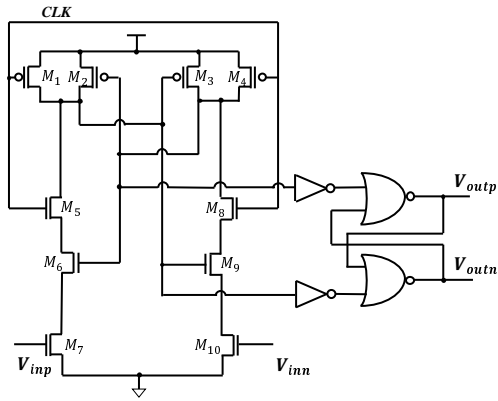


図 6.4 使用した量子化器

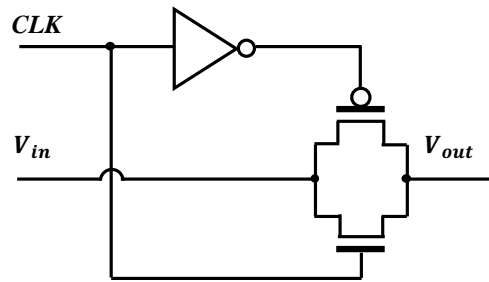


図 6.5 CMOS スイッチ回路

表 (6.1), 表 (6.2) に量子化器, CMOS スイッチのパラメータを示す.

表 6.1 量子化器のパラメータ

ダイナミックコンパレータ	W/L 比
$M_1 \sim M_4$	25
$M_5 \sim M_{10}$	12.5
ゲート長 L	360[nm]
インバータ	W/L 比
PMOS	22
NMOS	11
ゲート長 L	180[nm]
SR ラッチ	W/L 比
PMOS	22
NMOS	11
ゲート長 L	180[nm]

表 6.2 CMOS スイッチのパラメータ

CMOS スイッチ	W/L 比
PMOS	22
NMOS	11
ゲート長 L	180[nm]

6.1.3 使用した 2bit 量子化器

今回、2bit の矩形波を出力させるため 1bit の量子化器を 4 つ使用した。一つは 1bit 量子化器で使用した通り積分器の出力 (V_{inp} , V_{inn}) を比較した出力を、残り 3 つは入力波形 (V_{inp}) と三種類のしきい値電圧 (V_{th1} , V_{th2} , V_{th3}) を比較し、それぞれに出力を割り当てた。図 (6.6) に 1bit 量子化器の出力、図 (6.7) に 2bit 量子化器の出力を示す。量子化器の bit 数を変化させることでアナログ入力振幅の全入力電圧範囲 $FSR(FullScaleRange)$ の分割量が増え、1bit 時よりも細かい段階で振幅を離散化させることができる。

今回使用した量子化器の bit 数は 2bit なので単純に計算すると 1bit 量子化器時の S/N 比と比べ $6dBV$ 小さくなると考えられる。[9]

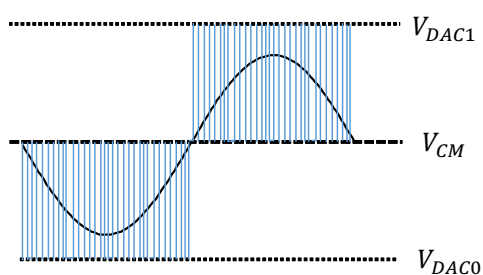


図 6.6 1bit 量子化器の出力

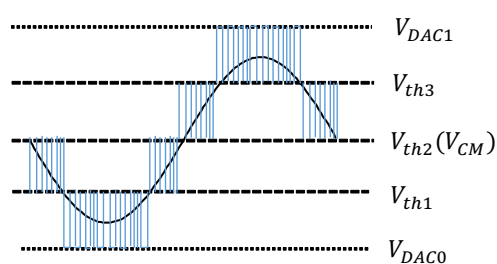


図 6.7 2bit 量子化器の出力

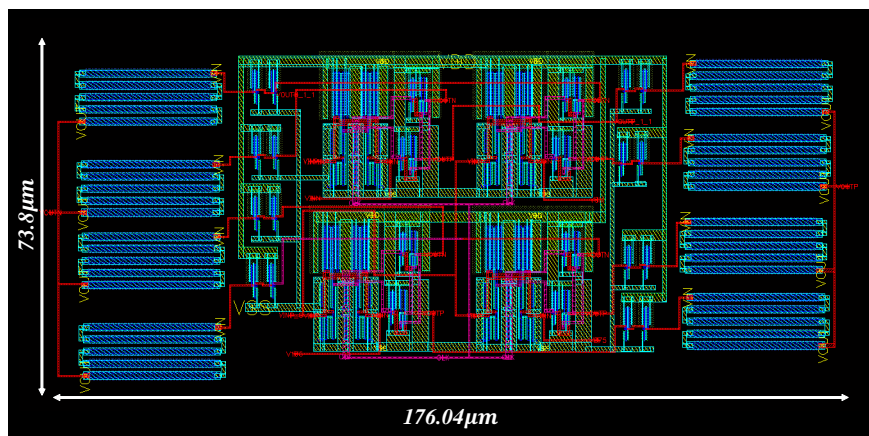


図 6.8 2bit 量子化器のレイアウトパターン

6.2 2bit 量子化回路のシミュレーション

本節では3章で設計した3種類の2bit量子化器の変調回路のシミュレーション結果を示す。

6.2.1 2bit 量子化器のシミュレーション方法

シミュレーションでは1bit量子化器同様、電源 $V_{DD}1.8[V]$ 、入力信号を振幅 $0.3[V]$ 、周波数 $22[kHz]$ 、オフセット $0.9[V]$ の Sin 波を入力した。また、2bit量子化器のしきい値電圧 (V_{th1} , V_{th2} , V_{th3}) をそれぞれ $1.05[V]$, $0.9[V]$, $0.75[V]$ に設定し4レベルに分解した。スペクトル表記は *calculator* ツールを用いて、 FFT 条件を $1\sim 4[ms]$ の $3[ms]$ 間で評価ポイント数を $4096(2^{12})point$ にしてシミュレーションを行った。

6.2.2 連続型二次 $\Delta\Sigma$ 変調器

図(6.9)に連続型における $\Delta\Sigma$ 変調回路のシミュレーションにおける入出力波形、 FFT スペクトルを示す。

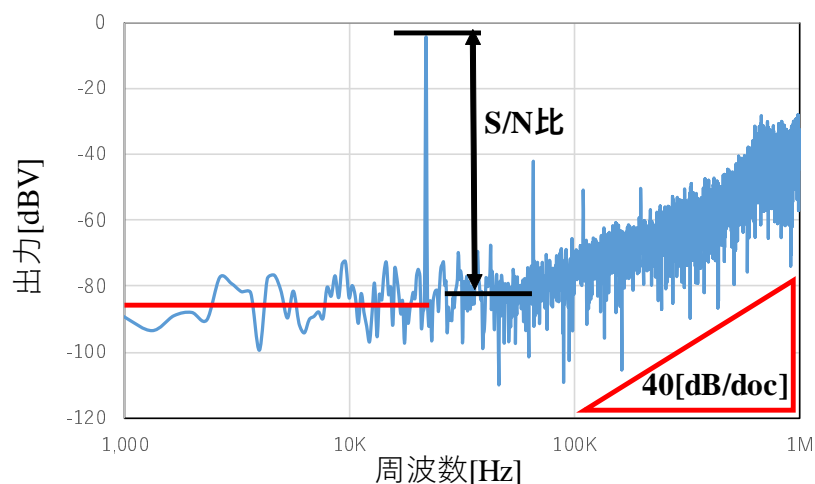


図 6.9 2bit 連続型二次 $\Delta\Sigma$ 変調器のシミュレーション及び実測の FFT スペクトル

1bit量子化器のシミュレーション結果と比べ $73.9[dB]$ から $75.2[dB]$ と S/N 比が $1.3[dB]$ 改善した。また、ノイズフロアにおいても $-85[dBV]$ と $-5[dBV]$ の改善を確認することができた。

6.2.3 離散型二次 $\Delta\Sigma$ 変調器

図 (6.10) に離散型における $\Delta\Sigma$ 変調回路のシミュレーションにおける入出力波形, FFT スペクトルを示す.

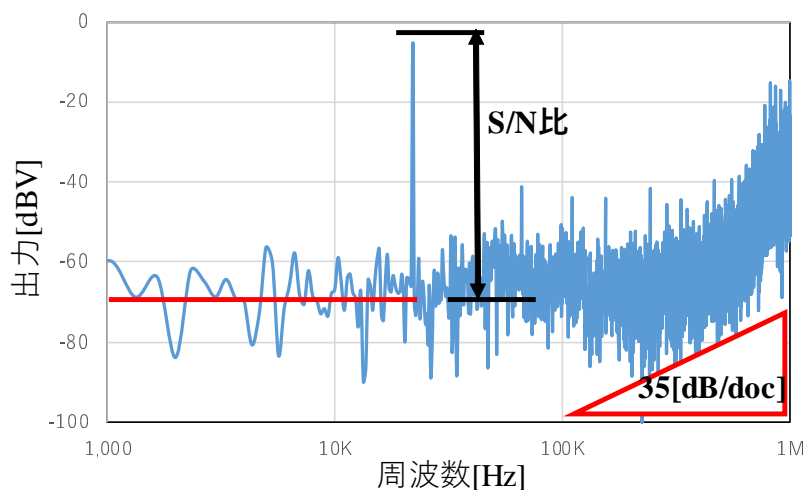


図 6.10 2bit 離散型二次 $\Delta\Sigma$ 変調器のシミュレーション及び実測の FFT スペクトル

2bit 量子化器の S/N 比が 68.0[dB] と 1bit 量子化器の69.6[dB] と比べ改善を確認することができなかった. また, ノイズフロアにおいても-70[dBV] と 1bit 量子化器と比べノイズが底上げされた.

6.2.4 フィールドフォワード型二次 $\Delta\Sigma$ 変調器

図 (6.11) にフィールドフォワード型における $\Delta\Sigma$ 変調回路のシミュレーションにおける入出力波形, FFT スペクトルを示す.

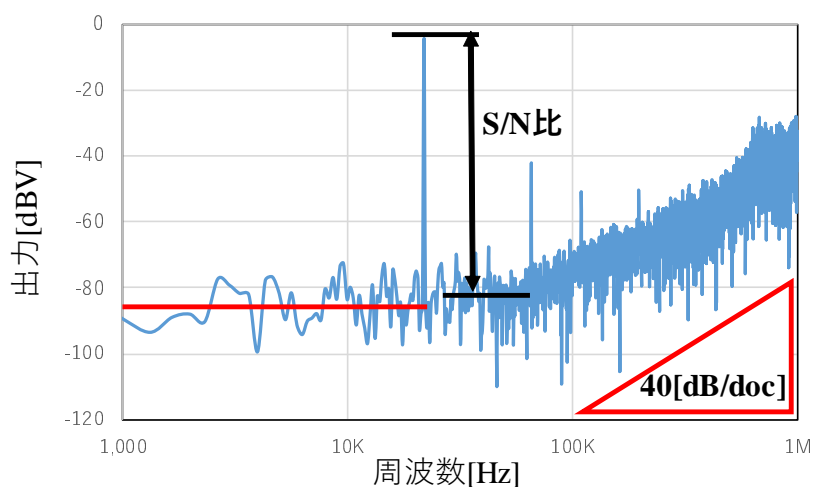


図 6.11 2bitFF 型二次 $\Delta\Sigma$ 変調器のシミュレーション及び実測の FFT スペクトル

1bit 量子化器のシミュレーション結果と比べ 74.7[dB] から 76.6[dB] と S/N 比が 1.9[dB] 改善した。また、ノイズフロアは-85[dBV] と 1bit 量子化器と同じ結果となった。

表 (6.3) に $\Delta\Sigma$ 変調回路のシミュレーション及び実測の S/N 比, ノイズフロアについて示す。

表 6.3 $\Delta\Sigma$ 変調器のシミュレーション及び実測の S/N 比, ノイズフロア

	連続型 <i>sim</i>	離散型 <i>sim</i>	FF 型 <i>sim</i>
S/N 比 [dB]	75.2	68.0	76.6
ノイズフロア [dBV]	-85	-70	-85

6.3 考察

今回のシミュレーションでは最大 1.9dB のノイズ改善を確認することができた。一方で想定されたノイズ改善が 6dB のため予測されていたノイズ改善を算出することができなかった。その理由としてノイズ削減をするために使用された D/A 変換器において非線形性のノイズが生まれたためだと考えられる。非線形性はノイズシェーピングの対象にならないため固定されたノイズとして入力信号に直接影響を及ぼす [10]。今回の回路ではノイズ削減が確認できたが 3bit, 4bit 量子化器へとビット数を増やすたびにノイズシェーピングに乗らないノイズが増えるためこの回路構造を使うことができない。そこで、図 (6.12) のツリー型による動的要素マッチング (DEM) について考える。

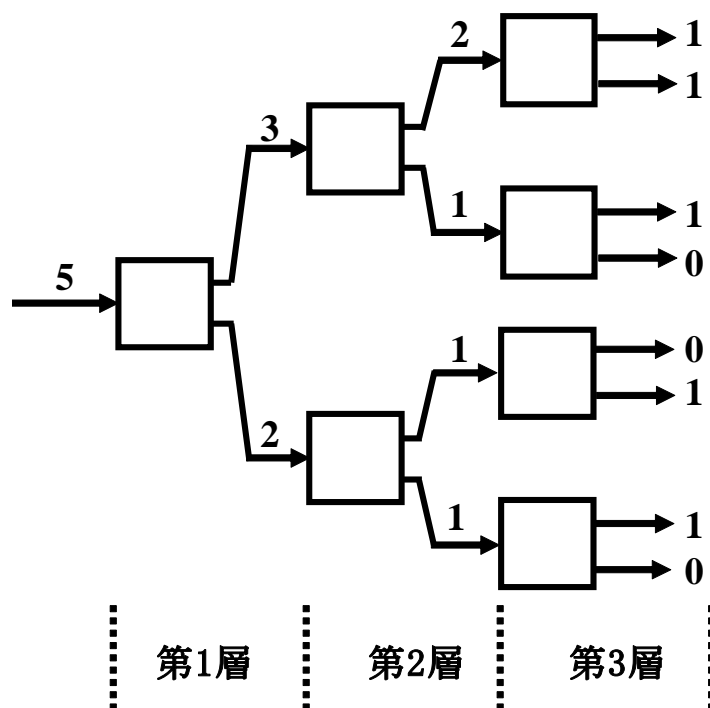


図 6.12 ツリー型 DEM

図(6.12)は3ビット出力のDEMであり、スイッチボックスの二つの出力の合計はその入力に等しく、入力が偶数なら1/2ずつ、奇数なら1つだけ違う値が、それぞれ出力端子に出力される。出力が0から6まで変化するときのシミュレーション結果を図(6.13)に示す。黒丸を付けた電流源から出力電流を取り出す。選ばれる電流源が固定化されず、まんべんなく選択されていることがわかる。BEMを採用することでミスマッチに対する耐性が高くなったことが確認できる。

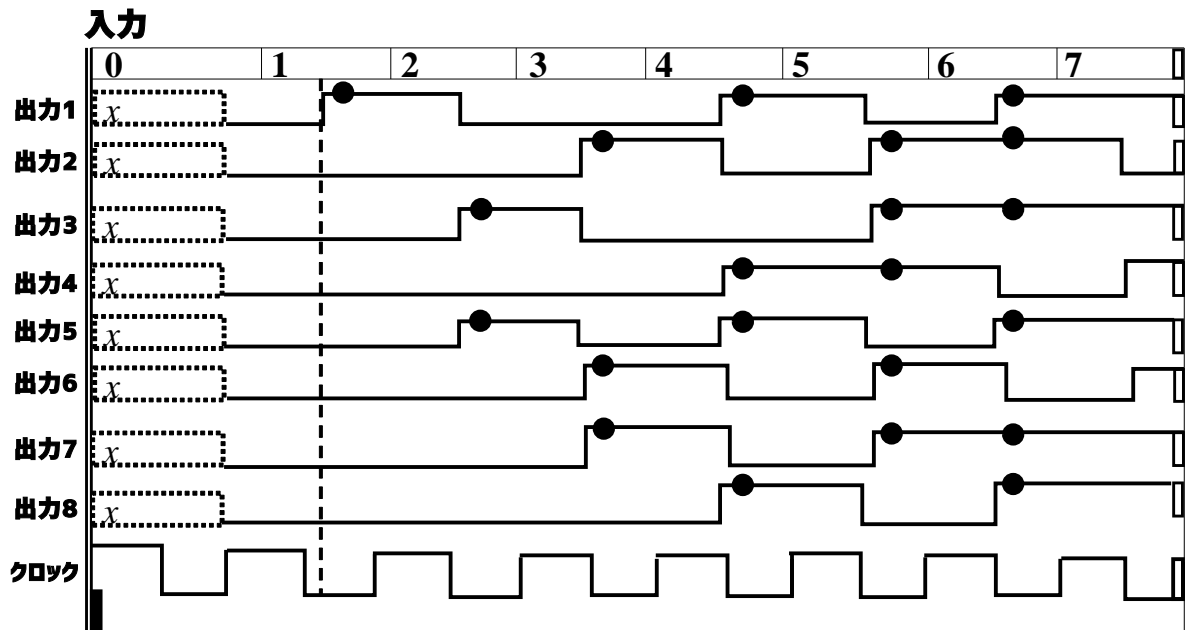


図 6.13 DEM に関するシミュレーション結果

第7章 まとめ

本研究では、*NautaOTA* を用いた $\Delta\Sigma$ 変調器を三種類設計し、シミュレーションと実測を行い、 S/N 比、ノイズフロアの改善を検討した。それぞれ一次型 $\Delta\Sigma$ 変調より最大で 6.8dB の S/N 比改善を確認することができた。

また、更なるノイズ削減のため新たに 2bit 量子化器を設計しシミュレーションでの評価を行った。しかし、離散型において S/N 比を確認することができなかった。また、 S/N 比が改善した連続型、フィードフォワード型でも最大 1.9[dBV] しか改善することができず、今後更なるノイズ削減のため量子化器の bit 数を 3bit, 4bit と増やすためにはツリー型の *DEM* を使用する必要が出てくる。

謝辞

本研究を進めるにあたり，丁寧なご指導とご助言を賜りました橘昌良教授に心から感謝いたします。また，日頃よりお世話になりました密山准教授をはじめ，電子・光システム工学科の教職員の皆様に心よりお礼申し上げます。さらに，卒業したにもかかわらず電話でアドバイスをしてくださった岡崎泰士さんに感謝いたします。最後に，有益な助言や討論をしてくださった橘研究室及び密山研究室の一同に感謝致します。尚，本研究は東京大学大規模集積システム設計教育センター (VDEC) を通し，シノプシス株式会社，日本ケイデンス株式会社及びメンター株式会社の協力で行われたものである。

参考文献

- [1] 谷口 研二, “CMOS アナログ回路入門” CQ 出版 2001
- [2] R.Schreier,G.C.Temes, “ $\Delta\Sigma$ 型アナログ/デジタル変換器入門” 和保 考夫, 安田 彰監訳
丸善株式会社 2007
- [3] 岡崎 泰士 “Nauta OTA を用いた $\Delta\Sigma$ 変調器の設計と評価” 高知工科大学 システム工学群 基
盤工学専攻 2018
- [4] 張広祥 “インバータを用いた Active-RC ポリフェイズフィルタの試作と測定” 北見工業大学電
気電子工学科 電子基礎研究室 2006
- [5] 岡崎 泰士 “Nauta OTA を用いた 1 次 $\Delta\Sigma$ 変調器の設計と評価” 高知工科大学 システム工学
群 電子工学専攻 2016
- [6] 板坂 直哉 “連続時間 2 次 $\Delta\Sigma$ 変調器の設計及び評価” 高知工科大学 電子・光システム工学
コース 2016
- [7] 西面 尚彰 “ブートストラップスイッチ回路を用いた $\Delta\Sigma$ 変調回路の設計と評価” 2014
- [8] 浅田 邦博, 松澤 昭 “アナログ RF COMS 集積回路設計” STARC 教育推進室監修 培風館 2010
- [9] 相良 岩男 “A/D・D/A 変換回路入門 第 2 版” 2003
- [10] 和保 考夫 ” アナログ/デジタル変換入門 コロナ社” 2019