

# AC 出力型スイッチング電源の DSP デジタル制御に関する研究

高知工科大学 社会人特別コース

曾禰 大介

# 論文構成

## 1章. 序論

電源には、接続される負荷の機能低下や停止を防ぐために定電圧出力が要求され、特に、交流電源では正弦波維持が追加される。この目的を満すために、スイッチング電源が多用されているが、電源の内部抵抗を原因とする電圧降下は出力波形の歪みを誘導し、負荷の多様化や電子機器の精密化に伴い、深刻な問題に発展しつつある。従来、スイッチング電源は、OP アンプや制御 IC を用いたアナログ制御により、推奨力率(1~0.9)負荷を想定して出力制御が行われてきた。しかし、電源制御の高機能化による制御回路の複雑化・肥大化や、急増する近未来負荷（非線形負荷・デジタル負荷）の力率変動、負荷急変により、従来法では対応できなくなっている。そこで、本論文は高速デジタル制御により、これらの問題を解決することを目的とする。本章にはスイッチング電源の社会的背景及び問題点を説明し、本論文において提案する DSP デジタル制御の必要性について記述する。

## 2章. DSP デジタル制御の特徴

スイッチング電源制御は出力電圧及び波形の状態によってスイッチング素子に対するオンデューティを調節するもので、従来制御では目標値偏差からの制御量導出が課題となり、多くの制御理論が試行錯誤されてきた。スイッチング電源は交流電源と直流電源に大別されるが、交流電源制御では、PWM スwitchングを行うための正弦波教師データを DSP メモリにて保有・管理し目標出力を獲得し、直流電源制御では教師データを定数として一定の目標出力を獲得しているので、制御の方法は教師データの差だけで交流も直流も同一である。DSP の高速性はデータ処理・格納作業を同時に行うハーバードアーキテクチャ構造を採用しており、ADC を介して得られるデータへの即応性に優れている。近年では制御に必要な ADC や PWM を内蔵した電源制御用 DSP も登場し、従来以上に高精度な出力制御が期待されている。

## 3章. 推奨実負荷に対する DSP デジタル制御の有効性

交流スイッチング電源は接続される負荷状態により、出力電圧波形の正弦波に歪みが発生することが多く、電源の安定性の面からこの歪み波形の抑制が強く求められる。これに対し、従来制御方式であるアナログ制御では三角波比較方式による PWM 方式により電圧制御・波形形成を同時に行っているが、出力波形整形に特化するために有力な手段である従来 PWM 機能の分散化へ対応する事が不可能である。DSP によるプログラマブル制御ではスイッチ素子へのオンデューティを自在に操作することが出来ることから、電圧制御を DC-AC 部以外にて担うことで PWM の独立が可能であると考えられる。そこで、機能分離化として従来高周波への努力のみが試みられてきた DC-DC 部において出力電圧制御を行い、DC-AC 部には波形制御に特化した新方式の PWM を実装した。提案される新 PWM では

DSP 内部メモリへ格納される正弦波教師データが出力波形に対比していることから、負荷変動による波形の歪みに応じて PWM オンデューティを部分的に変更し、負荷力率 1.0-0.9 のガイドライン推奨負荷に対して良好な制御結果を実現した。

#### 4章. 任意の負荷力率変動に対する波形整形の有効性

スイッチング電源に接続される負荷力率が変動した場合、出力制御では制御量及び制御点が線形負荷とは異なるため、アナログ制御方式ではこれを考慮した回路設計を行う必要がある。しかし、一般的な力率変動幅にあわせた制御回路では各力率に対し高い出力精度を維持することが困難であり、制御方式も線形負荷時に比べ複雑となる。前章にて提案したデジタル制御方式はスイッチング電源へ接続される負荷が線形負荷であることのみを前提に検討されており、負荷力率変動に伴う歪み波形に対しては良好な結果を得る事ができない。そこで、負荷力率対応として DSP 内部に格納される PWM 教師データを制御結果に応じて随時修正する教師データ管理方式をデジタル PWM に付加した。出力状態に追従して常に教師データを更新する提案法では、大規模な制御システムの再設計が必要であったアナログ制御では不可能であった自動修正制御を容易に実現することができる。

#### 5章. 学習型制御による負荷急速変動への対応

前述したように、スイッチング電源は接続される負荷及び電源自体の経年劣化により、出力精度が変動するため、アナログ制御では制御回路のチューニングが必要となるが、流動的に変化する回路係数へ対応することには限界がある。そこで、DSP が保有する内部メモリ量に着目し、過去の負荷状態と制御量を経験として蓄積し、高速学習を目的としたルックアップテーブル制御方式を提案する。提案法はデジタル PWM が保有する正弦波教師データとは別に、既に波形整形制御を経験した各負荷力率時における制御量を格納し、初めて制御を経験する力率に対しても試行錯誤的に値を決定するのではなく、過去のデータをもとに制御量を予測して出力する。これにより、提案法を用いたデジタル PWM は即応性に非常に優れており、様々な負荷接続に対し一周期以内での波形整形を実現することができる。

#### 6章. DSP デジタル制御の工学的応用

前章までに述べる DSP デジタル制御の基本的な技術の技術的応用として、実電源に対しデジタル制御を適用した結果について述べる。ガイドライン推奨負荷の接続を想定した電源として、商用電源との連系・並列運転を行う電力回生電源制御を行った。さらに、推奨外負荷を想定した交流電源として、ユーザにより様々な負荷の接続が行われる無停電源電源(UPS)の制御を行っている。また、3～5章においてデジタル制御を主として検討しているが、アナログ制御電源の付加機能による回路の肥大化に対しては DSP デジタルの長所を示していない。実用の電源には要求仕様により異なるが多くの付加機能が必要となる。そこで、各電源制御では DSP デジタル制御による利点として、付加機能性についても検討を

行っている。さらに、**DSP** デジタル制御の将来展望として、今後利用の拡大が見込まれる高速負荷変動を伴うデジタル負荷に対応する高速制御として、高次元制御として知られるニューラルネットワーク及び学習型ルックアップテーブルの適用を行った。

## 7. 結論

本論文ではスイッチング電源制御に従来用いられるアナログ制御における問題点の提議、また多様化の進む電子機器への電力供給として将来的にスイッチング電源に求められる機能について検討し、**DSP** を用いたデジタル制御の必要性について考察した。近年、スイッチング電源に接続される負荷は、ガイドラインにおいて推奨される線形負荷から、半導体及び放電灯などの非線形負荷への遷移が進んでいる。さらに、将来的には負荷急変を伴うデジタル負荷への移行が予想されている。従来制御方式であるアナログ制御は、線形負荷を主な制御対象としており、非線形負荷やデジタル負荷の使用に対しては複雑な制御回路の構築が必須となる。これに対し、**DSP** 主体によるデジタル制御は、ガイドライン推奨外負荷への対応として、高次元制御が容易に実現される。また通信機能付加に伴うネットワーク制御などの可能性も十分に考えられ、近未来電源における制御には **DSP** デジタル制御は不可欠であるといえる。

# 目 次

<b>1 章 序論</b> .....	<b>1</b>
1. 1 電源の社会的意義.....	1
1. 2 電源の社会的背景.....	2
1. 3 本論文の意義.....	6
1. 4 本論文の構成.....	7
1 章 参考文献.....	8
<b>2 章 DSP デジタル制御の特徴</b> .....	<b>11</b>
2. 1 まえがき.....	11
2. 2 電源の電圧変動.....	12
2.2.1 定負荷に対する電圧降下 (時間効果の配慮なし).....	12
2.2.2 負荷変動における電圧降下 (時間効果を考慮).....	14
2. 3 出力電圧制御 (従来制御及び DSP デジタル制御).....	18
2.3.1 アナログ制御 (三角波比較方式).....	19
2.3.2 DSP 利用によるデジタル制御アルゴリズム.....	21
2. 4 交流電源における出力電圧波形整形.....	24
2.4.1 アナログ制御三角波比較方式の工夫.....	24
2.4.2 DSP デジタル制御による PWM パルス修正.....	26
2. 5 デジタル制御への制御理論実装.....	28
2.5.1 PI 離散化伝達関数及び実装関数.....	29
2.5.2 PID 離散化伝達関数及び実装関数.....	30
2. 6 高速・人工知能用 MPU (DSP).....	32
2. 7 スイッチング電源の応用分野.....	43
2. 8 むすび.....	48
2 章 参考文献.....	48
<b>3 章 推奨実負荷に対する DSP デジタル制御の有効性</b> .....	<b>50</b>
3. 1 まえがき.....	50
3. 2 スイッチング電源回路及び制御アルゴリズム.....	51
3.2.1 制御対象スイッチング電源.....	51
3.2.2 DSP による定電圧制御・波形整形アルゴリズム.....	54
3. 3 デジタル制御による PWM 機能の分散化.....	56
3.3.1 DC/DC 部における出力電圧の制御性.....	56
3.3.2 新アルゴリズム PWM スイッチング.....	61
3. 4 単極性 PWM による効果.....	65
3. 5 むすび.....	68

3章 参考文献.....	69
<b>4章 任意の負荷力率変動に対する波形整形の有効性.....</b>	<b>71</b>
4.1 まえがき.....	71
4.2 負荷力率変動を考慮した新 PWM アルゴリズム.....	72
4.3 種々の負荷力率に対する波形追従制御.....	74
4.4 単極性 PWM による電力効率改善.....	81
4.5 むすび.....	84
4章 参考文献.....	84
<b>5章 学習型制御による負荷急速変動への対応.....</b>	<b>86</b>
5.1 まえがき.....	86
5.2 高速波形修正 PWM の構築.....	87
5.2.1 デジタル PID 制御の設計.....	87
5.2.2 制御経験を基にしたグループルックアップテーブル.....	90
5.2.3 ルックアップテーブル及び PID 制御を用いた波形整形アルゴリズム... ..	93
5.3 ルックアップテーブル方式による高速波形修正.....	95
5.4 むすび.....	100
5章 参考文献.....	100
<b>6章 DSP デジタル制御の工学的応用.....</b>	<b>102</b>
6.1 まえがき.....	102
6.2 DSP デジタル電力回生電源.....	103
6.2.1 目的及び方法.....	103
6.2.2 実装制御結果及び精度検討.....	108
6.3 実用デジタル制御無停電電源 UPS (広範囲力率・加機能実装付).....	115
6.3.1 目的及び方法.....	115
6.3.2 実装制御結果及び精度検討.....	122
6.4 DC/DC コンバータにおけるニューラルネットワーク制御.....	136
6.4.1 目的及び方法.....	136
6.4.2 3層ニューラルネットワークによる学習制御.....	141
6.5 DC/DC コンバータにおけるルックアップテーブル制御.....	150
6.5.1 目的及び方法.....	150
6.5.2 ルックアップテーブルによる高速リアルタイム制御.....	155
6.6 むすび.....	164
6章 参考文献.....	165
<b>7章 結論.....</b>	<b>167</b>
<b>発表関連論文.....</b>	<b>169</b>
<b>謝辞.....</b>	<b>171</b>

# 1 章 序論

## 1. 1 電源の社会的意義

電力・制御・通信設備などの産業分野及び、照明・家電製品などの民生分野では、アナログ負荷もしくは、デジタル負荷を搭載した精密電子機器が広く普及している。RLC やモータに代表されるアナログ負荷では、供給電圧の僅かな変動が不安定化など、機能低下の原因となる。更に、デジタル負荷は駆動電圧の低下が進められているため、供給電圧の変動に伴い、機能停止や故障など深刻な状況に陥る可能性を持つ。このため、電子機器に対し電力を供給する電源には、安定した電力供給、つまり定電圧出力性が求められる。このような要求に対し、過っての安定化電源では精密稼働の負荷には対応できなくなっている。

商用電源を始めとする全ての電源は、内部抵抗（内部インピーダンス）を持つことが知られている。この内部抵抗と負荷電流の作用から電源内部では電圧降下が発生し、出力電圧が低下する。電圧降下量は負荷電流に依存しており、接続される負荷の状態によって出力電圧は大きく変動する。そこで、従来の電源に代わり安定した直流電圧、もしくは、高品質な正弦波電圧を出力することのできる交流電源が必要となり、スイッチング電源が利用されている。スイッチング電源は、安定化電源以外にも、スイッチング制御による出力の操作性から、無停電電源装置(UPS)など特殊な機能を有した電源の開発・研究[1]-[4]が行われている。

一般のスイッチング電源は、OP アンプによる比較器及び制御器、RLC アナログ素子から構成されるアナログ制御回路によって、出力電圧制御が行われてきた。アナログ制御は出力波形に対する三角波基準波形の交点より、制御修正パルス（Pulse Width Method PWM）を導出する三角波比較方式を採用している。同方式は電圧降下による出力電圧変動を解決するために考案されたものであり、原理的には交・直流電源における定電圧制御では優れた制御性能を発揮する。しかし、OP アンプによる制御では動作時間が遅く、PWM パルスの部分的な調節が困難であるため、交流電源における出力波形整形に対しては不向きであった。

従来、スイッチング電源に接続される負荷は RLC など線形負荷が主であり、負荷変動は緩慢な変化であった。このため、負荷変動により発生する出力波形の歪みは平滑化回路によって吸収され、工業規格では明確な仕様が定められていない。しかし、近年では負荷力率の低下を伴う非線形負荷として、半導体負荷や放電灯負荷など、負荷の多様化が進み、や、電源における制御環境は過酷の一途を辿っている。また、スイッチング電源には小型化・高精度化などに加え、省エネルギー化が要求され、分散化電源や電力回生電源に関する研究[5]-[10]が行われている。

さらに、近未来に展開される次世代電源として、インターネットを通じた制御管理など、電力のユビキタス化への期待も高まっている。そこで、種々の負荷に対し定電圧出力を行い、高機能化への要求に対し柔軟に対応する新制御方式が求められる。

## 1. 2 電源の社会的背景

負荷の変貌に対応して登場したスイッチング電源では、接続される負荷の安定動作を確保するための努力が続けられており、非線形負荷の増加、デジタル負荷の登場などに対応する次世代電源が求められている。そこで、次節において本論文の意義(新規点)を主張するために、以下にスイッチング電源における社会的背景を述べる。

IC やマイコン搭載の電子機器には、電圧変動の少ない安定化した直流電圧もしくは、交流電圧が求められる。これらの電子機器における安定化電源には、リニア電源とスイッチング電源の2方式が提案されており、従来は回路構成が単純かつ、低ノイズであるという理由からリニア電源が多用されてきた。リニア電源は回路中に可変抵抗や、ツェナーダイオード、及び、三端子レギュレータを組み込んだ単純回路である。可変抵抗を用いる回路構成はシリーズ方式と呼ばれ、整流回路による電圧リップル及び入力変動を、可変抵抗において吸収し安定した電圧波形を出力する。

一方、後者は定電圧ダイオードと呼ばれるツェナーダイオードの性質を利用している。閾値電圧以上において導通状態となるツェナーダイオードは、閾値電圧を境に電流が流す定電圧ダイオードとして機能するため、出力電圧の一定化を図ることができる。また三端子レギュレータは、ツェナーダイオードによる定電圧（基準電圧）と出力電圧の誤差を検知し、これをトランジスタで増幅・補正することにより定電圧出力を行う。このようなリニア電源は真空管時代より、広く用いられてきたが、電圧調整素子における発熱による低電力効率(60%程度)、トランスの小型化が不可能などの問題を持つ。そこで、従来のリニア電源に対し、画期的な小型化・軽量化・高効率化を実現したのがスイッチング電源である。

両電源における違いは、リニア電源では商用交流をトランスにおいて電圧変換してから整流するのに対し、スイッチング電源ではまず商用交流を整流し、電圧変換を行う。しかし、整流された直流をトランスでは変換できないため、半導体素子（トランジスタや MOS FET）の高速スイッチングによりパルス波の交流に変換する。これにより、回路構成は複雑化するが、伝送電力を熱として消費するリニア電源に対し、スイッチング電源では PWM 制御により必要な電力のみ供給を行うため、電力効率が大幅に改善される。また、トランスの大きさは周波数に反比例する。交流周波数は 50Hz/60Hz と低いため、リニア電源では大型なトランスを使用する以外の術を持たなかった。しかし、スイッチング電源のパルス周波数は数 10kHz～数 100kHz と高周波であり、トランスの小型・軽量化が可能となる。

スイッチング電源では接続される電子機器の要求電圧を確保するために、降圧制御及び昇圧制御を行う必要があり、これらの動作を行うための回路構成が確立されている。降圧制御は、バックコンバータと総称される回路が用いられ、スイッチングによって開放時間を調節することにより容易に行われる。一方、昇圧動作には、ブーストコンバータと呼ばれる回路が基本的に用いられる。同回路では、スイッチ素子 ON 状態において、電源とチョークコイルによる閉ループが形成される回路構成となっている。閉ループ時にチョークコイルは Lenz の法則により、電流変化を妨げるように逆起電力（電圧）を発生させる。その



後、スイッチ素子 OFF 状態ではコイルが見かけ上の電源となり、入力電圧よりも大きな出力を得ることができる。このような昇圧制御をポンピング制御と呼ばれている。

スイッチング電源にはパワーエレクトロニクスの技術が凝縮されており、回路素子・回路構成・制御方式・制御回路それぞれの分野において、多くの研究開発が進められている。産業・民生に通じて多くの電子機器において利用されているスイッチング電源は、半導体素子及び電源回路方式、制御方式の開発に伴い発展している。そこで、スイッチング電源における回路構成、構成素子、制御方式、制御素子の歴史を図 1. 1 に示す。

スイッチング電源は 1950 年代後半より、米国 NASA(航空宇宙局: National Aeronautics and Space Administration)が、アポロ計画におけるロケット搭載用電源として開発を開始しており、1964 年に同局 Manuel Kramer によって初の特許が取得されている[11]。また、日本国内では、1972 年に日本電子メモリ工業(ネミック・ラムダ前身)及び TDK が日本初のスイッチング電源の製造・販売を開始した。以来、多くの電源メーカより多くの製品が発表されてきたが、仕様・試験等について標準化の必要性が指摘され、接続される負荷に対しガイドラインが定められている。

電源回路を構成する素子として、Shockley による半導体増幅作用の発見より 1948 年にはトランジスタが発明以来、スイッチング素子では多くの研究開発が進められてきた。特に、スイッチング電源における高周波化・大容量化などの要求を受け、パワー-MOSFET、IGBT、SiC、ダイヤモンド半導体といった電力用の半導体素子が次々と誕生している。スイッチング素子の発達には制御方式にも大きな影響を与え、スイッチング電源におけるソフトスイッチング方式は 1970 年代の高周波電力変換技術の確立から、1980 年代の準共振方式、1990 年代の部分共振方式へと発展を遂げ、2000 年代ではスイッチング電源の新しい用途への可能性として新しいソフトスイッチング方式の研究が進められている[12]-[19]。

スイッチング電源開発の努力として、装置の小型化を目的とした高周波化があげられる。初期のスイッチング電源はバイポーラトランジスタを利用したもので、スイッチング周波数も 1 kHz 程度であった。しかし、1970 年頃にはスイッチング周波数は 20kHz に到達し、無音化を実現した。また、1970 年後半には MOSFET が発表により、高周波化は更に加速することとなり、1980 年中期には数 100W の電源容量で 100kHz を実現する。次世代のスイッチング電源は DSP の登場などに伴い、更なる高周波化が進むことが考えられ、スイッチング素子の開発に呼応して数 MHz に到達するものと予想される。

制御方式について、スイッチング電源における定電圧制御には、1940 年代に確立されたフィードバック制御である古典制御理論が用いられてきた。古典制御理論は P 動作(比例動作: Proportional action)、I 動作(積分動作: Integral action)、D 動作(微分動作: Derivative action)を組み合わせた制御法であり、PI 及び PID 制御は現在に至るまでアナログ制御において主流である。同制御法は電源回路の応答性より、制御システムを構築し、出力電圧変動に対し理論的に最適なパルス修正量を算出するものである。PI 制御は、単純な比例制御に対し、残留偏差を吸収するために提案された制御法であり、目標電圧周辺において微調節を行う。一方、PID 制御は PI 制御に即応性を付加したもので、電圧偏差に対し過剰修正

を繰り返し、目標電圧を目指す方式である。これらの制御方式は電源の修正によって使い分けられ、安定度の高い電源を目指し多くの研究・開発[20]-[26]が行われてきた。

上記に述べたように、スイッチング電源の制御には PI/PID 制御が用いられるが、制御対象である電源は全てモデル誤差を含んでいると言っても過言ではない。システム同定によって同定されたモデルに関しても同様である。このため、理論的に設計した PID コントローラを実装した制御回路では、期待した結果が得られない事が多く、パラメータチューニングを行うために人為的作業の増大につながる。そこで、次世代制御として、 $H^\infty$ 制御を代表とする現代制御理論[27][28]、ニューラルネットワーク[29]-[31]、人工知能[32]などを電源制御へ投下する研究が行われている。しかし、デジタル制御素子の登場に至るまで、これらの高次元理論は実装することが不可能であった。

アナログ回路によるスイッチング電源は、制御性能・他機能を実製品化する際、部品の限界や回路の近似化に悪影響されるばかりでなく、仕様の変更や高機能化などに対し部品点数増加に伴う回路の肥大化、開発修正期間・コストの増大など、多様の問題を抱えている。このため、デジタル制御への要望が高まり、Micro Processing Unit(MPU)を用いたアナログ-デジタルハイブリッド制御回路が開発された。さらに、デジタル負荷への対応に伴い、電源の小型化・高機能化への要求から、Digital Signal Processor(DSP)を主体としたデジタル制御に関する研究・開発[34]-[41]が行われている。2000年以降には DSP 各メーカーより電源制御に適した、低価格、低消費電力、周辺装置内蔵の DSP が発売され、次世代におけるスイッチング電源において大きな役割を担うと考えられる。

プログラマブルである DSP の導入は、制御回路や付加機能回路をプログラムとしてメモリに封印でき、小型化・省スペースを実現、変更、開発期間などトータル的には安価となる利点がある。プログラムによる自由かつ複雑な処理の展開は、高速実行可能な DSP に最も適している。電源は交流と直流に分けられるが、中でも、交流電源は正弦波定電圧源の質の維持が求められ、負荷力率の変動、デジタル負荷・非線形負荷や電子機器の電磁波障害の激増する現代・近未来において、高速な時間管理と制御の点で直流電源より多くの問題点を抱えている。高速プログラム制御・処理可能な DSP はこの交流の抱える問題点の解決に効果的な手段として期待される。

1956年における人工知能の提唱以来、並列分散処理：Parallel Distributed Processing(PDP)の考えに則り、ニューラルネットワークやエキスパートシステムなど多くの理論が提案されている[42]-[46]。しかし、これまでに登場した CPU などのプロセッサは並列作業性に乏しく、人工知能の考えを電源制御に対し投下することは非常に困難であった。これに対し、半導体集積技術の進歩により超小型化され、ハーバードアーキテクチャと DSP 思想による並列処理の実現は、人間の同時・多重に思考される神経系の学習・高速処理に限りなく近づいたと言える。DSP を利用した電源制御では、過去の制御性能を学習として蓄積するアルゴリズムも実装可能であり、負荷の多様性に柔軟に対応することが求められる近未来電源に有効な手段であると考えられる。

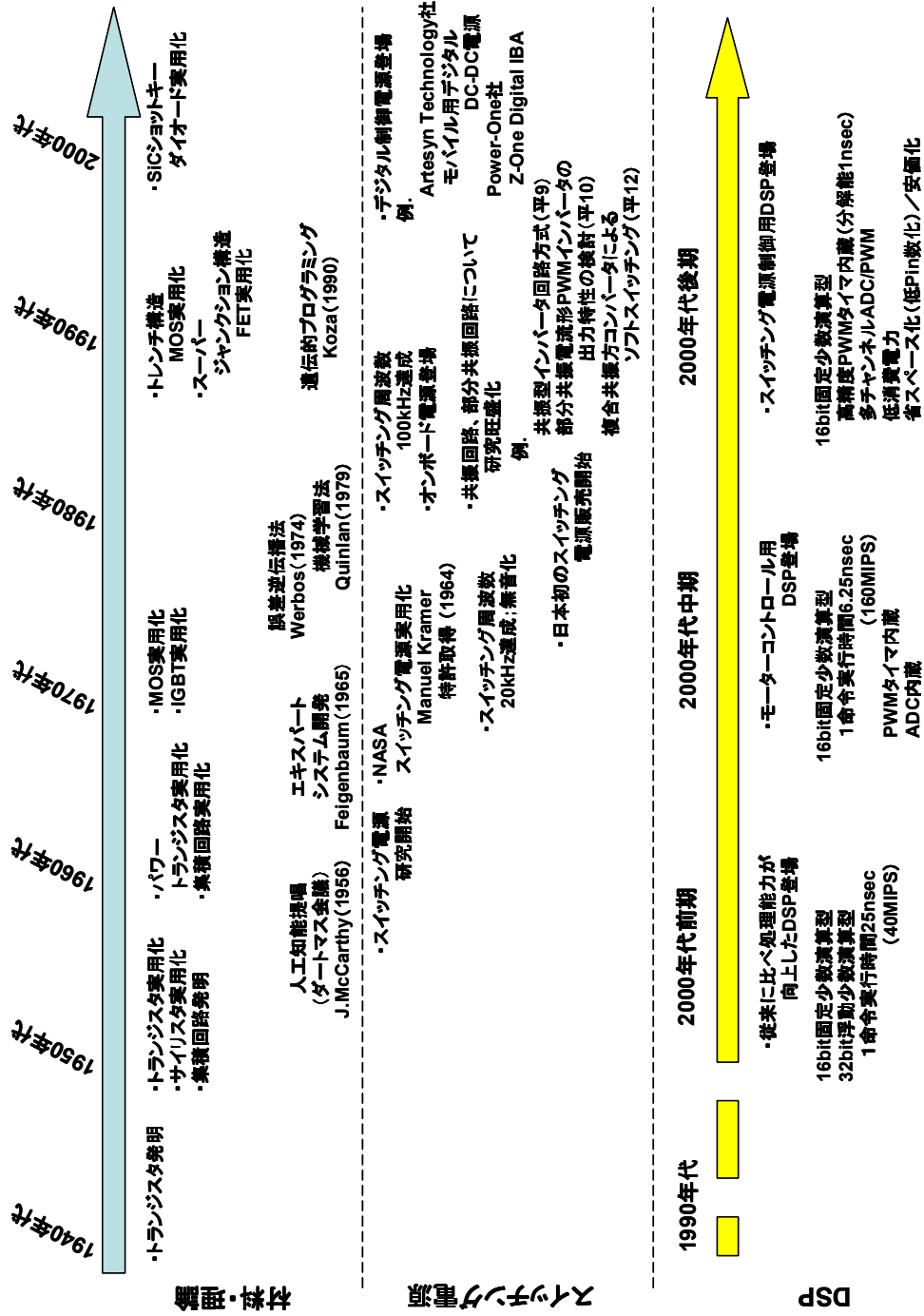


図1.1 スイッチング電源の歴史

### 1. 3 本論文の意義

電力供給を役目とする電源には、接続される負荷の機能低下、もしくは、停止を防ぐ目的から、定電圧出力が要求され、特に、交流電源では電圧保障に加え、正弦波維持の条件が追加される。そこで、商用電源に代わり、安定化電源としてスイッチング電源が広く用いられる。スイッチング電源における接続対象は、定電圧・高品質正弦波を維持するために、ガイドラインにおいて推奨負荷(力率 1.0~0.9)が指定されている。しかし、実電源では内部抵抗の影響から、負荷電流増加により、端子電圧に電圧降下が発生し、代表的な推奨負荷である RLC 線形負荷接続時においても、出力波形に歪が発生してしまう。

従来、スイッチング電源は、回路特性を考慮して設計された、OP アンプによる比較器や制御 IC で構成されるアナログ制御によって、出力制御が行われている。推奨負荷による出力波形の歪みは、通常平滑化フィルタによって吸収されるが、回路小型化や波形制御を行う場合には、制御回路が複雑化・肥大化してしまう問題が指摘されている。さらに、近年では、接続負荷は推奨負荷に留まらず、半導体非線形負荷やデジタル負荷など、負荷力率が大きく低下、急速変動する推奨外負荷が使用される状況が急増しており、正弦波電圧維持が困難になりつつある。特に、デジタル負荷による不規則な負荷急速変動に対し、既存制御では定電圧制御は不可能であり、近未来負荷に対応する新制御方式が求められる。

これに対し、DSP(Digital Signal Processor)を制御コアとするデジタル制御では、種々の制御を 1 チップ内に格納することで制御回路は大幅に小型化され、自由度の高い制御が実装可能である。本論文において提案する DSP デジタル制御では、電源出力情報は ADC を介して DSP へ直接伝達され、DSP 内部において波形整形を行う PWM パルスの生成が行われる。そこで、実電源対応として、力率 1.0~0.9 の推奨負荷及び、低力率となる推奨外負荷による応答時間を考慮した定電圧波形整形制御を実装する。さらに、デジタル制御の将来展望として、次世代電源に想定される負荷急変を伴うデジタル負荷に対し、高次元(人工知能)制御を実現する。

以上に述べたように、本論文において提案するフルデジタル制御は、出力仕様の変更がソフトウェアによって管理されるため、推奨負荷、推奨外負荷、デジタル負荷など接続負荷に左右されず定電圧波形整形を行う。ソフトウェア上において外部情報を反映した制御信号を生成するデジタル制御では、一般的に利用される古典制御理論の実装から、アナログでは机上理論とされた人工知能型制御の実装も可能となる。更に、DSP 同士の情報共有、インターネットを通じた遠隔操作などの将来展望が見込まれ、電源のユビキタス化に大きく前進することが期待される。周辺機器を全て除去したデジタル制御における制御回路は、多くのスイッチング電源において共通に使用することが可能であり、制御方式についても流用もしくは一部プログラムの修正によって対応することができる。また、電源の小型化や開発期間・費用の大幅な削減に貢献し、低消費電力 DSP の使用により制御回路での電力損失を防ぐことが可能となる。なお、デジタル制御の詳しいアルゴリズム、提案法を用いた場合における制御結果などについては、2 章以降にて詳しく述べることとする。

## 1. 4 本論文の構成

前述したように、アナログ制御電源が抱える問題点（高品質制御・小型化・経済性・変更性・近未来対応）に対し、DSP デジタル制御では、制御仕様の修正・変更に対する迅速性や、付加機能回路のプログラム化などが最大の特徴である。スイッチング電源は商用電源に代わり、定電圧出力を行う理想的な電源であることが求められる。そこで、本論文ではアナログ制御における問題点に注目し、AC 出力型電源における安定出力を実現するデジタル制御方式を提案する。AC 電源では定負荷時、負荷変動時において常に安定した正弦波電圧の出力が求められる。しかし、近年における負荷は短時間内における急激な負荷変動、力率変動など特殊性が増している。これに対し、一定負荷及び緩慢な負荷変動を想定したアナログ制御では、良質な正弦波を維持することが出来ず、負荷変動によって発生する出力波形の歪み整形には複雑な制御回路を構成する必要がある。

これに対し、デジタル制御ではアナログ制御における制御回路を、全てプログラムにより形成することが可能である。そこで、特殊負荷使用及び高速変動に伴う波形歪みに対しても、電圧瞬時値に対し個々に制御量を決定するアルゴリズムを構築した。提案法ではスイッチ素子に対する PWM パルスは、DSP 内部に格納される数値データによって導出される。アナログ制御において、PWM パルスは外部入力される基準波形を用いて導出されるため、出力状況に応じた柔軟なオンデューティ調節が困難であった。一方提案法では、内部データの変更により、必要に応じた PWM パルスの微調整が容易に行われる。本論文では提案法の制御性能について、種々の負荷に対する波形整形結果によって評価を行い、近未来負荷を考慮した高機能電源の開発を行う。

本論文は6章で構成され、第1章に、デジタル制御電源の必要意義・本研究の新規性の背景を述べ、DSP デジタル制御の必要性をしめす。2章では、スイッチング電源におけるアナログ制御方法の概要を示し、DSP の高速処理性を、アーキテクチャを用いて紹介し、本研究で用いられるデジタル制御のアルゴリズムについて述べる。

3・4・5章ではアナログ制御電源では困難とされる、高品質の正弦波定電圧交流電源を実現している。3章では一般的なスイッチング電源における、推奨力率90～100%負荷に対する定電圧かつ、高品質波形の実現法を示す。4章では、今後利用が拡大すると予想される、アナログ制御では対応が不可能とされる、非線形負荷など一部の低力率負荷における変動負荷に対する高品質制御を実現する。また、5章では未知の負荷を対象とした高次制御法を目指し、前章までに提案したデジタル制御へ人工知能として、制御量の学習機能を付加した。提案する人工知能型制御では、種々の負荷条件における制御量を内部メモリへ経験として格納する。同方式では、制御未経験負荷に対しても、妥当な制御量を予測して出力する予測制御などが可能となる。

6章では工学的応用として、実用のインバータ UPS 電源において、UPS に要求される基本機能に加え、付加機能の搭載により DSP デジタル制御の価値を示した。また、特殊な電源仕様への対応性として、電力回生・分散電源における回生制御を行った。前述したよう

に、従来の交流電源では、負荷の急速変動想定されておらず、出力精度の評価指標となる規格が存在しない。そこで、提案する DSP デジタル制御による負荷急変に対する実用性として、DC コンバータによる学習制御による効果で代用している。

#### 参考文献

- [1] 大西：「多機能高品質単相PWM 制御電源」、電学論D-115, No.1, pp70-76 (平7)
- [2] 安東、森山、高橋：「3 アームインバータ/コンバータを用いた高効率フライバック式UPS の開発」、電学論D-116, No.11, pp1153-1158 (平8)
- [3] 大島、中村、玉井、山本、森：「誤差追従式PWM をマイナーループとする単相UPS 用インバータ」、電学論D-120, No.1, pp.104-111 (平12)
- [4] 曾禰、柴田、曾禰、吉野、林、星野：「DSP による全デジタル制御常時インバータ給電方式 UPS の開発」、高速信号処理応用技術学会誌 第8巻・第1号、pp21-pp29 (平17)
- [5] S.Sumiyoshi, H.Eerai, T.Kitaizumi, T.Okude, H.Omori, Y.Nishida, M.Nakaoka : 「Practical evaluation of single-ended resonant utility interactive inverter」、Proceedings of IPEC-Tokyo 2000, Vol.3, 1680-1685 (2000)
- [6] T.Taniguchi, S.Tomita, T.Morizane, N.Kimura : 「Soft-Switching Utility Interactive for Photovoltaic Energy Generation System」、Proceedings of IPEC-Tokyo 2000, Vol.1, 187-192 (2000)
- [7] 西、江口：「太陽光発電用パワーコンディショナ効率改善に関する検討」、パワーエレクトロニクス学会誌 Vol.31, pp143-149 (2005)
- [8] 大谷、山村、石田：「太陽光発電用共振型 DC/AC コンバータに関する研究」、電気関係学会東海支部連合大会、O-012 (2005)
- [9] 電気学会調査専門委員会：「燃料電池発電システム適用評価－民生用・業務用システムの現状と課題－」、電気学会技術報告 第1035号 (2005)
- [10] 曾禰、竹田、曾禰：「DSP 制御による電力回生電源」、高速信号処理応用技術学会誌 第12巻・第1号、pp31-pp36 (平21)
- [11] USA 特許第 385,530 号
- [12] N.O.Sokal and A.Sokal : 「Class E-A new class of high-efficiency tuned single-ended switching power amplifiers」. IEEE J. Solid-State Circuit, Vol.SC-10, No.3, pp168-176 (1975)
- [13] T.Onodera, Y.Masuda and A.Nakajima : Proc.IEEE INTELEC, pp132-137 (1981)
- [14] Lucent Technologies : 「Low loss synchronous rectifier for application to

- clamped-mode power converters」, US Patent, RE36571 (1998)
- [15] 石川、村井 : 「部分共振電流形 PWM インバータの出力特性の検討」、電気学会産業応用部門全大, No.345 (平 10)
- [16] 中村、村井、T.A.Lipo : 「誘導機駆動のための直列共振 DC リンクコンバータ」、電気学会産業応用部門全大, No.829 (平 8)
- [17] 谷口 : 「共振型インバータ回路方式の動向」、電気学会産業応用部門全大, No.123 (平 9)
- [18] 「New Series Resonant DC Link Inverter for Electric Vehicle Drives」, IEEE IAS Conference Record, pp443 (1994)
- [19] 安村 : 「複合共振型コンバータによるソフトスイッチング」、電子技術 2000-4, pp10-16 (平 12)
- [20] 金、道木、石田 : 「PMSM 制御性能改善のための繰返し制御を用いた高調波電流抑制」、電学論D-124, No.12, pp1189-1196 (2004)
- [21] 千住、高良、上里、舟橋、伊藤 : 「PI制御による分散型電源の負荷追従制御」、電学論C-122, No.8, pp1333-1340 (2002)
- [22] 豊田、菊池、上杉、高村 : 「DSPとIGBTインバータ電源を組み合わせたプラズマ水平方向位置の高速フィードバック制御」、電学論A-123, No.3, pp258-293 (2003)
- [23] 猪野、鮎川、牧野、前田 : 「交流-直流送電線路間の干渉モデルの検討」、電学論B-123, No.1, pp98-105 (2003)
- [24] 三木、大西 : 「マルチレベルインバータによる交流安定化電源」、電気学会研究会資料1997, No.26, pp57-62 (1997)
- [25] 上里、千住、松原、宜保 : 「スライディングモードによる無停電電源装置(UPS)の出力電圧制御」、琉球大学工学部紀要, No.44, pp111-124 (1992)
- [26] 田本 : 「スイッチング電源におけるアナログ PI, PID 制御のデジタル化に関する研究」、高速信号処理応用技術学会誌 第 8 巻・第 1 号、pp45-pp53 (2005)
- [27] 田井澤、伊勢、熊谷、力石 : 「磁気結合を有する超伝導コイルを持つサイリスタ電源の $H_{\infty}$ 制御」、電気学会研究会資料1996, No.1, pp41-50 (1996)
- [28] 米田、伊勢、村上、棚橋、山田、力石 : 「大型ヘリカル装置用超伝導コイル電源の高精度非干渉電流制御実験」、電気学会研究会資料2000, No.1, pp63-68 (2000)
- [29] 田爪、野崎、鋏田、青木 : 「ニューラルネットワークによる系統連携インバータの出力電圧制御法」、電子情報通信学会技術研究報告94, No.63, pp23-28 (1994)
- [30] 清水、飯島、曾禰 : 「負荷変動に追従したニューラルネットワーク制御電源の開発」、電気設備学会全国大会講演論文集, No.19, pp35-36 (2001)
- [31] 鈴木、呉、皆川 : 「自律分散型電圧無効電力制御システム高度化を目指したNN法による地域需要予測法の開発」、電学論B-125, No.12, pp1261-1268 (2005)
- [32] 田中、力宗 : 「SNMPによるUPSのリモート管理」、電子情報通信学会技術研究報告 99, No.226, pp69-76 (1999)

- [33] 曾禰、光井、飯島、曾禰：「デジタル制御によるインバータ機能の分散化とその効果」、電気設備学会誌 Vol.12, No.6, pp502-509 (平13)
- [34] 竹上、樋口、中野、富岡、渡辺：「パルス合成技術を用いたデジタルPWM分解能の改善方法」、電子情報通信学会論文誌 C, No.7, pp536-546 (2007)
- [35] 田本、曾禰、竹田：「高性能スイッチング電源に対するデジタル電圧・電流制御パラメータ決定に関する検討」、電子情報通信学会論文誌 B, No.10, pp1299-1311 (2008)
- [36] 永野、石塚、松尾、関根：「デジタル制御方式絶縁型スイッチング電源における出力電圧検出技術」、電子情報通信学会技術報告, No.227, pp17-21 (2008)
- [37] 曾禰、曾禰、田口：「DSPを用いたデジタルPWMによる交流電源の波形・効率の改善」、電気設備学会誌 Vol.26, No.2, pp129-135 (平17)
- [38] 野村：「高速DSP用オンボード電源の開発」、高速信号処理応用技術学会 Vol.9, No.2, pp65-66 (2006)
- [39] 樋口、中野、荒木、茅野：「バンプレスモード切替形近似的2自由度デジタル積分形制御器によるPWM電力増幅器のロバスト制御」、電子情報通信学会論文誌 C, No.1, pp148-159 (2004)
- [40] 曾禰、曾禰：「ロックアップテーブル化されたDSP制御回路による低出力直流電源制御」、高速信号処理応用技術学会 Vol.10, No.2, pp60-65 (平19)
- [41] 吉田、曾禰、曾禰：「負荷急変に対するPI制御パラメータのLook Up Tableによる最適化」、高速信号処理応用技術学会 Vol.10, No.2, pp66-73 (平19)
- [42] Rosenblatt, Frank：「The Perceptron: A Probabilistic Model for Information Storage and Organization in the Brain」Cornell Aeronautical Laboratory, Psychological Review, v65, No. 6, pp. 386-408 (1958)
- [43] Minsky M L and Papert S A：「Perceptrons」Cambridge, MA: MIT Press (1969)
- [44] Minsky, M. and S. Papert：「Perceptrons: an introduction to computational geometry」MIT Press, (1969)
- [45] Hopfield, J.J.：「Neural network and physical systems with emergent collective computational abilities」Proceedings of the National Academy of Sciences of the United States of America 79 (8): 2554-8 (1982)
- [46] James L. McClelland, David E. Rumelhart, the PDP Research Group：「Parallel Distributed Processing」MIT Press, (1986)



## 2 章 DSP デジタル制御の特徴

### 2. 1 まえがき

電子機器に対し電力供給を行う電源には、負荷の機能低下や故障を防ぐために定電圧出力性が求められる。しかし、全ての電源は内部抵抗を有し、これが原因となり、出力電圧は、負荷電流の変動に伴い変動してしまう。この出力電圧変動は交流電源ではより深刻な問題となり、非線形負荷や負荷電流が急激に変化する負荷の使用時において、出力電圧波形に歪みが生じてしまう。このような電圧変動や波形の歪みは接続機器における安定動作の妨げとなり、交流定電圧出力を実現するために、旧くは安定化電源が、近年では出力電圧制御を有するスイッチング電源に対する研究開発[1]-[18]行われ、利用が拡大している。

従来の定電圧出力は、三角波比較方式を採用したアナログ制御により補償回路が用いられていた[19]-[22]。三角波比較方式では、出力電圧波形と基準三角波を比較器より求められる2交点の時間から、制御修正パルスを作成し（Pulse Width Method PWM）、電圧値の調節を行う。同方式は負荷変動の少ない直流電源に有効な手法であるが、広範囲な負荷変動や交流電源における歪み波形の正弦波整形を行うためには、部分的なパルス幅が必要であり、対応が非常に困難とされている。これまでに、パワーエレクトロニクスの技術では、この部分的なパルス調節の場合、基準比較三角波を特殊波形とすることで対応していた。

一方、スイッチング制御電源では、広範囲の負荷変動や交流電源への対応から、PI・PID制御によるPWMスイッチング制御が導入され、OPアンプによる比較器や制御器が一般的制御とされるようになった。このOPアンプアナログ回路はその後、集積チップ化され、現状、多くの電源に採用されている。しかし、近年、歴史的に継続してきたRLC負荷やアナログ回路負荷は、高機能化、高性能化、小型化、低価格化、開発周期の短縮化などを背景に、デジタル駆動の負荷に遷移しつつある。標準品としての制御ICは各製品固有の専用制御に対応できず、また、高精度な制御として制御理論を利用する場合、制御回路の再設計が必須となり、アナログ素子で構成される制御回路の肥大化が問題となる。

そこで、近年では制御方式の柔軟な変更、電源装置の小型化などの要求からデジタル制御への移行が進められており、制御回路には機能の変更・追加が容易なDSPに対し期待が高まっている。DSPは高いソフトウェアの変更性が注目されており、電源制御に必要なADCやタイマなどの周辺装置を実装した機種も登場していることから、デジタル制御において多くの研究開発[23]-[27]に利用されている。しかし、出力電圧制御に用いるPWMパルスは従来制御方式を踏襲している場合が多く、柔軟なプログラマブル性を有効的に活用しているとは言い難い。DSPは高速演算処理により、PWMパルス生成から出力に応じたパルス調節まで、全ての作業をソフトウェアによる実現が容易であるという特徴を持つ。

本章では、電源の内部抵抗に伴う電圧降下に着目し、出力電圧変動の原理を示し、定電圧制御について従来法である三角波比較方式の概要を紹介する。同方式では対応することが困難とされるPWMパルスの部分的な制御について、DSPを用いたデジタル制御のアル

ゴリズムを示す。また、本論文において注目する DSP の歴史的な背景に触れ、これまで電源制御に採用されている CPU(MPU)と DSP の構造的な違いを述べる。さらに、制御対象であるスイッチング電源の応用分野についても触れる事とする。DSP の特徴はパイプライン構造及び並列処理による高速演算であり、多機能化・高周波化の進む電源制御に有効性の高い制御素子である。提案する DSP デジタル制御では、PWM パルスは DSP 内部メモリに格納する正弦波教師データを基に作成され、教師データの修正により部分的調節が可能である。そこで、交流電源の出力波形整形では、出力波形歪みに応じて教師データが修正され、最適な PWM パルスを出力することができる。更に、力率の異なる負荷の使用や非線形負荷に対しても、応答遅れを考慮した制御点の調節などが、プログラム修正により実装可能であり、これらの制御結果について 3 章以降に示すこととする。

## 2. 2 電源の電圧変動

電源には前述したように、内部抵抗が存在する事が一般的に知られている。内部抵抗が“0”である理想的な電源の場合、負荷電流による電圧降下は無いが、商用電源においても内部抵抗を原因として端子電圧には電圧降下が発生する。電圧降下に伴う出力電圧変動の機構は、定負荷使用時、及び、負荷変動時共に同様であるが、変動の発生説明の多くは時間の経過を考慮せずに展開されている。しかし、交流定電圧電源やデジタル負荷急変対策用直流電源は、負荷電流の時間的変化として考慮する必要があるため、負荷電流の変動を経過時間として取り扱う必要がある。特に、本論文の主張である DSP デジタル制御電源では、定電圧制御においてこの時間経過が重要な意味を持つ。そこで、以下に電源の内部抵抗が出力電圧変動や波形に及ぼす影響を、時間効果の有・無によるモデルの違いを示す。

### 2. 2. 1 定負荷に対する電圧降下（時間効果の配慮なし）

電源電圧に対する負荷端子電圧の関係は、電気回路の基礎知識として周知されており、端子電圧は電源が保有する内部抵抗の影響を受けて変化する。通常、端子電圧はインピーダンス値と負荷電流の積算として算出されるが、内部抵抗の存在により、この端子電圧値は電源電圧と等価とはならない。電圧降下による端子電圧変動は負荷電流によって決定され、単純な直流電源及び交流電源における電圧降下は図 2. 1 のように示される。なお、電源の内部抵抗が“0”である理想的な電源の場合、電圧降下は発生せず、同図中点線で示されるように x 軸に対し並行な直線となる。

一方、交流電源の場合、時間を配慮しないということは、瞬時値として扱うのではなく、実効値として扱うことを意味する。実効値は原則として 1 周期を 1 単位とし、1 周期内の時間依存性を考慮せずに取り扱うことができる。この条件下では、同図のように直流電源の電圧降下と同様に考えられ、電源より負荷に供給される出力電圧は、負荷電流に比例して降下幅が大となる図 2. 2 のように表現できる。

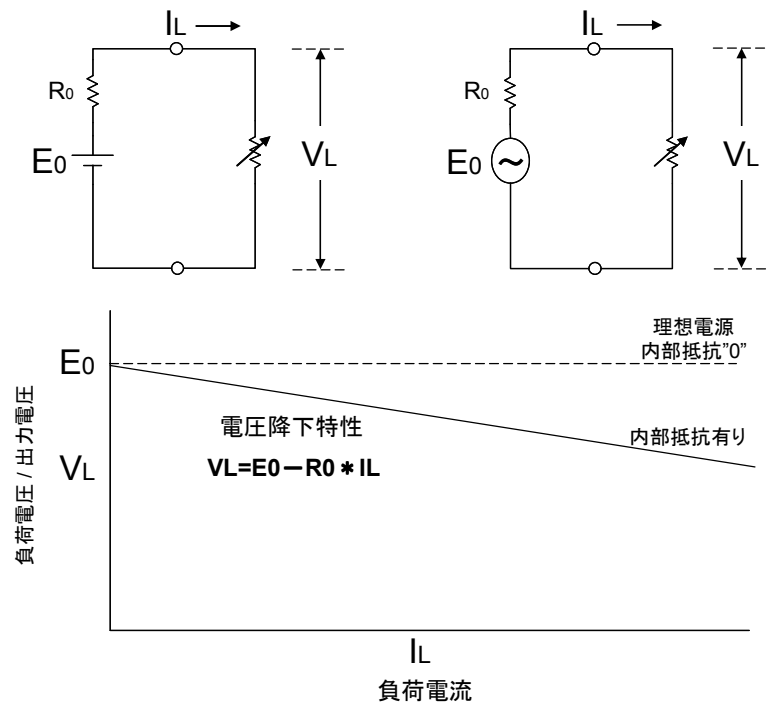


図 2. 1 電源内部抵抗による電圧降下特性

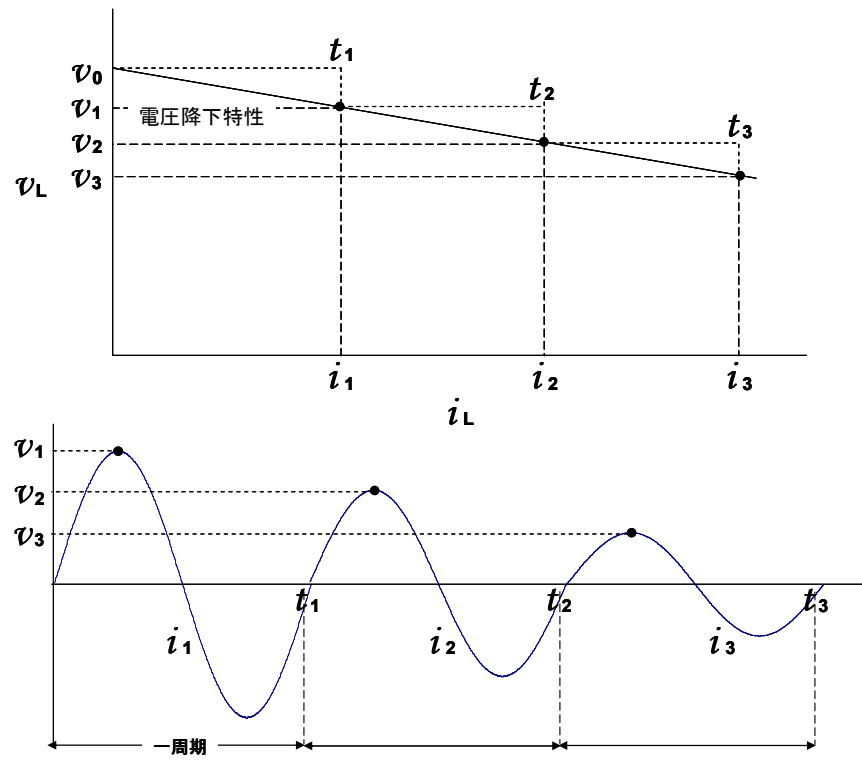


図 2. 2 交流電源における出力電圧変動

## 2. 2. 2 負荷変動における電圧降下（時間効果を考慮）

内部抵抗が“0”である理想的な電源の場合、電圧降下は発生せず、負荷電流の変化に対し出力電圧は一定の値を保つことができ、時間依存性も考慮する必要はない。しかし、商用電源を始めとする交流電源では、回路特性に依存して差異はあるが、時間と共に瞬時電流は変化するので、時間の経過による電圧降下を考慮する必要がある。これは、直流電源でも同様であり、比較的簡単なモデルとして図2. 3のように示すことが出来る。同図では直流電源に接続される負荷が時間の経過に比例して一定周期で変動を繰り返す状態を想定しており、負荷電流の変動（時間経過）と同様、負荷電圧は変動する。しかし、交流電源の場合、時間経過に伴い電流は、“0”値（無負荷状態）から最大値（定格負荷状態）まで変化し、各電流瞬時値での電圧降下を考えなければならない。すなわち、電圧降下特性による負荷電流変化は出力電圧変動へ作用することから、負荷電流が変化し続ける交流電源では、その影響は多大であると考えられる。

そこで、直流電源における負荷電流と出力電圧の関係（図2. 3）と同様に、交流電源に対しては、図2. 4に示す。同図は、負荷電流及び出力電圧波形が同相となる抵抗負荷使用時を想定した場合の出力電圧波形の様子をモデルとして示している。同図において、電圧降下特性と各負荷電流に応じた出力電圧の元波形①-④が破線として重畳表記されている。各位相点におけるプロット点を結ぶことで、実際の出力電圧波形のモデル図を導出する事が可能となる。同図に示されるように、原理的に導出される出力電圧波形は頂点を中心に大きく歪んだ波形となる。前述したように、同図は抵抗負荷使用時をモデルとしており、実際に我々が計測する電圧波形とは大きく異なる。これは、電圧変動を顕著に表すために、電圧降下特性の傾きを大としていることに起因しており、実際の電源においてはこの傾きでは変動幅が小さくなる。そこで、実電源を想定した電圧降下特性を用いた場合において、同様に出力電圧波形モデルを導出した結果を図2. 5に示す。

各位相点の電流値に対応した電圧元波形は近接して重畳しており、プロット点を結んで導出されるモデル波形は正弦波に近いものとなる。この導出波形は商用電源の電圧を測定する際に得られる波形と酷似しており、モデル波形の導出方法が正しいことを示していると云えよう。また、実際に観測される商用電源の波形が同モデル図と同様であることは、商用電源においても内部抵抗を原因とする電圧降下が存在する事の証明となる。

同様の方法により、種々の負荷時における出力電圧モデルを図2. 6及び図2. 7(a, b)に示す。図2. 6では蛍光灯など放電灯負荷のように、波形一周期において無負荷状態と負荷状態が発生する場合の出力電圧変動モデルを示している。一方、図2. 7は低力率負荷使用に対する出力電圧波形モデルが示される。図2. 6に示されるように、無負荷一負荷状態を繰り返す負荷では、出力電圧は負荷電流に応じた波形となると考えられる。これらのモデル図は負荷電流の変化が出力電圧に及ぼす様子を示しており、急速もしくは大幅な負荷変動が出力電圧波形における歪みの原因となること分かる。なお、全てのモデル図において、電圧降下特性は実効値として扱っているが、電圧波形を示す際には実効値を $\sqrt{2}$ 倍して得られる値を最大値としていることを付記する。

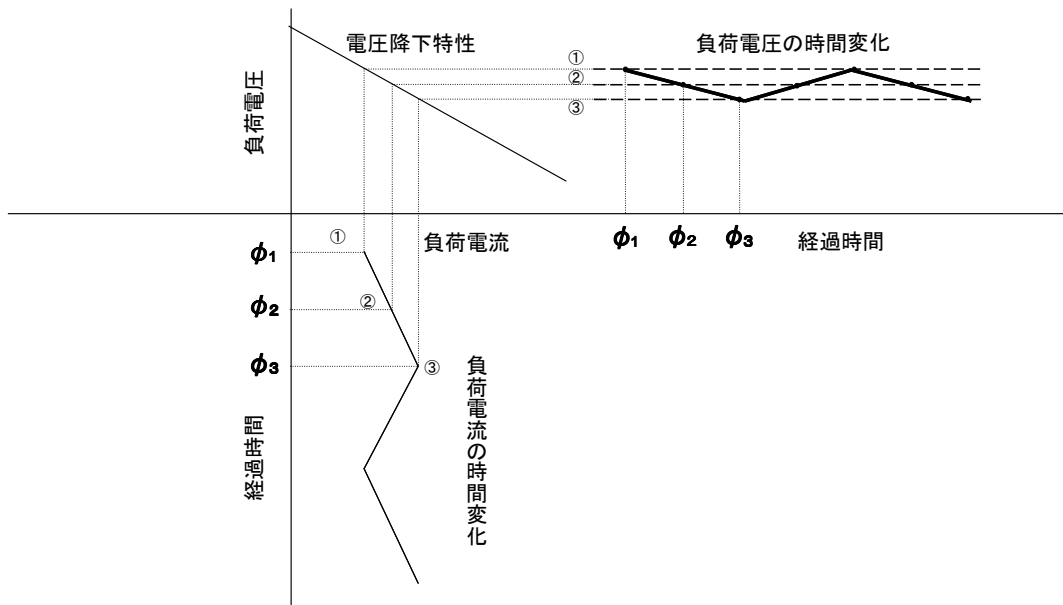


図 2. 3 直流電源における出力電圧変動

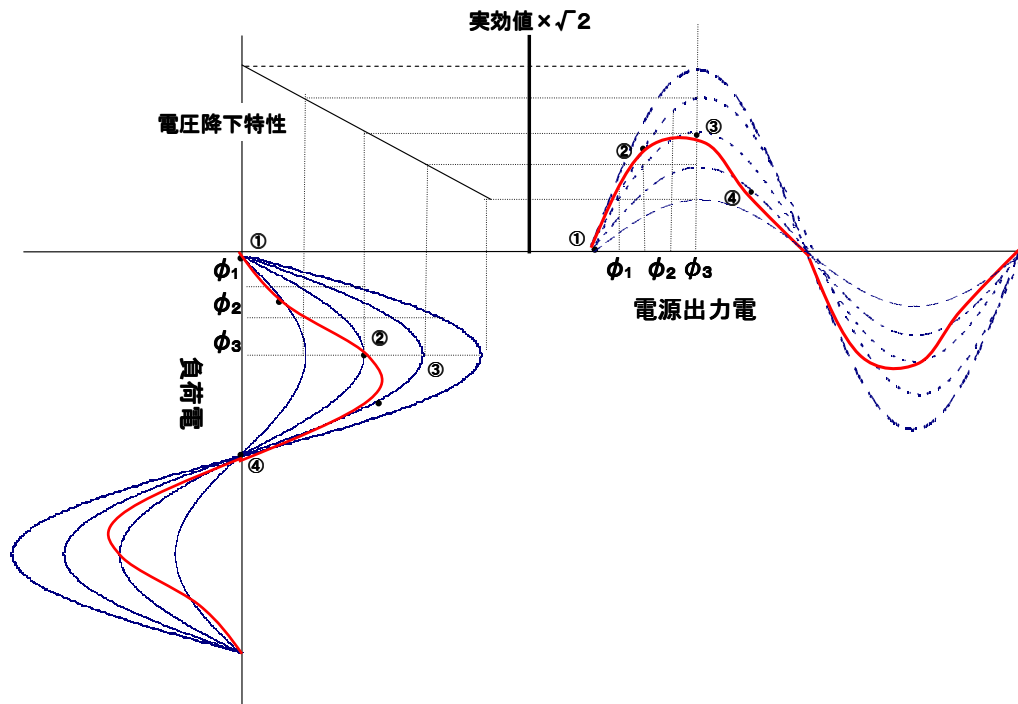


図 2. 4 抵抗負荷時における出力電圧波形 1

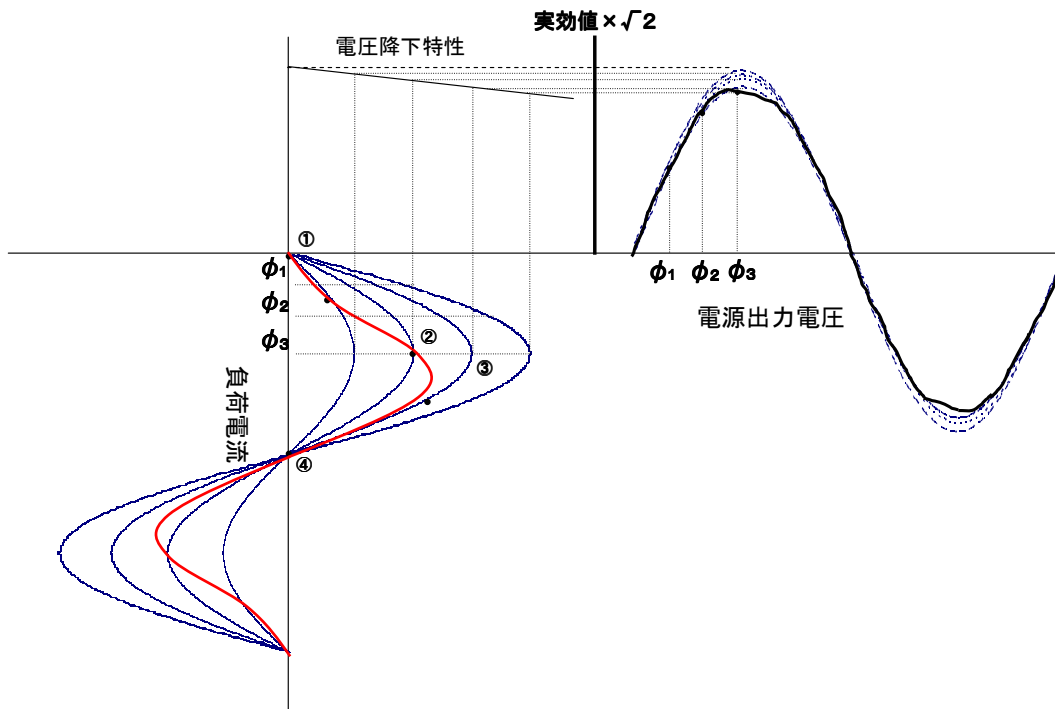


図2. 5 抵抗負荷時における出力電圧波形 2

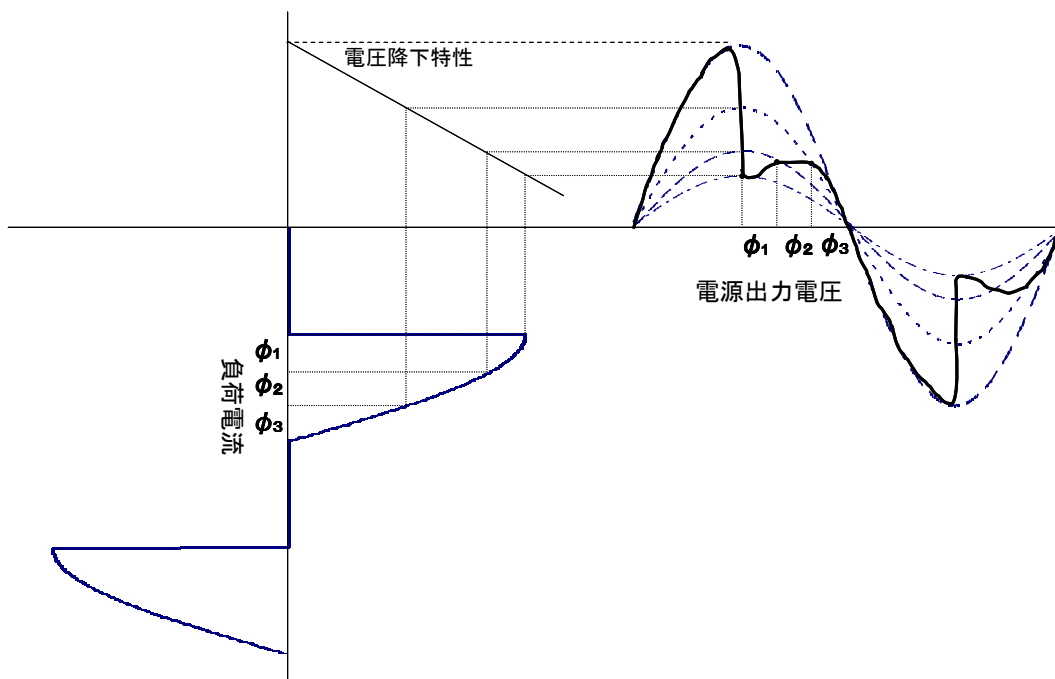
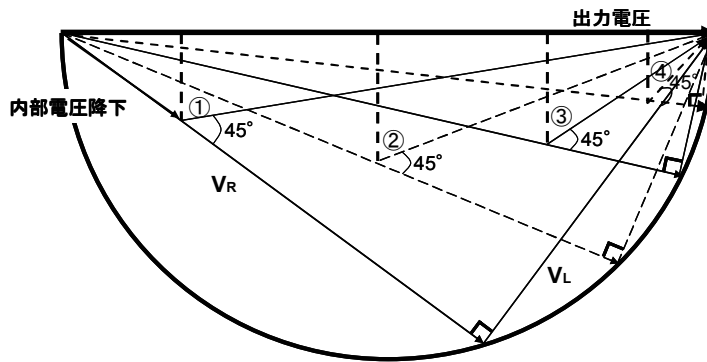
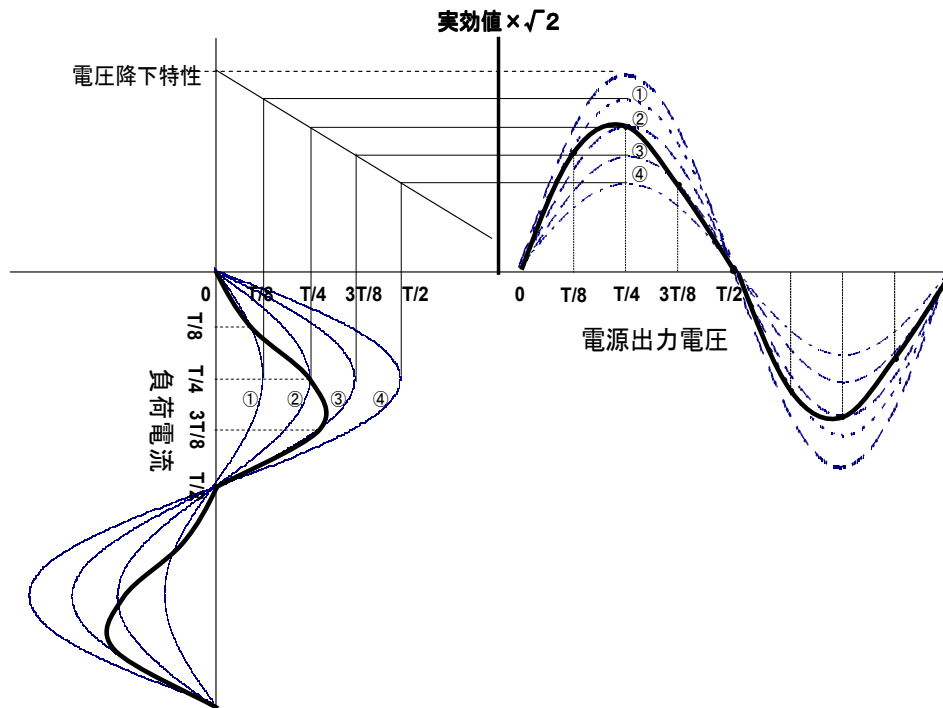


図2. 6 電流急変負荷時における出力電圧波形

低力率負荷時では、例として力率 0.7 負荷を想定しており、抵抗電圧  $V_R$  及びインダクタンス電圧  $V_L$  とすると、同図(a)のベクトル図に示されるように、出力電圧は両電圧  $V_R$  及び  $V_L$  のベクトル和に等しい。同図には波形周期内において負荷電圧が変化する場合の出力電圧変化の様子が示されており、負荷電流の増加に伴い出力電圧波形は対象性を失うと考えられる。このような出力電圧波形の歪みを整形するためには、PWM パルスを部分的に調節することが必要であり、従来のアナログ制御では複雑な制御回路を構成しなくてはならない。これに対し、DSP を用いたデジタル制御ではプログラム設計により、負荷状況に対応して柔軟に制御方式を変更することが可能である。



(a) 低力率電圧特性



(b) 出力波形モデル

図 2. 7 低力率負荷時における出力電圧波形 (負荷力率 0.7 時)

## 2. 3 出力電圧制御（従来制御及びDSP デジタル制御）

実用電源では負荷は定常的に変化しており、負荷電流に応じて出力電圧が変動するため、出力電圧変動のない定電圧制御を行う必要がある。負荷変動に対するスイッチング電源の定電圧の条件は、工業規格が定められており、直流電源では最高 1kHz までの負荷変動に対し、出力電圧変動は目標電圧の 1%以内とすることが求められている。交流電源に対しても幾つかの規格を定めており、定負荷時における出力電圧波形歪み率は 3%以内であることと明記されている。

そこで、アナログ制御による交流電源では、PWM パルスのオンデューティを全体的に操作する事により、電圧制御を行なっている。従来、スイッチング電源に接続される負荷は、負荷電流の異なる定負荷、もしくは、負荷変動する場合についても十分な期間を確保するものであった。負荷電流が緩慢に変化する負荷では、電源回路の持つ平滑化回路の作用により、出力電圧波形は正弦波を維持することが出来る。従来負荷では、高速な電流変化は想定されておらず、出力波形歪み率についても、負荷変動時に対する基準は定められていない。しかし、近年利用が拡大している電子負荷や半導体負荷などのように、波形一周期以内で電流が変化する負荷では、出力波形に歪みが発生する。そこで、次世代のスイッチング電源には、このような高速変動する負荷使用時においても、安定した正弦波電圧波形を出力する機能が求められる。

本研究は従来スイッチング電源の制御に用いられているアナログまたはアナログ・デジタルハイブリッド方式に代え、DSP を用いたデジタル制御を行い、高性能な交流型定電圧電源の開発を目的としている。前述したように、近年におけるソフトスイッチングやデジタル制御に関する研究や製品においても DSP を制御回路として利用している例は存在するが、これらの研究開発の多くは従来法を踏襲してデジタルへ置き換えたに過ぎず、DSP の特徴や利点を生かしきれていないと言え難い。このため、前述した近年利用の拡大している負荷の利用に対しては、アナログ制御適用時と同様の問題が発生し、プログラムによる解決ではなく、制御回路への装置付加によって対応が行われている。

FET や IGBT 等のスイッチング素子に対するオンデューティ調節は従来、アナログ制御によって行われてきた。制御方式の変更に伴いハード的な変更が必要なアナログ混在型制御回路とは異なり、DSP によるデジタル制御では、高精度で自由度の高い新しい制御法を実装することが可能となる。本節では、これまでにスイッチング電源における定電圧制御に用いられてきた PWM スwitchングについて、従来法であるアナログ制御方式と本論文において提案する DSP デジタル制御を利用した PWM スwitchングをそれぞれ示す。定電圧制御は一般的にスイッチング電源に接続される負荷を想定しており、高速な負荷変動などに伴う出力電圧波形歪みの波形整形方式について後述するものとする。



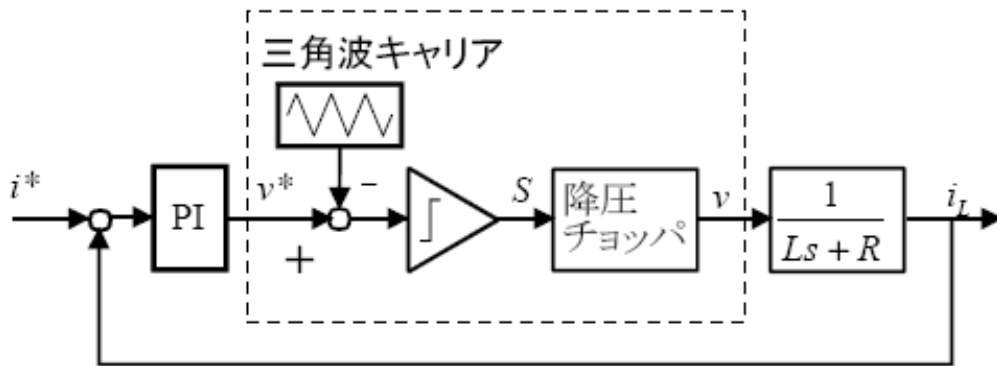
### 2. 3. 1 アナログ制御（三角波比較方式）

スイッチング電源における定電圧制御は、従来アナログ制御回路によって作成される PWM パルス調節によって実現されている。PWM パルスは正弦波と三角波を重畳し、両波形の交点間隔より導出されており、本方式は三角波比較方式と呼ばれている。同制御方式のシステム図を図 2. 7(a, b)に示す。同図(a)はスイッチング電源における定電圧制御において、スイッチ素子へ供給されるオンデューティを算出する制御システム図例を示している。三角波比較方式では基準波形となる三角波を電源出力波形に重畳し、スイッチングに必要なパルスを自動的に導出している。制御時では、出力電圧変動に応じて三角波振幅を変更する事により、オンデューティ幅は調節され定電圧制御が行なわれる。

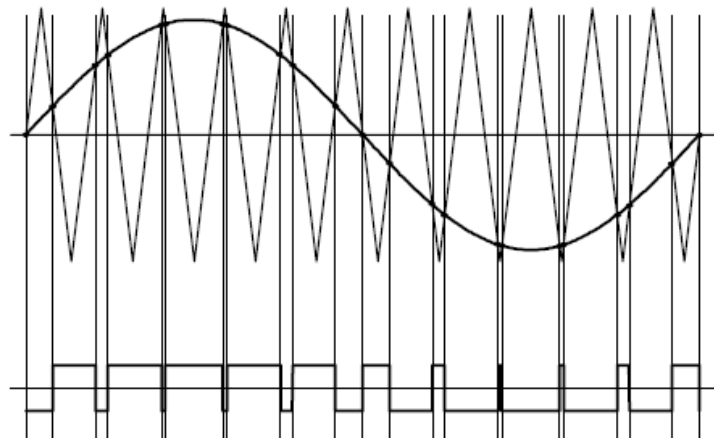
この方法は交流電源における定電圧制御についても同様であり、同図(b)に示すように三角波は電源出力波形である正弦波に重畳される。出力電圧波形が正弦波を保つ事が必要な負荷使用時では、定電圧制御は三角波の単純な振幅変調によって対応可能であり、従来のスイッチング電源では高い制御精度を得ている。基本的な三角波比較方式では、使用される三角波は単調波形であり、PWM パルスは全体で平均的に同時に調節される。しかし、高速な負荷変動や非線形負荷使用、負荷力率変動時では、前述したように出力電圧波形に歪が発生するため、波形整形においては PWM パルスを必要箇所でも部分的に調節することが求められる。

このような要求に対し、発信機による基準三角波を用いる同方式では、PWM パルスの一部を任意に変更する事が非常に困難とされている。このため通常、波形歪みは複雑な制御回路の適用もしくは、平滑化回路によって吸収されており、電源装置の小型化において大きな障害となっている。制御 IC の付加による対策は、電源に接続される負荷が限定されている場合に限り有効である。制御応答を基に制御システムを構築するアナログ制御では、電源駆動中におけるパラメータチューニングは行われぬ。このため、種々の負荷の接続を許可する、いわゆる汎用電源の開発は非常に困難とされている。

近年登場している DSP によるデジタル制御電源の多くは、この三角波比較方式を使用しているものが大半である。オンデューティ幅は比較器によって導出され、DSP はこの情報を受けてパルス信号を出力している。この方法は DSP の高速演算性、プログラマブル性を活用できておらず、仕様変更や高機能化に対し柔軟に対応することが困難である。このため、従来における DSP を用いたデジタル制御による恩恵は、RLC アナログ素子の除去による制御回路の小型化程度であると考えられていた。しかし、DSP はユーザが自由に扱えるタイマや、出力電圧などの外部情報を取り込む ADC など、電源制御に必要な周辺機器を内蔵している。このため、アルゴリズムの工夫により、アナログ制御では困難な制御や、実装が不可能とされていた機能を実現することが可能であると考えられる。



(a) 三角波比較方式システム図



(b) PWMパルス生成モデル

図 2. 7 三角波比較方式

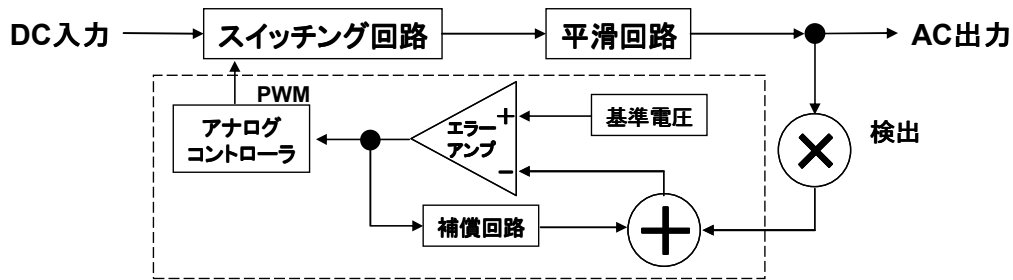
### 2. 3. 2 DSP 利用によるデジタル制御アルゴリズム

前述したように、電源制御用 DSP の登場などによりスイッチング電源に対するデジタル制御化が進められてはいるが、その多くは従来の制御アルゴリズムをデジタル制御に置き換えたに過ぎない。一般に、出力電圧制御及び波形形成を担う PWM 制御に用いられる三角波比較方式は、正弦波の振幅変更によるパルス群を調節する方式であり、電圧制御を主目的としているため波形形成には適していない。したがって、通常交流電源における正弦波出力は負荷が線形である場合に限り、非線形負荷時の出力波形の歪みに対しては、パルスを部分的に修正する必要があるが、従来法では、これを実現する事が非常に困難とされている。

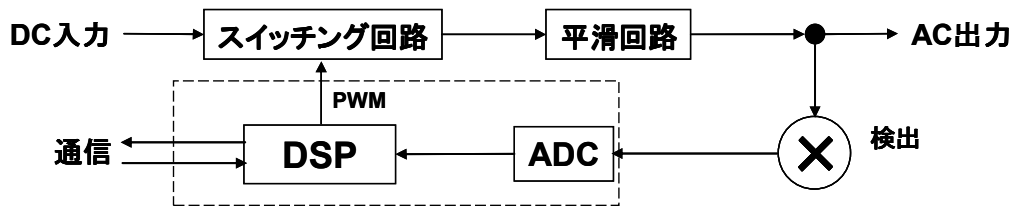
そこで、本研究では DSP によるプログラマブル制御に着目し、新しい電圧制御法及び出力波形を歪みに対し自動で修正する新しい PWM について検討した。波形形成の精度を維持するためには、PWM に要求される機能、すなわち、電圧制御と波形形成機能の分散化を行うことが 1 つの有力な方法である。従来制御において分散化を行うには回路中に新たに電圧制御用スイッチ部を構成する必要があるが、DSP 制御ではオンデューティの可変性から電圧制御を電源装置の保護回路として組み込まれている DC/DC コンバータにて実現することができる。この詳細については制御結果を含め 3 章以降にて述べることにし、本節では DSP による PWM パルス作成方式について述べる。

スイッチング電源に対する出力制御におけるアナログ制御とデジタル制御の違いを制御システム図として図 2. 8(a, b)に示す。同図(a)に示されるアナログ制御ではスイッチング電源の出力電圧と基準電圧より誤差電圧を導出し、この誤差電圧を基にアナログ演算回路にて補正値を算出する。この時、アナログ演算回路には PI もしくは PID オペアンプが用いられ、アナログコントローラ内にて算出結果と三角波の振幅比較によって各スイッチング素子への PWM パルスを出力する。アナログ制御回路において演算回路は回路乗数を基に試行錯誤的に決定され、新たな制御回路の構築には長時間を必要とすることが、近年の多様化するスイッチング電源制御において問題視されている。

一方、本研究にて提案する同図(b)に示されるデジタル制御では出力電圧は Analog-Digital Converter(ADC)にて量子化データとして DSP に伝えられ、DSP 内部に格納されている目標電圧波形との差分より補正に必要な制御量を算出する。算出された結果は同じく DSP 内部メモリへ格納された教師データの修正に用いられ、PWM パルスとして各スイッチング素子へ伝えられる。このように、DSP によるデジタル制御では出力電圧取得から制御信号出力までの全てを 1 チップ内で実行可能となる。補正量の算出やスイッチング素子への PWM パルスの伝達方式は全てプログラムに依存しており、プログラムの修正によりあらゆる付加機能が追加され、制御回路は全ての電源において同一のものを使用可能であることが DSP によるデジタル制御の大きな利点となる。



(a)アナログ制御システム

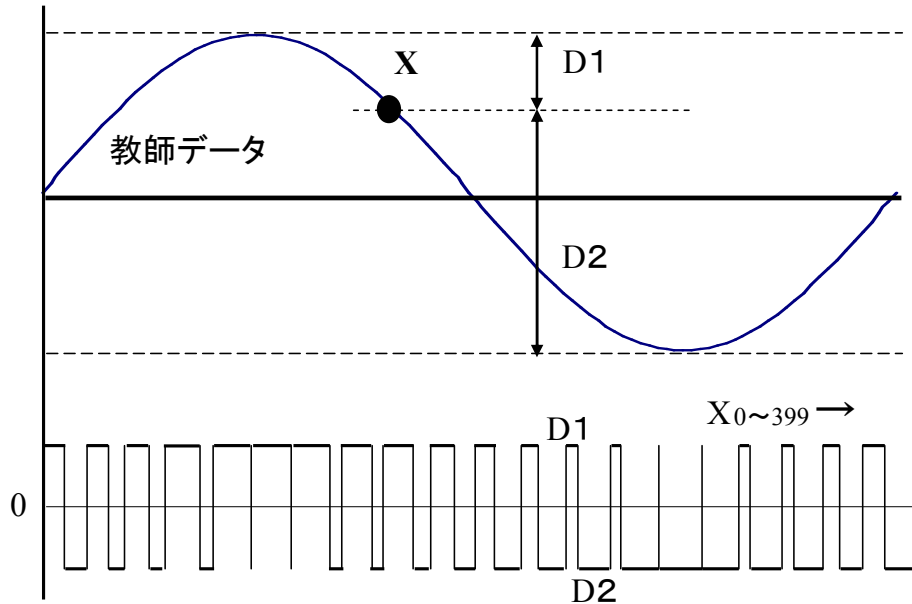


(b)DSPデジタル制御システム

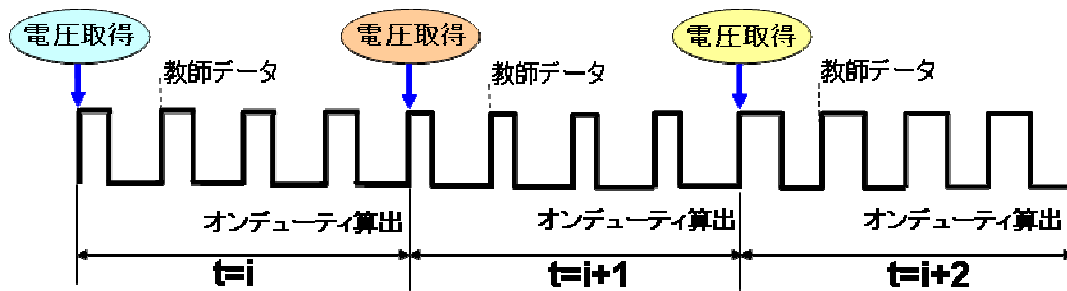
図2. 8 アナログ制御ーデジタル制御比較

DSPによるPWM制御アルゴリズムを図2. 9(a, b)に示す。スイッチング周波数とオンデューティ制御は、DSP内蔵のタイマのカウント値をプログラムにより変更することにより行っている。DSPが機能として保有している内部タイマは1命令実行につき設定カウンタをデクリメントし、カウンタが“0”になると同時に割り込みを発生しスイッチングを行う。このため、DSPによるデジタル制御ではスイッチング周波数は常に一定を保ち、交流電源からの出力電圧周波数を安定させることが可能となる。

同図にはDSPによるPWMパルス調整アルゴリズムが(a)交流出力用PWM、(b)直流電源用PWMとして示されており、同図(a)のパルス作成方法では、従来の三角波と正弦波に代わり離散値で構成される正弦波データ(教師データ)をDSP内部メモリへ格納し、正弦波データ各値における比率によりスイッチング素子に対するオンデューティ $D1 \cdot D2$ が算出される。この方式では、正弦波データを構成する点数を増加させ、 $D1 \cdot D2$ を多く算出することで、歪みの少ない出力波形を得ることができる。本方式では教師データの入れ替え(正弦波データを定数に)のみで制御対象が交流型電源、直流型電源の両方に対応でき、同図(b)に示されるように、直流電源に対してもDSP内部メモリに格納された教師データを制御周期毎に変更することで出力電圧変動に対し容易に対応することが可能となる。



(a) インバータ出力制御方式



(b) 直流電源出力制御方式

図 2. 9 DSP による PWM パルス変調アルゴリズム

## 2. 4 交流電源における出力電圧波形整形

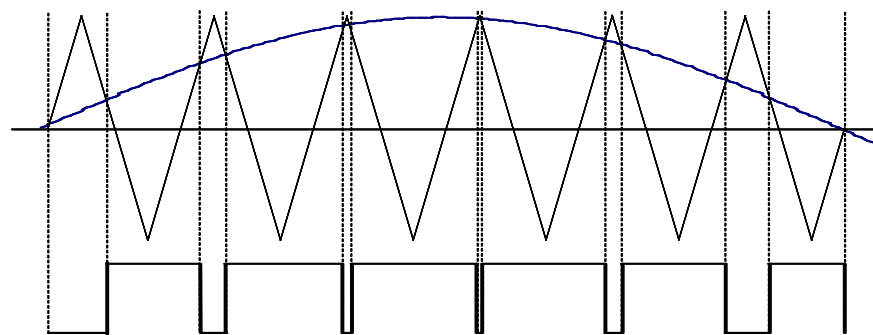
スイッチング電源における定電圧制御では、接続される負荷の変動時間が緩慢であることを想定されている。定負荷状態では、交流電源の出力波形は各負荷に応じて正弦波を維持したまま振幅変動が生じるのみであり、三角波比較方式のように PWM パルスを全体的に調節する制御法によって定電圧制御が行われる。しかし、近年利用の広がっている半導体負荷や電子負荷による高速な負荷変動、負荷電流が無負荷から定格まで急激に変化する蛍光灯負荷、低力率負荷などの使用時では出力電圧波形に歪みが発生する。現在、スイッチング電源における工業規格では、これらの負荷使用に対する出力精度は定められていないが、負荷の故障や誤作動などを防止するためには、出力電圧波形の歪みを整形することが求められる。

出力電圧波形の歪みは、波形一周期以内において正常な出力状態と瞬時的な電圧変動が混在することによって発生する。このため、定負荷時のような PWM パルスを全体的に制御する方法では対応することが不可能であり、歪み整形には PWM パルスを必要に応じて部分的に調節する必要がある。そこで、本節では出力波形の歪み制御において、従来法である三角波比較方式における対応方法及び、提案するデジタル制御による制御方法について概要を述べる。

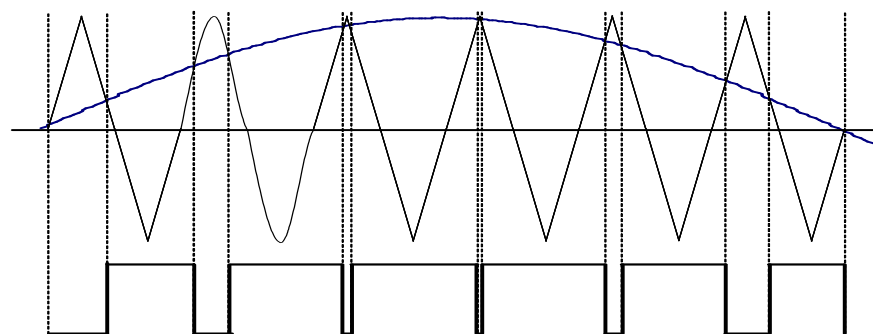
### 2. 4. 1 アナログ制御三角波比較方式の工夫

これまでに述べたように、三角波比較方式は出力電圧波形に対し基準波形として三角波を重畳し、両波形の交点より PWM パルスを導出する方式である。三角波の振幅変更では出力される PWM パルスは、全体的に同じ割合で変動してしまう。そこで、部分的な PWM パルスの変更方法として、重畳する基準三角波の形状を一部変更することにより連続する PWM パルスを、意図的に調節する方法が採用されている。使用する三角波の形状は目的に応じて異なり、得られる PWM パルスは多彩となる。そこで、PWM パルスの部分的な調節を行う三角波比較方式の例を図 2. 10 (a, b, c) に示す。同図には三角波比較方式による PWM パルス導出モデルが、(a) 通常時、(b, c) 特殊波形使用時として示される。

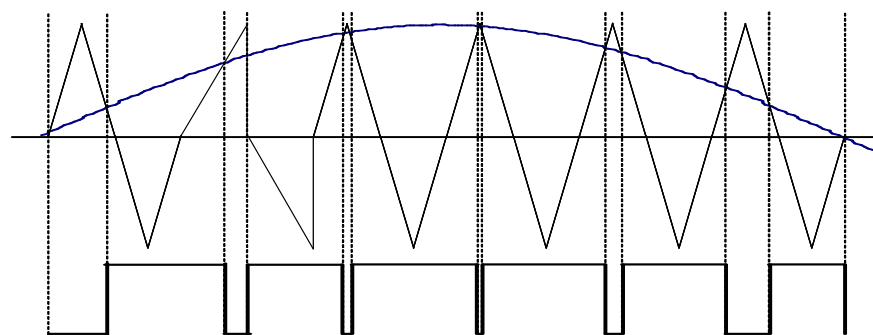
特殊波形の使用時では同図に示されるように、出力波形との交点が通常時とは異なり、導出される PWM パルスは変則的なものとなる。出力電圧波形に歪みが発生した場合、歪み箇所に対応したオンデューティ制御により、波形整形が行われる。つまり、波形整形では最適な重畳波形の選択が重要となり、アナログ制御ではこのような特殊制御は専用制御用 IC を制御回路へ追加することによって実現されている。しかし、各制御用 IC は接続が想定される負荷に対しては有効な制御を実施するが、条件が限定されてしまうことからスイッチング電源として汎用性を失ってしまう点が懸念される。そこで、後述する DSP をもちいたデジタル制御では、接続負荷に対する制御方式の柔軟性を確保できるよう波形整形アルゴリズムの開発を行った。



(a)通常三角波



(b)変則三角波1



(c)変則三角波2

図2. 10 アナログ制御三角波比較方式による PWM パルス部分修正

## 2. 4. 2 DSP デジタル制御による PWM パルス修正

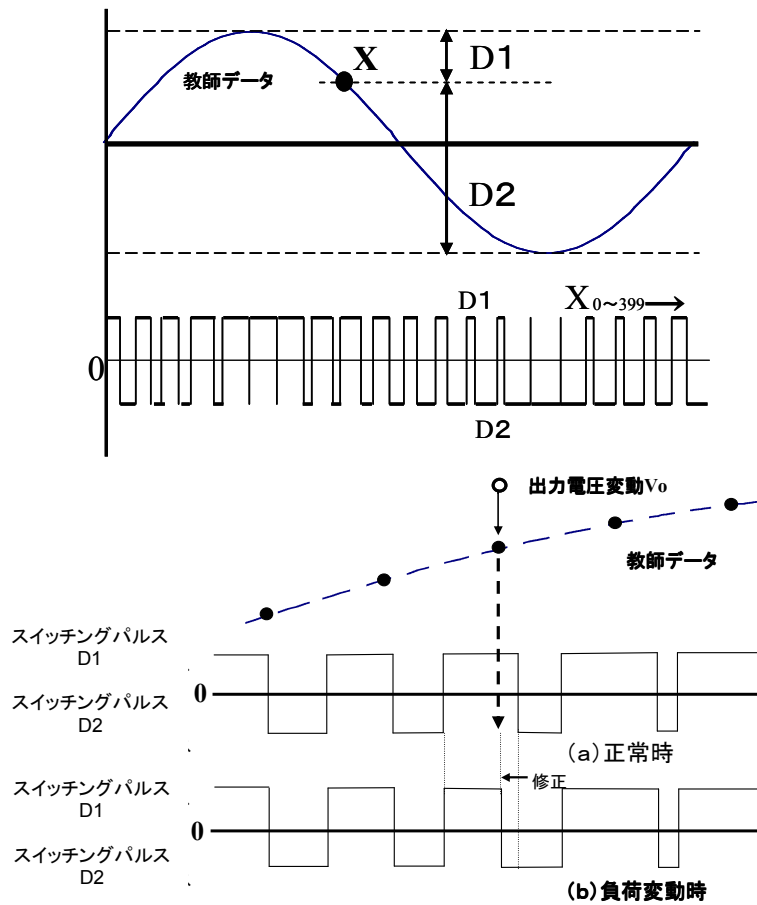
前節において述べたように、DSP を用いたデジタル制御では PWM パルスは DSP 内部メモリに、数値データとして格納される教師データを基によって算出される。提案するアルゴリズムの最大の特徴は、教師データの形状がそのまま PWM パルスに反映されることであり、直流電源制御では直線データが用いられ、交流電源制御では正弦波データが用いられる。交流電源における出力波形歪み整形では、DSP デジタル制御においても PWM パルスの部分的な修正が求められる。これに対し、提案法では正弦波教師データを構成する離散値の一部を変更することにより、PWM パルスの部分調節を容易に実現することができる。さらに、教師データの調節において変更量は試行錯誤的に行うことから、制御理論などを用いた最適量の算出までを選択することが可能である。制御量の算出についても、DSP の利点である高速演算性の利用により 1 制御周期内にて十分に完了することができる。

出力波形の歪み要因には、非線形負荷や負荷電流の急激な変化に伴う場合、負荷力率が 1.0 以下による制御応答の遅れに伴う場合などが考えられる。前述した変則波形を利用した三角波比較方式は、接続される負荷が未然に想定されている場合については有効であるが、使用する負荷の不測の変動・変更に伴い、制御回路の再設計や制御システムの再構築が必要となり、専用回路の付加により制御回路の肥大化が問題となる。これに対し、提案するデジタル制御は PWM パルスの修正及び出力作業が全てプログラムによって実現されており、制御応答の変化などの場合に対しても柔軟な対応が制御回路の変更無く行われる。

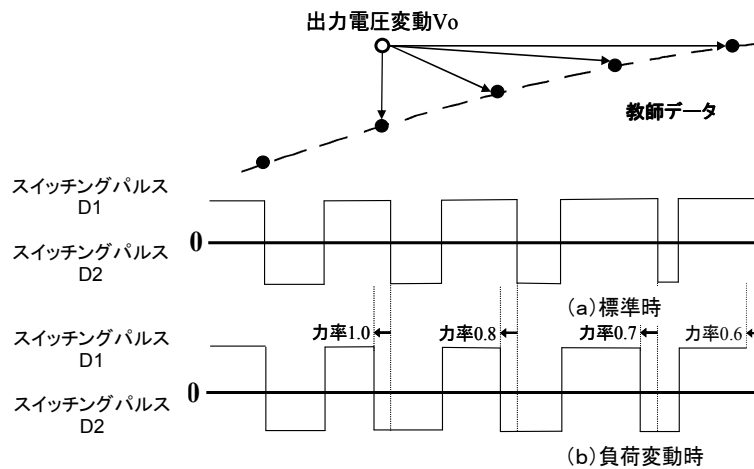
DSP デジタル制御による出力波形整形アルゴリズムを図 2. 11(a, b)に示す。同図には出力波形歪み箇所を拡大図として示されており、種々の場合における瞬時電圧変動に対する PWM パルス修正モデルが(a)負荷急変時、(b)低力率負荷時として示される。同図(a)に示される負荷急変時では、電圧変動箇所に対し対応する PWM パルスが修正される。一方、負荷力率変動時では、回路系の変化に伴い電圧制御において PWM パルスの変更点をシフトする必要がある。このような作業はアナログ制御では非常に困難とされるが、デジタル制御では同図(b)に示されるように容易に実現される。さらに、高機能化として、学習機能などの付加により、各負荷状態に対し最適な制御点及び制御量を瞬時に導出することも可能である。

以上に述べるように、DSP を用いたデジタル制御ではアルゴリズムの工夫により、従来のアナログ制御では対応が困難もしくは不可能とされている問題を容易に解決することができる。また、柔軟な PWM パルスの修正方法は、交流電源における出力電圧波形の歪み整形において、重要な役割を果たすことから、種々の負荷における出力波形制御について、3 章以降により詳細な制御アルゴリズム及び制御結果を示すこととする。





(a) 負荷急変による波形歪み修正



(b) 低力率負荷による波形歪み修正

図2. 1.1 DSP デジタル制御による PWM パルス部分修正

## 2. 5 デジタル制御への制御理論実装

上記に述べたように、DSP を用いたデジタル制御では出力電圧の取得から誤差検出、修正量算出、PWM パルス出力までの一連の流れは全て DSP 内で処理される。出力電圧の変動に対する修正の速度は誤差に対する正しい修正量の算出によって実現され、アナログ制御では図 2. 1 2(a, b)に示される PI もしくは PID 演算回路において修正量の算出を行っている。デジタル制御ではこれらの論理演算を数式化することによりプログラム上で実行可能であり、アナログ制御のように演算回路を外部接続することなく PWM パルスに対する修正量を得る事ができる。デジタル制御における数式化は伝達関数を離散化する事によって実現され、得られる離散化伝達関数はアナログ制御における演算回路と同様の効果を与える。

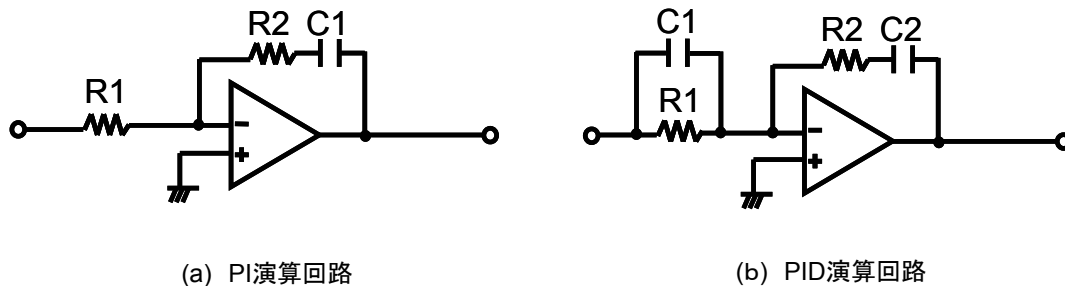


図 2. 1 2 アナログ演算回路

アナログ演算回路をデジタル化する方法には、各演算回路の伝達関数を  $z$  変換することで離散化伝達関数を導出する方法が一般的である。デジタル制御における ADC によるサンプリング周期を  $T_s$  とすると、 $z$  変換における  $z$  と  $s$  の関係は式(2.1)のように示され、展開すると式(2.2)を得る事ができる。式(2.2)は無限級数となるため、双一次変換により第一項のみを  $z$  変換を行い式(2.3)を導出する。得られた近似式(2.3)を図 2. 1 2 に示されるアナログ演算回路から導出される伝達関数へ代入する事により DSP における修正量算出に用いられる離散化伝達関数を得る事ができる。

$$z = e^{sTs} \quad s = \frac{1}{Ts} \log z \quad (2.1)$$

$$s = \frac{2}{Ts} \left\{ \left( \frac{z-1}{z+1} \right) + \frac{1}{3} \left( \frac{z-1}{z+1} \right)^3 + \dots + \frac{1}{2n+1} \left( \frac{z-1}{z+1} \right)^{2n+1} + \dots \right\} \quad (2.2)$$

$$s = \frac{2}{Ts} \cdot \frac{z-1}{z+1} = \frac{2}{Ts} \cdot \frac{1-z^{-1}}{1+z^{-1}} \quad (2.3)$$

### 2. 5. 1 PI 離散化伝達関数及び実装関数

図 2. 1 2 (a) に示されるアナログ PI 演算回路における伝達関数は式(2.4)として求められ、同式における係数  $Kc$  及び  $a$  は式(2.5)に示されるように回路定数  $R1, R2$  及び  $C1$  により決定する。ここで、式(2.4)に式(2.5)を代入すると式(2.6)が得られる。なお、係数  $K0$  及び  $K1$  は式(2.7)として示される。

$$Gs(s) = \frac{Kc(s+a)}{s} \quad (2.4)$$

$$Kc = \frac{R2}{R1} \quad a = \frac{1}{R2C1} \quad (2.5)$$

$$Gc(z) = \frac{K0 + K1z^{-1}}{1 - z^{-1}} \quad (2.6)$$

$$K0 = \frac{Kc}{2} (2 + aTs) \quad K1 = \frac{Kc}{2} (aTs - 2) \quad (2.7)$$

以上に得られた離散化伝達関数をプログラム上に反映するためには、差分方程式に変換する必要がある。そこで、式(2.6)を等式変換し式(2.8)及び式(2.9)を求め、式(2.10)の置き換えを行うことにより、式(2.11)を得る事ができる。

$$Gc(z) = \frac{U}{E} = \frac{K0 + K1z^{-1}}{1 - z^{-1}} \quad (2.8)$$

$$U = K0E + K1Ez^{-1} + Uz^{-1} \quad (2.9)$$

$$U \dots U(n), \quad Uz^{-1} \dots U(n-1), \quad E \dots E(n), \quad Ez^{-1} \dots E(n-1) \quad (2.10)$$

$$U(n) = K0E(n) + K1E(n-1) + U(n-1) \quad (2.11)$$

求められた式(2.11)における  $U(n)$  は出力する制御量を示しており、 $U(n-1)$  は前回の制御周期における制御量、 $E(n)$  は取得された出力電圧と目標電圧の誤差、 $E(n-1)$  は前回の制御周期における電圧誤差をそれぞれ示している。

## 2. 5. 2 PID 離散化伝達関数及び実装関数

上記における PI 制御関数の導出と同じく PID 演算回路より伝達関数は式(2.12)のように導出する事ができ、各係数は回路定数より式(2.13)となる。得られた式(2.12)に対し式(2.3)を代入し離散化伝達関数は式(2.14)として求まる。なお、係数  $K0, K1$  及び  $K2$  は式(2.15)として示される。

$$Gc(s) = Kc \frac{(s+a)(s+b)}{s} \quad (2.12)$$

$$Kc = R2C1 \quad a = \frac{1}{R2C2} \quad b = \frac{1}{R1C1} \quad (2.13)$$

$$Gc(z) = \frac{K0 + K1z^{-1} + K2z^{-2}}{1 - z^{-1}} \quad (2.14)$$

$$K0 = \frac{Kc}{2Ts} (2 + aTs)(2 + bTs), K1 = \frac{Kc}{Ts} (abTs - 4), K2 = \frac{Kc}{2Ts} (2 - aTs)(2 - bTs) \quad (2.15)$$

得られた離散化伝達関数の差分方程式変換を行い、PI 実装関数と同様に整理を行うとプログラム上における PID の実装関数は式(2.16)として得る事ができる。同式における  $U(n-2)$  及び  $E(n-2)$  はそれぞれ、2 回前の制御周期における出力制御量と誤差電圧である。

$$U(n) = K0E(n) + K1E(n-1) + K2E(n-2) + U(n-2) \quad (2.16)$$

以上までに求められた PI 制御及び PID 制御関数による制御量算出を考慮したデジタル制御のフローチャートを図 2. 1 3 に示す。同図にはデジタル制御における最も単純な構造となっており、回路定数及び制御周期を初期設定した後は、制御周期毎に誤差電圧の検出から制御量の算出、適正 PWM パルスの出力までの常に行う内容となっている。PI, PID 各制御においてはそれぞれ複数回の積和演算が実行されるが、DSP は積和演算と同時のデータ転送を最も得意としており、PWM パルスにおける最小パルス出力区間においても演算は問題なく実行される。

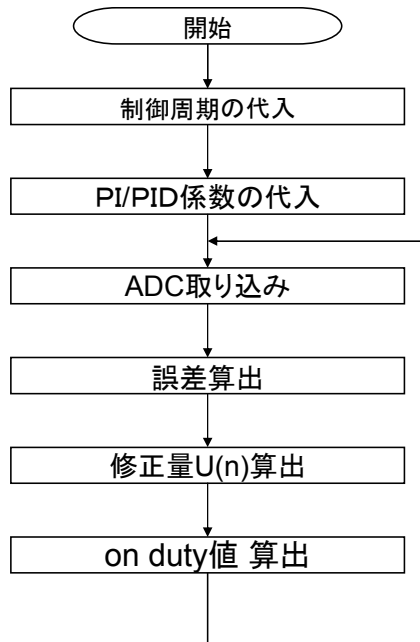


図2. 1 3 DSP デジタル制御フローチャート

デジタル制御においては離散化伝達関数の導出の工程において用いられるサンプリング周期に強く影響され、すなわち電源の出力電圧制御精度は制御周期によって大きく変化するといえる。近年発表されている DSP は高性能な ADC を内蔵しており、そのサンプリング時間は数 100nsec となっており、電源制御において十分な速度を誇っている。また、制御量の算出式の単純化により、電源制御においては更に多機能化を行うプログラム追加が可能となり、制御回路に使用する DSP が高性能化すればプログラムの変更を行わず制御精度は向上することも利点となる。今後の DSP における動向として、並列処理化に伴い演算速度は更に高速化が見込まれており、連続系として扱われるアナログ制御方式及びデジタル制御両方の利点を複合した制御方式の開発も可能であると考えられる。制御方式について、PI・PID 制御理論はアナログ制御を基本に構築された制御方式であるため、電源のデジタル制御化が進められることにより、デジタル制御に特化した制御方式の開発も期待される。

## 2. 6 高速・人工知能用 MPU (DSP)

従来、スイッチング電源制御にはアナログ IC 以外にもアナログ-デジタルハイブリッド制御回路を構成するための Micro Processing Unit(MPU)や、メモリや周辺回路を搭載し組み込み系機器制御を目的としたマイクロコントローラ等が登場している。Digital Signal Processor (DSP) は半導体技術、集積回路技術の発展及び画像・音声分野における高速信号処理への強い要望から演算能力に特化して開発が進められているマイクロプロセッサの 1 つであり、現在ではその汎用性から信号処理に留まらず幅広い分野での活躍が見込まれている。

スイッチング電源制御においても、定電圧制御に必要なオンデューティ変更が容易に可能となり、近年では DSP を用いた制御回路によるソフトスイッチングに関する研究も進められ、回路の簡素化・可変性に加え高機能制御の実装が期待されている。特に高機能化について、近年における接続負荷の多様化、多機能化への対応として、現代制御理論・ニューラルネットワーク・人工知能などの次世代制御方式の実現が期待されている。特に、人工知能を用いた電圧制御では、接続される負荷の変更や、電源装置の経年劣化に伴う制御応答の変化に対し有効であると考えられる。また、人工知能による電圧制御では、過去の制御結果を経験としてメモリ内へ蓄積することも可能であり、瞬時制御や予測制御など高度な制御も実現可能である。

DSP の特徴について記述する際、アーキテクチャは非常に大きな要素となる。そこで、DSP の歴史を述べる前にコンピュータ及びプロセッサについても簡単に背景を紹介し、汎用プロセッサと DSP の相違点について列記する。また、DSP における演算処理手順について述べ、DSP が人工知能を体現した並列作業を行うことを示す。なお、記載する最新の DSP は数多い DSP の一例であり、これ以外にも複数の DSP メーカーより多くの DSP が発表されていることを付記する。

一般的に、初期コンピュータとして 1946 年に米国ペンシルバニア大学にて公開され、1955 年まで使用されたデジタル電子計算機:Electronic Numerical Integrator and Computer(ENIAC)が知られている。(世界最初のコンピュータについては 1939 年に試作機が稼動した Atanasoff-Berry Computer(ABC)など諸説有り)ENIAC は第二次世界大戦中、主にアメリカ陸軍の大砲弾道計算を目的に構築され、プログラムはケーブルを差し替えるスイッチ式にて管理、データ入力は穿孔カードが用いられた。ENIAC の稼動開始と同時期、Neumann により Electronic Discrete Variable Automatic Computer(EDVAC)が提唱される。同機はプログラム及びデータを内部メモリへ格納するプログラム内蔵方式を採用している。

EDVAC のようにプログラムとデータを同一メモリに管理する方式はノイマン型と呼ばれ、以降プロセッサ技術の主流となる。一方 ENIAC のようにプログラム専用メモリ及びバスライン、データ専用メモリ及びバスラインを持つハーバードアーキテクチャはプログラムとデータの読み出しが同時に行われる利点から高速化に特化した DSP へ受け継がれた。この後、トランジスタ技術および集積回路技術の向上に伴い、1970 年頃にはコンピュータにお

けるデータ転送の高速化を目的とした Dynamic Random Access Memory(DRAM) 及び Micro Processing Unit(MPU)が登場し、これらは社会のあらゆる分野に変革をもたらした。これは、メモリ、MPU の出現が“コンピュータ技術の一般ユーザへの開放”を意味している。

デジタルフィルタ用に特化されたアーキテクチャに関する文献は、1978年に Bell Labs から発表された“The S2811 Signal Processing Peripheral”が最初である。しかし、簡単なフィルタの範囲を超える制御、非線形信号処理等への応用を実現するには、柔軟性に欠けるという問題があった。その解決策として、汎用コンピュータライクなアーキテクチャを持ちながら、基本的な信号処理を高効率に実行するために、以下の要求を満たす必要がある。

- ① 1 命令で乗算と加算が並列に実行できる
- ② 演算ユニットへ、または、演算ユニットからのデータ移動が、アドレスポインタの変更と並列に実行できる
- ③ 論理的なオペレーションを実行し、その結果に基づいて制御フローの修正ができる
- ④ Stored Program のシーケンスにより、一連の命令が制御できる

1970年代後半から1980年代の集積回路技術の成熟に伴い、1980年にはISSCCにおいてDSPに関する開発研究結果として、NECより $\mu$ PD7720、ベル研よりAT&T DSP1が報告された。これらのDSPは上記に述べる4つの条件を満たしており、特に前者は16[bit]乗算器と16[bit] Arithmetic Logic Units (以下ALU)を備え、1命令を244[ns]で実行する。メモリは、命令用 Read Only Memory (以下ROM)と、データ用としてROMと Random Access Memory (以下RAM)からなっており、入出力はシリアルポート、あるいは、8[bit]幅のデータバスを使用する。

DSPと基本となるハーバードアーキテクチャは、上述した2つのDSPによって確立したといえる。これらのプロセッサはいずれも公衆交換電話網の通信に関する研究が元になっており、デジタルフィルタやFFTなどの信号処理用プロセッサを目標に開発された。このため、現在のDSPがプログラムメモリRAMと2種のデータメモリRAMと各3種のアドレスバスを有す純粋なハーバードアーキテクチャであるの比し、この二つのDSPはプログラム、及び、2種のデータメモリの内、一方がROMで構成される **Modified Harvard Architecture**であった。

表2. 1にDSPの発展の概要を示す。DSPは現在、第5世代を迎えているといわれている。第1世代は、基本ハードウェアとしてハーバードアーキテクチャと乗算器の搭載、第2世代は基本ハードウェアをより効率良く機能させるためのバスアーキテクチとメモリ等の拡張である。第3世代は、固定小数点から浮動小数点演算への精度、ダイナミックレンジの向上である。この第3世代を迎え、単にマイクロコントローラ、モデムのコンポーネントとしての利用だけでなく、科学計算あるいはシミュレーション等のあらゆる演算処理の加速系としての利用が期待されるようになった。また、第4世代及び第5世代は、汎用マイクロプロセッサと同様の高速化技術の導入が図られている。

表 2. 1 DSP の発展

世代	年	特徴	DSP
1	1979-1986	Harvard architecture Hardwired multiplier	NEC $\mu$ PD7720 Bell Labs DSP1 TI TMS320C10
2	1986-1988	Concurrency Multiple Buses On-chip Memory	TI TMS320C25 Motorola DSP56001 AT&T DSP16 ADI ADSP-2100
3	1988-1992	On-chip Floating point op.	TI TMS320C30 Motorola DSP96002 AT&T DSP32C ADI ADSP-21000 Fujitsu MB86220 NEC $\mu$ PD77230, 77240
4	1992-1997	Multi-processing Low-power	TI TMS320C40, C80 ADI ADSP-21060 (SHARC)
5	1997-	VLIW	TI TMS320C6x Motorola Starcore

1956 年における人工知能の提唱以来、これまでにプロセッサ上にプログラムの人工知能化が試みられてきたが、並列処理性・メモリ量及びデータの取り扱い方法の問題から実現されていない。これに対し、半導体集積技術の進歩により超小型化され、ハーバードアーキテクチャと DSP 思想による並列処理の実現は、人間の同時・多重に思考される神経系の学習・高速処理に限りなく近づいたと言える。CPU の記憶に内蔵されたプログラムを高速に処理実行するためには、① CPU の動作クロックを高速化する ② パイプラインの導入 ③ 並列処理 のできる構造が必要である。①はクリーンルームの改善により高度化された集積技術で解決することができるが、同時にクロックの高周波化に比例して大電力を必要とし、限界がある。そこで、②・③のパイプライン処理・並列処理が有望視される。

プロセッサにおける命令実行の流れを図 2. 1 4 に示す。同図はパイプライン処理に伴う、演算実行時間の違いを示している。演算処理の流れは ①Fetch : 命令の読み出し ②Decode : 命令復元化(解析) ③Read : データ読み出し ④Execute : 実行 を一組として連続して行うことにより実行される。同図に示されるように、パイプライン非使用時では、上記する①-④の作業が全て完了してから次作業を開始するため、膨大な処理時間を必要とする。これに対し、パイプライン処理を行う場合、各処理における待機時間を削減され、複数処理の作業時間は大幅に短縮される。このため、高速演算処理を行うためには、同図に示されるパイプライン処理が淀み無く実行されるアーキテクチャを構成する必要がある。



図2. 15に、ノイマンアーキテクチャのパイプライン実行時のCPU各資源の使用状況が示されている。プログラムとデータに対し、同一メモリへ配置するノイマンアーキテクチャの場合、プログラムの各実行フェーズ（Fetch・Decode・Read・Execute）が実施されると、レジスタ・アドレスバス・データバス・メモリで情報伝達の衝突（競合）が発生する。典型的な例として、Read作業ではデータバスを経由してデータメモリから読み込みを行い、Fetch作業では同バスを使用してプログラムメモリからの読み込みを行う。この時、同図に示されるパイプライン処理では、命令1のRead作業“R”と命令3のFetch作業“F”が同時に指定され、いわゆるR-F競合が発生する。このような場合、作業実行時ではNOP(No Operation)の挿入が行われ、データはバスライン上での待機を余儀なくされる。そこで、競合を考慮した場合における、ノイマンアーキテクチャでの命令実行の流れは図2. 16に示される。同図に示されるように、競合発生によるNOP挿入の結果、処理時間はパイプライン未使用時と同様となり、この現象はパイプライン処理の破壊と呼ばれる。この競合を回避し、完全パイプラインを実施する構造がDSPのハーバードアーキテクチャである。すなわち、競合を起こすレジスタ・アドレスバス・データバス・メモリを複数設ける。しかし、ハーバード構造だけでは十分な高速を得ることができないため、この構造に並列処理可能な構造を追加する。

図2. 17にハーバードアーキテクチャ及びパイプライン化に伴う並列処理の概要を示す。同図に示されるように、DSPはプログラムメモリとデータメモリを分離し、レジスタ・アドレス・データバスを各々準備する、いわゆる、ハーバード構造である。並列処理を実施するため、2変数演算のためのデータRead・演算結果のWriteを、同時に実行できるように3種のデータメモリを設ける。肝要なのは、これら3種のデータ指示のために、3種のアドレス生成器を準備しなければならない。すなわち、DSP構造は、完全パイプライン実現のためのハーバード構造を有し、複数のデータメモリとその数のアドレス生成器を持った構造を意味する。

並列処理を目的としたDSP構造アーキテクチャでは、1命令実行時において、演算作業、次命令で演算する各データのレジスタへのロード、前回取得演算結果のメモリへのストア、メモリアドレス更新作業が同時に行われる。このDSP特有の動作である並列処理により、プロセッサにおける命令処理時間は、図2. 18に示すように大幅に短縮することができる。以上に述べたように、プロセッサにおける処理時間の向上には、プロセッサ動作クロックの高速化、パイプライン処理の導入、並列処理の実現など様々な手法が試みられてきた。この結果、動作クロックの高速化では、1971年にi4004において108kHzであった処理時間は、1985年に登場したi386では33MHzまで向上。さらに、パイプライン処理導入による成果として、1989年にi486における100MHzの処理時間が、1993年のPentiumでは300MHz、さらに2000年に登場したPentium4では3.8GHzを達成した。ハーバードアーキテクチャにより完全パイプライン処理及び、最新のDSP構造によって並列処理を実現するDSPでは、さらに高速処理化が行われる。

DSP によりプログラム作成を行う際、アセンブラ言語による記述は一つの検討事項となる。DSP では、コンパイラを使用した C 言語によるプログラム作成と、アセンブラによるプログラム作成が選択できる。前者はユーザの作成した、C 言語によるプログラムをコンパイラによってアセンブラへ変換するため、多くの無駄作業が挿入されてしまう。DSP メーカーの提供するコンパイラでは、アセンブラへの変換に対し無駄作業を可能な限り省く、コンパイラレベルを選択することができる。しかし、その能力は完璧とはいえず、アセンブラ直接記述における最適化レベルには遥かに及ばない。この主な原因として、C 言語では DSP の最大の特徴である並列処理を指定することが出来ず、総ステップ数の増加に繋がる。例として、スイッチング電源における PI 制御をプログラム化した場合、C 言語利用ではアセンブラ直接記述に対し、約 10 倍のステップ数を要する。このため、DSP 利用においては、プログラム熟練度も重要な要素となることを付記する。

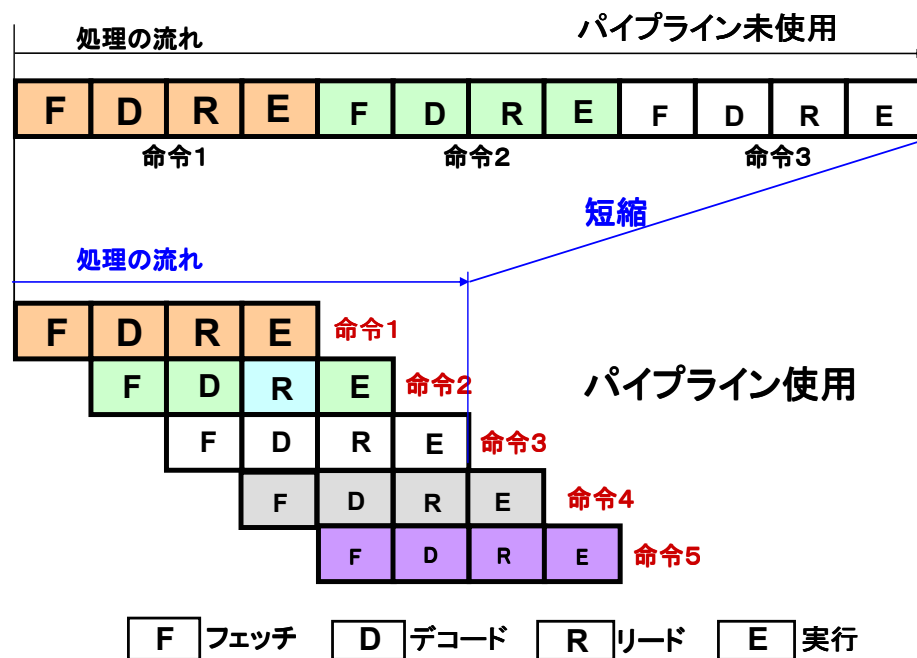


図2. 14 パイプラインによる高速演算モデル

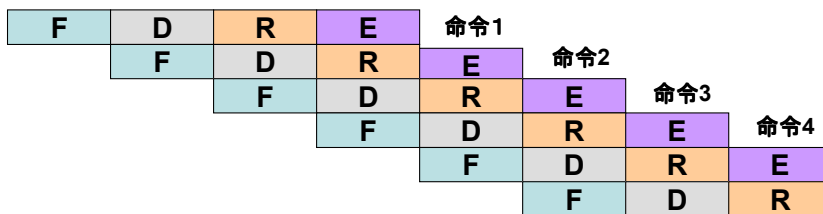
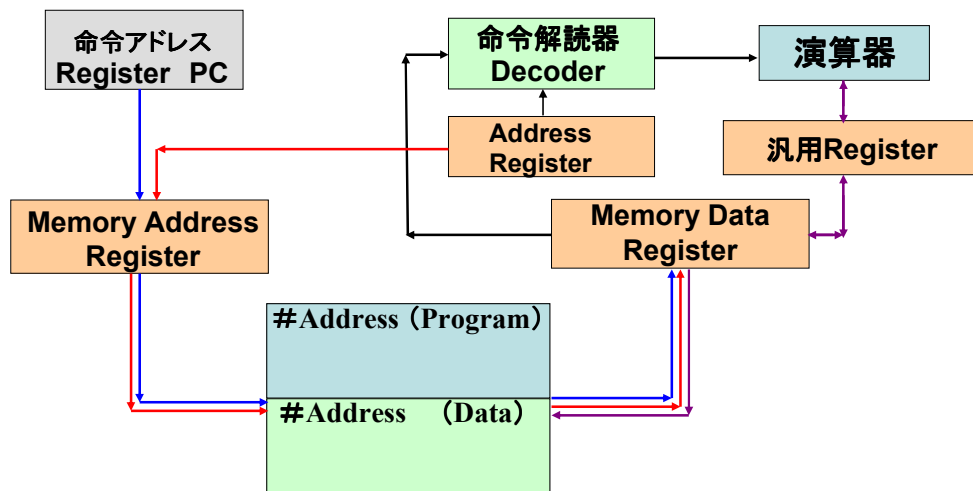


図2. 15 ノイマンアーキテクチャ

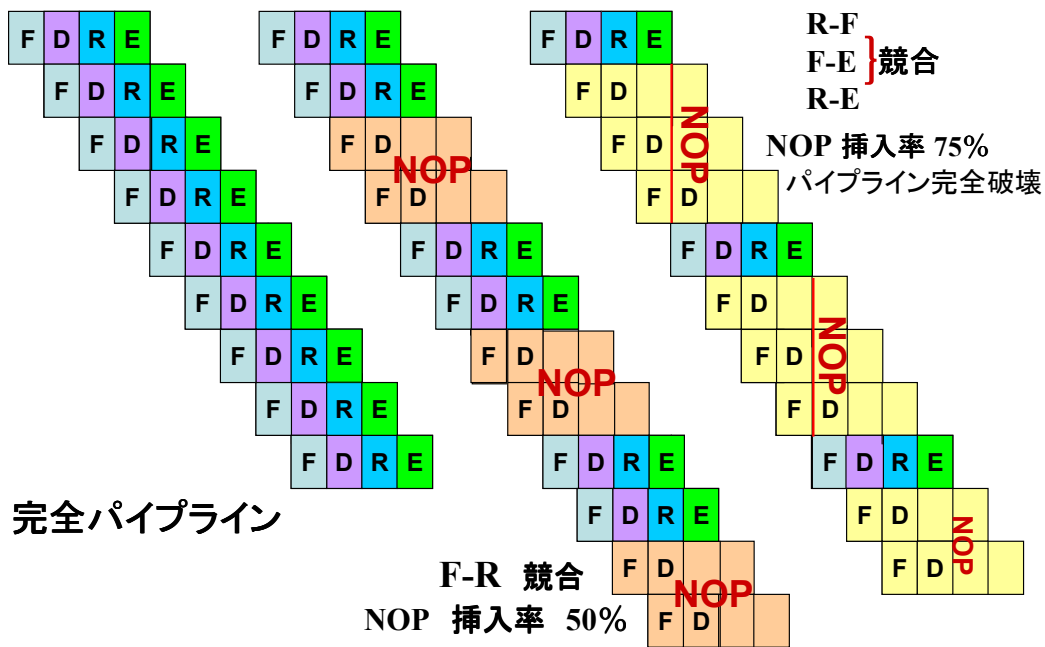


図2. 16 競合による命令処理時間の遅延

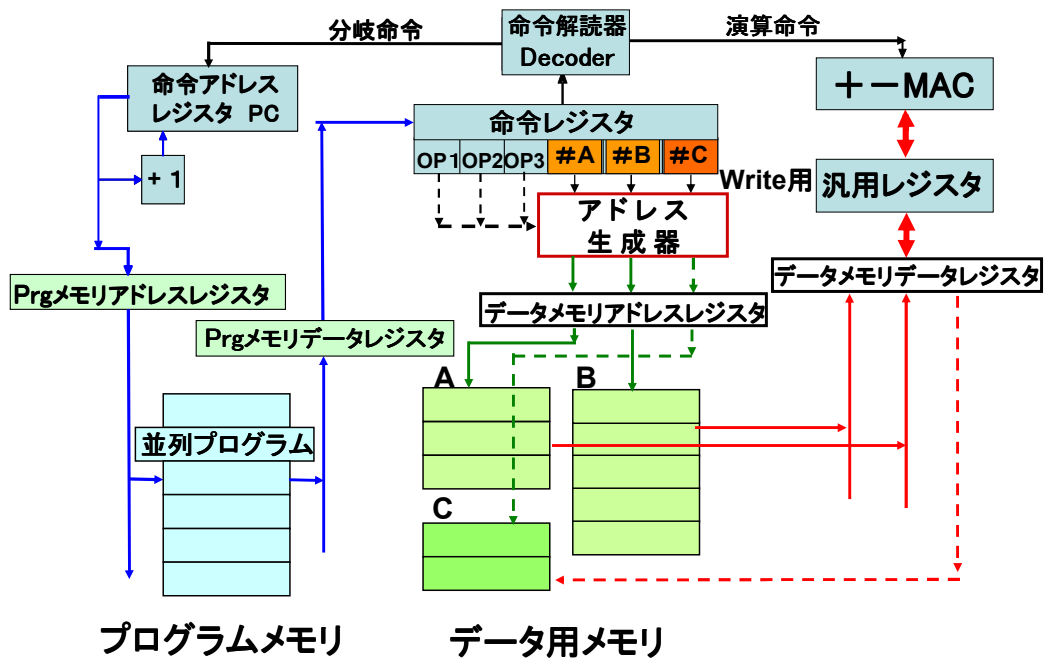


図 2. 1 7 DSP 構造による完全パイプライン

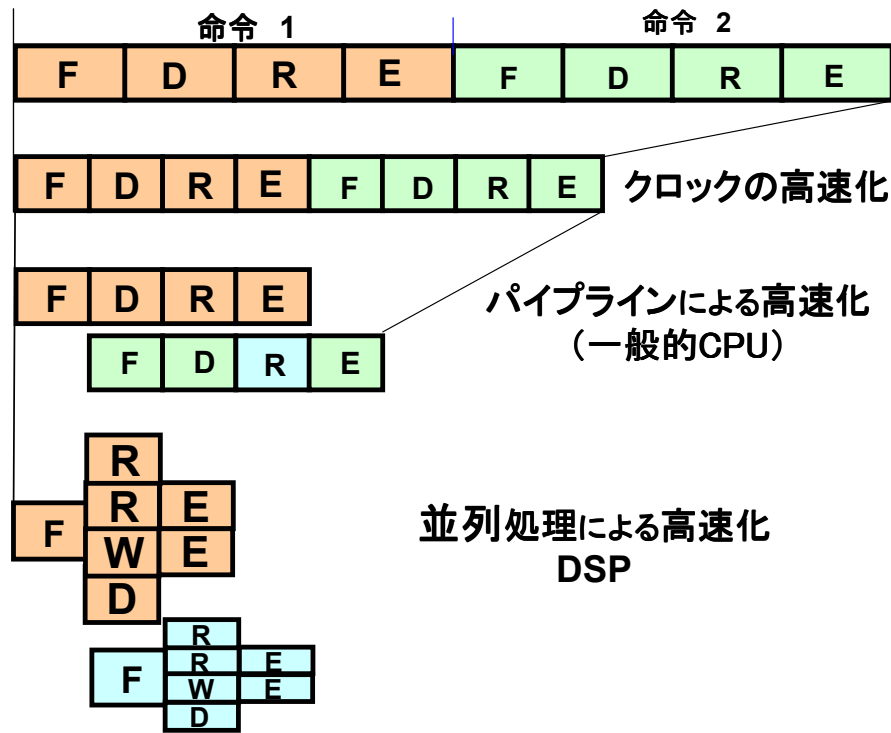


図 2. 1 8 高速化技術による処理時間遷移

最近の DSP の一例として米国 Analog Devices Inc.(ADI)より発表されている浮動小数演算タイプ DSP である ADSP-21060 及び固定小数演算タイプ DSP である ADSP-2191、さらにスイッチング電源制御に必要な周辺機器を内蔵した DSP 例として ADSP-2199x の内部ブロック図をそれぞれ、図 2. 19、図 2. 20(a, b)として示し、汎用プロセッサとの相違点について以下に列記する。各図におけるブロック図では DSP の最大の特徴であるハーバードアーキテクチャが図解されており、各レジスタは複数のバスラインを通じてプログラムメモリ、データメモリから必要な情報を取得する構造となっている。各 DSP は上述したようにパイプライン構造となっており、従来スイッチング電源に利用されてきた MPU と比較して、下記の特徴を有する。

- ① 汎用 DSP はリアルタイム処理を必要とする制御、信号処理の実装を可能とする
- ② 汎用 DSP はメモリ管理、Operating System (OS)、キャッシュをもたない
- ③ DSP はコードとデータの同時フェッチができるハーバードアーキテクチャ構造
- ④ ほとんどの DSP は MAC 演算を 1 サイクルで実行する
- ⑤ DSP プログラムは高速な内部 ROM、あるいは RAM に格納される
- ⑥ DSP は二つ以上のマルチポート構成のデータメモリをもつ
- ⑦ DSP の割り込み動作はシンプルかつ高速であり、電源制御において効果的である
- ⑧ DSP アプリケーションの多くはリアルタイム処理のため ASM でコード化される
- ⑨ DSP の入出力の設備はシンプルであり、電源への制御信号出力、電源からの出力状態などの情報の取得が容易に行われる

図 2. 20(a, b)には電源制御に適すると考えられる固定小数演算型 DSP を示しており、同図(b)に示される ADSP-2199x は同図(a)の ADSP-2191 をコアとした構造となり、周辺装置として ADC や PWM タイマを内部に保有しておりスイッチング電源制御を DSP 単体で担える構造となっている。固定小数演算型 DSP もハーバードアーキテクチャ構造であり、扱うデータ幅が膨大ではないスイッチング電源制御においては十分な能力を保持しているといえる。

電源制御に際し DSP を選定する一例として、幾つかの DSP の機能を比較した結果を表 2. 2 に示す。スイッチング電源の制御において DSP に求められる機能は、高速な制御の実現と同時に制御回路での電力消費を抑えるために低消費電力であること、制御回路の小型化・単純化のために少ピン数であること、低価格であることなどが求められ、これらの要求からもスイッチング電源制御には固定小数演算型が適しているといえ、制御回路の構築の際には同表に示される一例などを元に DSP を選定する必要がある。

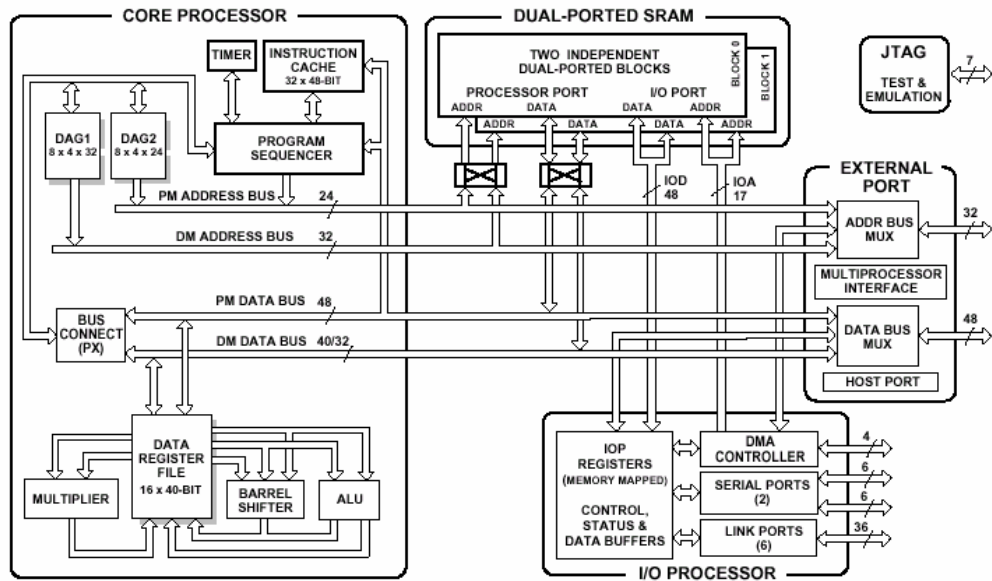
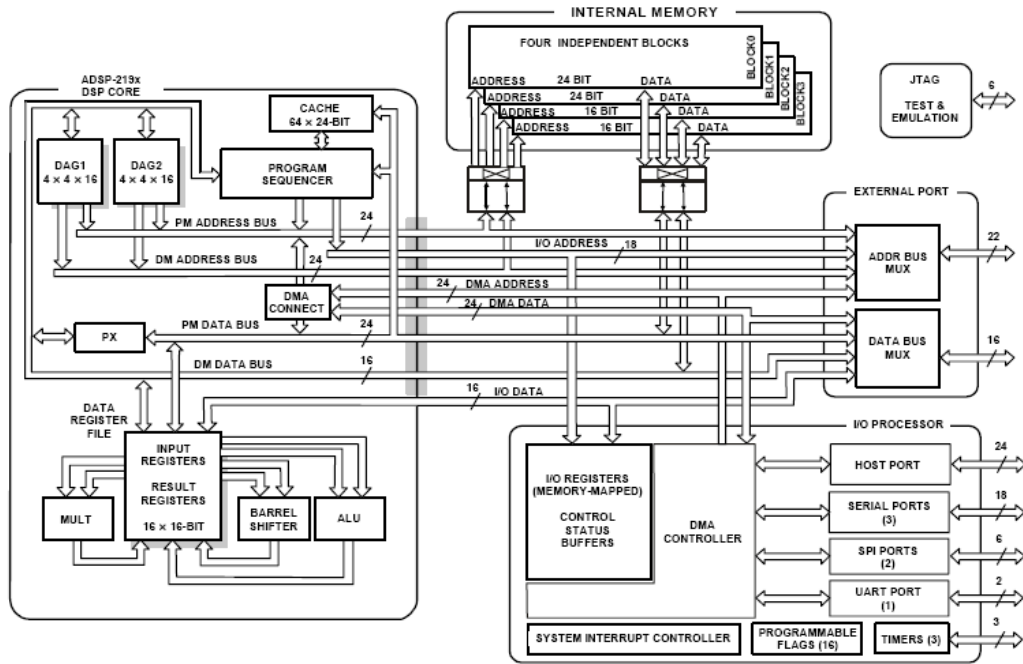
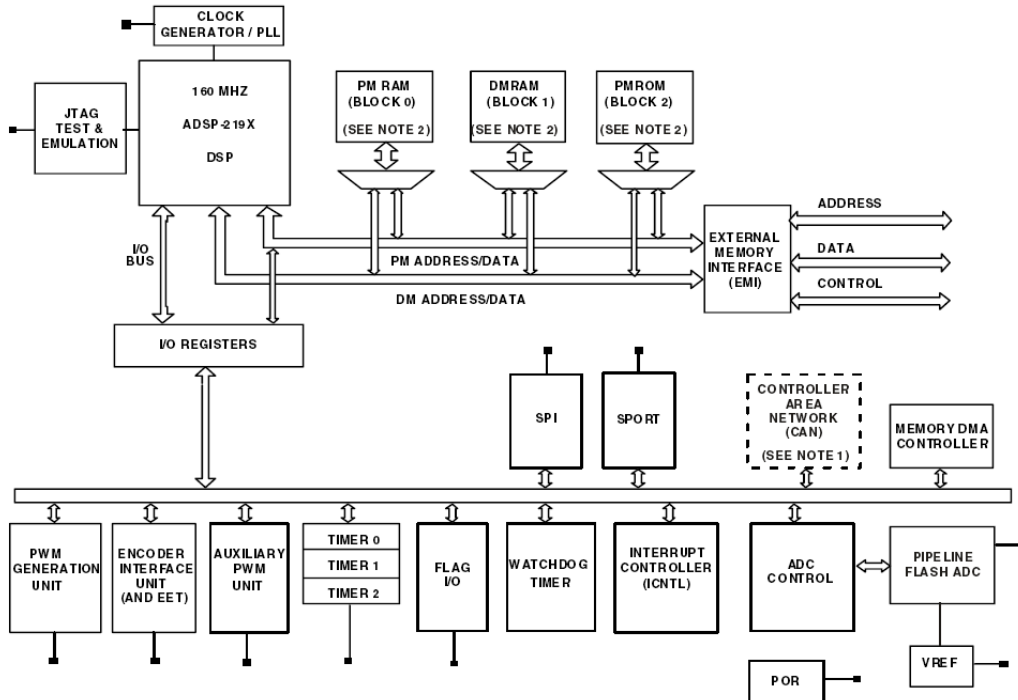


図 2. 19 ADSP-21060(SHARC)内部ブロック



(a) ADSP-219x 内部ブロック



NOTES:  
 1. THE CONTROLLER AREA NETWORK (CAN) APPLIES ONLY TO THE ADSP-21992.  
 2. REFER TO THE MEMORY CHAPTER FOR SIZES OF THE MEMORY BLOCKS.

(b) ADSP-2199x 内部ブロック

図 2. 20 電源制御に適した DSP

表 2. 2 DSP 性能比較

	DSP	Clock Speed (MHz)	Memory		Pin number	Timers
			Program RAM (Kwords)	Data RAM (Kwords)		
ADI	ADSP-218x	80	32	32	144	1
	ADSP-219x	160	32	32	144	3
	ADSP-2199x	160	32	16	176	3
	SHARC	400	SRAM 2Mb		256	3
	BlackFin	750	SRAM 148Kb		169	3
TI	TMS320C64x	400	16	16	288	3
	TMS320C67x	150	64	64	352	2
	TMS320F28x	100	18		100	3
		PWM	ADC	Core Voltage (V)	Description	Pricing
ADI	ADSP-218x	x	x	1.8/2.5/3.3	16-bit Fixed-Point	\$22
	ADSP-219x	x	x	3.3	16-bit Fixed-Point	\$20
	ADSP-2199x	3	14bit Dual-Ch 20MSPS	2.5	16-bit Fixed-Point	\$30
	SHARC	x	x	3.3	32-bit Floating-Point	\$45
	BlackFin	1	x	0.8	16/32-bit Embedded	\$19
TI	TMS320C64x	x	x	1.2	16-bit Fixed-Point	\$17
	TMS320C67x	x	x	1.8	32-bit Floating-Point	\$79
	TMS320F28x	3 Resolution 150psec	12bit 16Ch Conversion time 160nsec	1.8/3.3	16-bit Fixed-Point	\$11

以上に述べたように、DSP はスイッチング電源の制御用プロセッサとして使用される MPU 対し、プログラムによる柔軟な制御内容変更、パイプライン・並列処理による高速制御などの利点があげられる。PFC や並列運転などの高機能化、通信による遠隔操作など多機能化を実現するにはデジタル制御が不可欠となる。DSP によるデジタル制御は制御内容の完全プログラム化を旨としており、制御回路の変更無く同一の回路構成で複数の電源を管理するため、多様化する電源に対し開発期間を大幅に短縮することができる。また、近年登場している DSP はデータメモリを複数保有することにより、従来の DSP に比べ更に高速演算が可能となる。このため、DSP を用いたデジタル制御では、高速なメモリ処理を利用し、人工知能を意識した学習型制御なども実装可能であると考えられる。



## 2. 6 スイッチング電源の応用分野

以上に示すように、スイッチング電源における出力制御方式には、接続される負荷の性質や要求される仕様を満たすために、多くの努力が行われている。制御方式について、近年注目されている DSP を用いたデジタル制御では、従来制御であるアナログ制御の基本仕様を満たした上で、次世代電源に求められる種々の機能が実装できる。そこで、以下にスイッチング電源が応用されている利用分野の例を示し、現在採用されているアナログ制御に対する DSP デジタル制御の利点について述べる。

現在、産業分野及び民生分野では、数多くの電子機器が用いられている。各電子機器において駆動に用いられる入力電力は全て異なり、電圧変動範囲や無瞬断など使用用途に応じた仕様が求められる。産業・民生分野におけるスイッチング電源の使用例を表 2. 3 に示す。同表にはスイッチング電源を利用している電子機器の一例が示されている。一般的に、民生機器は産業分野への応用において開発・研究された技術を展開したものであり、近年におけるマイコンやスイッチング素子の低価格化に伴って発展を遂げている。一例として、交流モータの可変速駆動技術がインバータ式エアコンや白物家電に応用されており、省エネルギー効果へ大きく貢献している。液晶テレビなどでは、バックライトの冷陰極管の点灯用に高い電圧が必要となるため、商用電圧の昇圧制御を行うスイッチング電源が搭載されている。また、蛍光灯における高周波点灯においては、波形一周期内に無負荷状態から定各負荷状態へ、急激な電力供給を行う必要があり、特殊制御としてスイッチング電源を活用することができる。

前述したように、マイコン搭載型の精密電子機器では、駆動電圧が低下の傾向にあり、直流電圧の僅かな揺らぎも機器の動作に影響を与えてしまう。多機能化が進んだ電子機器では、駆動電圧の異なるプロセッサが複数用いられることも多く、従来の電源では小型 DC-DC コンバータが IC 近くに分散配置されていた。これに対し、DSP によるデジタル制御では単純な直流定電圧制御であれば、高速処理性から複数の電源を一基の DSP によって管理可能であり、搭載電源の統一化が実現できる。また、全ての電子機器において共通の懸念として、系統電源の停電があげられる。落雷や電線事故などにより、たとえ瞬時の停電でもその影響は甚大である。このような停電・瞬断に対し、迅速にバックアップして電力供給するのが UPS（無停電電源装置：Uninterruptible Power Supply）である。

UPS は常時商用方式と常時給電方式に大別される。前者は、停電時のスイッチ切り替えに、わずかな時間な瞬断が発生する。これに対し、後者の常時給電方式は瞬断を無くし、商用交流の周波数・波形を円滑にバッテリーからの電力供給へ切り替える。UPS は精密機器と比例して利用が拡大している。UPS には商用交流との同期制御や定電圧制御など基本的な機能に加え、近年では接続機器の性質上、ソフトスタート機能やデッドタイム補正など多機能化が要求されている。このため、機能実装が容易であるデジタル制御が注目され、UPS のデジタル制御化が強く求められている。

表2. 3 スイッチング電源用途例

産業用機器	PC関連機器	汎用型PC、サーバ、各種コンピュータ機器
		記憶装置、PCディスプレイ、プリンタ、その他周辺機器
	通信関連機器	電子交換機、伝送装置、屋内通信機器、移動体通信機器、無線送受信機器、放送機器
	制御機器	電力制御装置、FA制御機器、ロボット、NC装置
	計測機器	オシロスコープ、アナライザ、半導体テスタ
	医療関連機器	血圧・脈拍分析器、CT、MRI、心電図測定器
	自動車関連	メインメータ、LED表示装置、各種ECU、外部出力電源
	事務機器	コピー、スキャナ、ファクシミリ
	その他	充電器、遊戯用機器、実験用機器
民生用機器	AV機器	テレビ(プロジェクタ、LCD、有機TV含む)、映像録画・再生装置
		ゲーム機、その他娯楽用機器
		デジタルオーディオ、電子楽器
	住宅用機器	照明設備、各種清掃機器、白物家電機器
	その他	アダプタ電源、野外街灯設備、発電機周辺装置

同表に示される電子機器以外へのスイッチング電源の応用分野として、輸送分野での利用があげられる。電動機を負荷とする鉄道、自動車などの環境下では装置内部の抵抗器や半導体式ドロップにより運動エネルギーを熱エネルギーへ変化し放出することで電動機の制動を行っている。そこで、電力回生電源・分散電源が利用される。前者は装置内部において発生した電力を系統電源へ返還することを目的とし、後者は発生電力を他の電子機器に分配することを目的としている。これらの電源方式はハイブリッドカーにおける充電システムにも利用されており、省エネルギー化への要求から利用が拡大している。電力回生電源は通常のスイッチング電源における出力制御を必要に応じて入力段スイッチ部に適応するもので、負荷 100%～-100%変動に対する応答性の向上、力行時から回生時における電圧ノッチの低減が求められる。また、交流型回生電源では商用電源（主電源）との同期制御などの研究が進められている。このような複雑な出力制御を実現する場合、アナログ制御では制御回路が複雑化する懸念が持たれるが、DSP によるデジタル制御ではプログラムの工夫により容易に対応することができる。

以上を背景として、スイッチング電源のデジタル制御化を目指し多くの研究開発が進められている。デジタル制御は DSP を代表とするプログラマブル制御方式と、デジタル・カスタム LSI 方式に大別される。両方式は、小型化や高速処理などアナログ制御における問題点を解決する。しかし、カスタム LSI 方式はアナログ制御と同様にハードウェアの開発期間が膨大であり、電源仕様変更に伴う回路変更が非常に困難であるという欠点を持つ。また、コストパフォーマンス面においても、頻繁な制御回路の変更には不向きであるため、固定仕様の大量生産型電源には有効である。一方、プログラマブル制御方式について、近年では安価で高性能な電源制御用 DSP が発表され、アルゴリズムの工夫により汎用性の高い制御方式の開発が可能となる。そこで、従来のアナログ制御及び、本論文で採用する DSP デジタル制御の比較を表 2. 4 に示す。

同表ではアナログ制御における懸念点を、制御回路、制御方式、将来展望と大別して示し、各問題点に対する DSP デジタル制御の対応を示している。制御回路について、複数の制御 IC 及びアナログ素子を組み合わせるアナログ制御に対し、DSP デジタル制御では DSP 主体使用が大きな特徴となる。提案する DSP デジタル制御では、電源出力情報は ADC を介して DSP へ直接伝達され、DSP 内部にて定電圧制御を行う PWM パルスの生成が行われる。周辺機器を全て除去したデジタル制御における制御回路は、多くのスイッチング電源において共通に使用することが可能であり、制御方式についても流用もしくは一部プログラムの修正によって対応することができる。また、電源の小型化や開発期間・費用の大幅な削減に貢献し、低消費電力 DSP の使用により制御回路での電力損失を防ぐことが可能となる。

前述したように、アナログ制御による定電圧制御では、OP アンプ及び RLC 素子より構成される制御回路が用いられる。制御システムを実装した制御回路では、センサによる電源出力電圧取得から、誤差電圧の検出及び制御量算出、FET/IGBT への制御信号出力までに、遅延時間が存在する。この遅延時間は制御回路における回路定数より決定され、一例

として単純な PI 制御システムを用いた制御回路では、出力状態取得から実際の制御までに  $10 \mu \text{ sec}$  以上の遅延が発生する。この遅延時間は、制御回路が実現可能なスイッチング周波数の限界に繋がり、本例では  $100 \text{ kHz}$  が上限となる。一方、DSP を用いたデジタル制御においても制御における遅延時間は存在する。しかし、ADC による電圧取得及びデジタル量への変換、DSP 内部での制御量算出、FET/IGBT の駆動までに発生する遅延時間は合計で  $1 \mu \text{ sec}$  程度である。これはスイッチング周波数に換算すると、 $1 \text{ MHz}$  となり、電源装置の小型化に大きく貢献できる。なお、DSP デジタル制御において遅延時間は DSP の性能によって決定されるため、高性能な DSP の利用により、更なる高周波化が可能であることを付記する。

制御方式について、DSP デジタル制御方式では従来用いられている PWM 制御の単純なデジタル化ではなく、柔軟性・可変性に優れたプログラマブルスイッチングが実現される。電子機器の開発速度は加速の一途を辿っており、製品仕様・搭載プロセッサの変更に伴い、各電子機器に対応した電源が求められる。現在、スイッチング電源の汎用化は完了しておらず、各電源メーカーは電子機器メーカーより指定される仕様に応じて、制御回路の再設計を行っている。しかし、アナログ制御を利用する場合、電源の仕様変更は容易な作業ではなく、制御回路の再開発には開発期間及びコストパフォーマンスが懸念される。

これに対し、本論文において提案するフルデジタル制御は、出力仕様の変更がソフトウェアによって管理されることも特徴の一つである。ソフトウェア上において外部情報を反映した制御信号を生成するデジタル制御では、一般的に利用される古典制御理論の実装から、アナログでは机上理論とされた制御方式の実装も可能となる。更に、DSP 同士の情報共有、インターネットを通じた遠隔操作などの将来展望が見込まれ、電源のユビキタス化に大きく前進することが期待される。なお、デジタル制御の詳しいアルゴリズム、提案法を用いた場合における制御結果などについては、2 章以降にて詳しく述べることとする。

表2.4 アナログーデジタル比較

	アナログ (ハイブリッド)制御方式	DSPデジタル制御方式
	制御回路小型化が困難	DSP主体制御による制御回路小型化 1. 10mm × 10mm程度のチップサイズ 2. 省Pin数化 3. ADC、タイマなどの制御素子内蔵
制御回路	ハードウェアに依存した仕様変更 1. 開発期間 2. コストパフォーマンス 3. 制御回路消費電力	ソフトウェアによる仕様変更 1. ソフトウェア開発期間短縮化 2. 高性能DSPの安価化 3. 低消費電力(300mW以下)
	制御応答時間変化への対応	高速制御及び自己修正による応答対応
	高度制御理論の実装が困難	学習型制御・NN制御・近代制御など高次元制御の実装が容易
	交流電源機能の細分化が困難	プログラムにより各スイッチ部の制御内容変更
制御方式	波形整形において複雑な制御回路設計が必要	アルゴリズム開発による高機能化(同一制御回路)
	高速負荷変動など未知の負荷への対応性	
将来展望	他電源との連携	DSP同士の通信・連携
	制御方式の全自動化	リアルタイムチューニング・学習制御などによる自動制御化
	電源機能の遠隔管理	インターネットを介したネットワーク管理

## 2. 7 むすび

本章ではスイッチング電源における回路面及び制御面、双方の努力としてスイッチング素子の発展の背景及び制御回路に用いられる DSP の発達について記述した。スイッチング素子は近年の半導体技術の発達に伴い、大幅な高周波化が見込まれており、電源装置の小型化が期待されている。制御面においても制御周期の高速化が余儀なくされ、さらに近年の多様化する電子負荷により次世代のスイッチング電源には多くの機能が求められることが考えられる。このような要望に対し、制御回路の開発期間が長く、また制御内容の修正がハードウェアの修正に反映される従来のアナログ制御では、対応が非常に困難であるとされている。

一方、DSP を制御回路コアとしたデジタル制御では実装機能は全てプログラムによって管理され、出力制御においても離散化された論理演算の実装により、誤差電圧に対し瞬時に修正量を算出し、PWM パルスへ反映することができる。また、各 DSP メーカーの努力により、DSP の価格は安価化しており、これまで問題とされていたコストパフォーマンスについても対応しているといえる。以上より DSP を用いたデジタル制御はスイッチング電源制御に十分な能力を有していると考えられたため、以降の章においてスイッチング電源に対しデジタル制御を投下した結果について検証を行い、その有効性について考察を行なう。

### 参考文献

- [1] 田淵：「スイッチング電源」、電子技術, No.15, pp52-57 (1987)
- [2] 清水：「大容量スイッチング電源の並列運転」、'88スイッチング電源システムシンポジウム, No.6 実装・実用化技術 (1988)
- [3] 三吉、河原：「スイッチング電源用フェライトの最近の動向」、日本応用磁気学会誌, No.1, pp11-15 (1996)
- [4] 原田：「スイッチング電源とエネルギーエレクトロニクス」、電子情報通信学会誌, No.9, pp882-886 (1996)
- [5] 五十嵐、高橋：「スイッチング素子1個の単相スイッチング電源入力電流波形改善」、電学論D-117, No.8, pp927-932 (1997)
- [6] 安村：「直交形トランスを用いた自励発振方式共振形コンバータによるソフトスイッチング電源の実用化」、電学論D-115, No.2, pp204-212 (1997)
- [7] 佐藤：「ソフトスイッチングの応用と省エネ効果」、電子技術, No.5, pp19-24 (1998)
- [8] 孫、高野、中岡：「医用X線発生用トランス共振形位相シフトPWMDC-DCコンバータとファジィ学習制御」、電学論D-119, No.8, pp1061-1072 (1999)
- [9] 浜田、孫、中岡：「補助可飽和リアクトルスイッチを用いた非対称ZVS-PWM制御方式高周波リンクDC-DCコンバータ」、電学論D-120, No.2, pp176-184 (2000)
- [10] 清水、松尾：「変形ハーフブリッジ形インバータ回路における入力電流の解析」、電子情報通信学会誌 B, No.11, pp1538-1544 (2000)

- [11] 村田、湯川、二宮：「スイッチング電源用フェライトコアの実用状態に於ける電力損失測定」、電子情報通信学会技術研究報告 No.576, pp39-46 (2005)
- [12] 宮下、蜜沢、軽部、山沢、佐藤：「モード離LISNによる伝導雑音のノイズ源インピーダンスの測定—スイッチング電源の伝導雑音の測定—」、電学論D-124, No.11, pp1376-1381 (2001)
- [13] 佐藤、猪瀬、山沢、安沢、松坂：「ブレーナインダクタの過電流検出とスイッチング電源への応用」、日本応用磁気学会誌, No.4, pp991-994 (2001)
- [14] 宮下：「スイッチング電源の電磁波ノイズ発生・伝播メカニズム」、日本応用磁気学会誌, No.6, pp811-817 (2002)
- [15] 石飛、苗井、宗進、平木、中岡：「高出力マグネトロン駆動用高周波高電圧トランスリンク直列共振形ZCS-PFM制御DC-DCコンバータ」、電学論D-124, No.4, pp352-359 (2004)
- [16] 関根、松尾：「電荷蓄積ダイオードを用いた DC-DC コンバータ回路」、電子情報通信学会誌 B, No.4, pp422-431 (2007)
- [17] 関根、松尾、寺本：「高調波抑制機能を有する AC/DC コンバータ回路」、電子情報通信学会誌 B, No.1, pp74-83 (2007)
- [18] 宮内、下吹越、加藤、鶴見：「圧電横効果を利用した降圧用トランス」、電子情報通信学会誌 A, No.10, pp1699-1704 (1997)
- [19] 竹下：「電流形三相インバータ・コンバータの三角波比較方式PWM制御」、電学論 D-116, No.1, pp106-107 (1995)
- [20] チオエイサイ、近藤：「Walsh関数による三角波比較PWM電圧指令値波形の再生法」、電学論D-120, No.8, pp973-979 (2000)
- [21] チオエイサイ、小林、近藤：「高周波三角波キャリアPWMインバータの電流リップルを用いたWalsh関数に基づく埋め込み型永久磁石同期電動機の位置センサレス駆動」、電学論 D-122, No.8, pp830-837 (2002)
- [22] 佐藤、大森：「マトリックスコンバータ小型化のための三角波比較変調法」、東洋電機技報, No.120, pp1-6 (2009)
- [23] 竹下、臼井、松井：「DSPを用いたスイッチング電源のソフトウェア制御法」、電子情報通信学会誌 B, No.4, pp591-599 (1999)
- [24] 竹上、樋口、中野、富岡、渡辺：「パルス合成技術を用いたデジタル PWM 分解能の改善方法」、電子情報通信学会誌 C, No.7, pp536-546 (2007)
- [25] 岡松、角田、黒川：「DC-DC コンバータのデジタル制御について」、電子情報通信学会技術研究報告 No.25, pp25-29 (2008)
- [26] 田本：「スイッチング電源におけるアナログ PI, PID 制御のデジタル化に関する検討」、高速信号処理応用技術学会誌 第8巻・第1号, pp45-pp53 (2005)
- [27] 田本、曾禰、竹田：「高性能スイッチング電源に対するデジタル電圧・電流制御パラメータ決定に関する検討」、電子情報通信学会誌 B, No.10, pp1299-1311 (2008)

## 3 章 推奨実負荷に対する DSP デジタル制御の有効性

### 3. 1 まえがき

本論文は負荷の性質により DSP プログラム制御の有効性を 3～5 章に記述するが、本章は負荷ガイドライン（推奨）負荷（力率 1～0.9）に対しての有効性、4 章は推奨外の力率への応用性、5 章は負荷急変に対しての効果を論ずる。

電力供給を行う電源には、接続される負荷の機能低下もしくは停止を防ぐ目的から、インピーダンス状態や接続量の変動においても定電圧出力が要求されている。理想的な電源は内部抵抗が“0”あるため、電源出力は負荷電流の影響を受けることは無い。しかし、実電源では、負荷電流増加は、端子電圧の電圧降下の原因となることが広く知られている。そこで、スイッチ部において電圧制御を行い、負荷変動に対し定電圧出力を実現するためにスイッチング電源が広く用いられている。特に、交流出力電源は商用電源に代わり安定した周波数・高品質な正弦波を出力するもので、省エネルギー化への要求から近年利用が拡大している[1]-[5]。

交流電源におけるスイッチング定電圧出力制御には、三角波比較方式[6]-[9]を採用したアナログ制御が適用されてきた。同方式は 2 章にて述べたように、三角波と正弦波の交点から PWM パルスを作成し、波形振幅の変更により PWM パルスを全体的に調節することが容易に行われる。従来、スイッチング電源における高調波電流の発生を抑制及び、試験法を統一するために、接続される負荷には力率（1～0.9）がガイドラインとして指定[10]-[13]されている。三角波比較方式は、このように接続される負荷が想定された条件化において利用されており、蛍光灯負荷や半導体負荷など負荷電流が変化する負荷により、出力波形に歪みが発生した場合、制御回路の対応性の低さから、波形整形制御は行われていない。

そこで、近年では柔軟な出力制御を目的として、ハーバードアーキテクチャを有し高速処理が容易なプロセッサである DSP による電源制御が注目されている。DSP では出力状態取得からオンデューティ出力まで、全動作をプログラムによって取り扱うことが可能であり、自由な高速スイッチングが実現される[14]-[23]。特に、交流波形を構成する PWM パルスは、三角波比較方式とは全く異なったアルゴリズムとして、DSP 内部メモリへ保存された正弦波教師データを基に生成することができる。同方式では制御周期毎に PWM パルスが部分的に調整され、アナログ制御では困難とされていた正弦波歪みの波形整形が容易に行われる。

本章では DSP によるプログラマブル制御に着目し、新しい電圧制御方式の提案及び、出力波形を歪みに対し自動で修正できる PWM 法を検討した。近年では、デジタル負荷などの増加に伴い、ガイドライン[24]-[28]における想定範囲外の負荷が使用され、交流出力波形に歪みが発生するケースが急増し、波形整形に特化した新しい制御法が求められている。波形整形の精度を維持するための PWM スwitchング実装には、PWM に要求される電圧制



御と波形整形機能を分散化することが有効な手段の一つである。アナログ制御により PWM 機能の分散化を実現するためには、電源回路中に新たに電圧制御用スイッチ部を構成する必要があるが、DSP 制御では電源回路保護部である DC/DC 部にて電圧制御を実現することができる。この機能の分散化に伴い、DC/AC 部に実装される新 PWM は、出力波形の歪みに応じてオンデューティを部分的に調節する機能を有する。そこで、本章では DSP によるデジタル制御実用化の第一段階として、電源に対し接続が推奨される負荷力率 1.0~0.9 の実負荷に対し、良好な定電圧・波形整形制御を行うことを目的とした。

### 3. 2 スイッチング電源回路及び制御アルゴリズム

本研究では交流型スイッチング電源におけるオンデューティ制御について、従来用いられているアナログ制御回路に代え DSP を制御コアとしたデジタル制御回路を使用した。各スイッチング素子に入力されるオンデューティは電源出力状態を受け、DSP 内部にて算出され出力される。制御アルゴリズムは DSP のプログラマブル性を考慮しており、三角波などは利用せず、PWM パルスは内部メモリに格納する教師データを基に作成する。このため、教師データの変更により、オンデューティ調節を容易に行うことができる。提案するデジタル制御では、制御回路及びアルゴリズムは制御対象によって変化しない。交流電源・直流電源における定電圧制御は、教師データの変更によって使い分けることができる。

#### 3. 2. 1 制御対象スイッチング電源

スイッチング電源は非絶縁式と絶縁式に大別され、比較的電流容量の大きい電源には、安全性及びノイズ除去の目的からトランスを介した絶縁式が採用されている。交流出力を行うスイッチング電源は、定格容量及び使用目的に応じてフルブリッジ型やハーフブリッジ型など、回路構成は多岐に渡る。本論文において提案する DSP デジタル制御は出力状態に応じて、スイッチング素子に対する制御信号を調節するため、基本的には全てのスイッチング電源を制御対象とすることができる。そこで、交流電源の一例として、実験にはフルブリッジ・絶縁型スイッチング交流電源を使用しており、その回路図は図 3. 1 に、各回路定数を表 3. 1 にそれぞれ示す。同図に示されるように、回路は DC/DC コンバータ(トランスを含むフルブリッジ、以下絶縁部と呼称)及び、DC/AC コンバータ(フルブリッジ)に二分され、前者に対し①~④、後者に対し⑤~⑧の IGBT で構成される。これら IGBT の制御には DSP を用いることにより、DC/DC コンバータにおけるオンデューティの変更、トランス 1 次側・2 次側パルスの同期性や位相を、また DC/AC コンバータでの PWM の新しいアルゴリズムのプログラム変更が容易に可変できる。なお、負荷は提案 PWM 制御の効果を示すために、一般的な交流電源において接続が想定される負荷力率 1.0~0.9 の線形負荷とした。

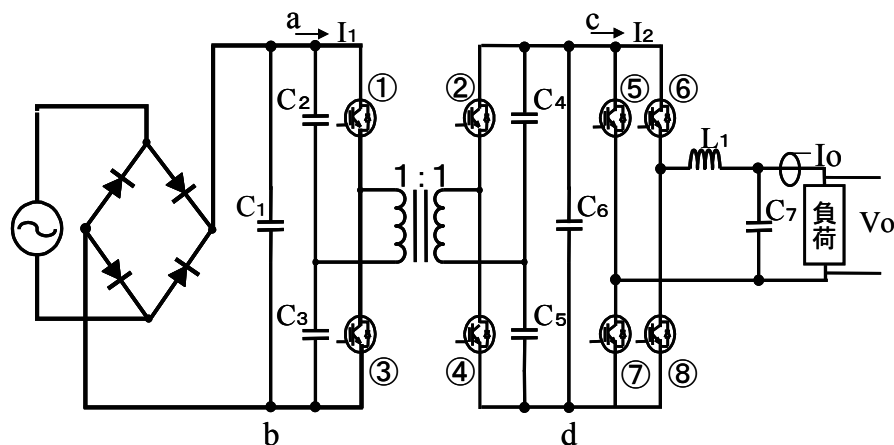


図 3. 1 制御対象回路図

表 3. 1 回路定数

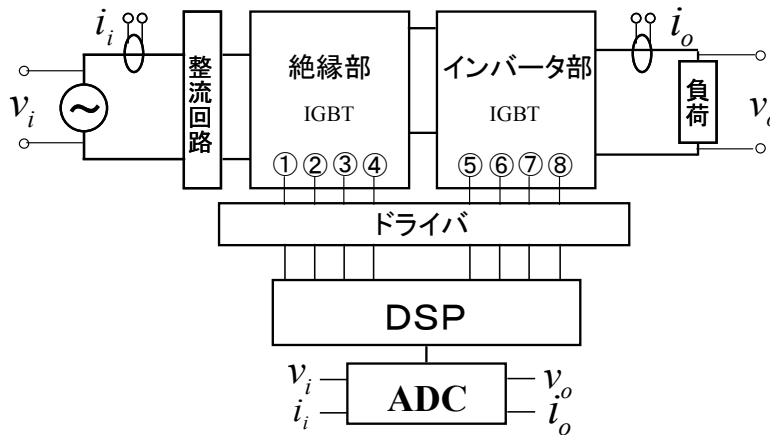
$C_1$	4700 [ $\mu$ F]	$L_1$	500 [ $\mu$ H]
$C_2, C_3, C_4, C_5$	1.88 [ $\mu$ F]	IGBT ①~⑧	MG50J2YS50
$C_6$	6800 [ $\mu$ F]	Load	40 [ $\Omega$ ]
$C_7$	11.25 [ $\mu$ F]		

DSP 制御を実現するための IGBT 駆動や出力電圧及び出力波形の取得に必要なインターフェースの構成を、図 3. 2(a, b)に示す。DSP による制御出力信号と IGBT の駆動電圧の差により直接接続できないこと及び制御回路の保護の理由から、同図(a)に示されるように絶縁機能を有したドライバ回路が必要となる。すなわち、使用した IGBT は駆動電圧 15V であるのに対し、DSP から出力される制御信号が 5 V(低消費 DSP の場合 3.3V)であることと、突入電流からの絶縁のため同図(b)に示すようにフォトカプラを用いた。出力電圧 100V、50Hz の正弦波を維持するためのセンサとして同図(a)に示されるように出力電圧  $v_o$ 、入出力電力の検討のための入出力電流 ( $i_s, i_d$ )及び、入力電圧  $v_i$ をそれぞれ ADC を経て DSP に転送した。

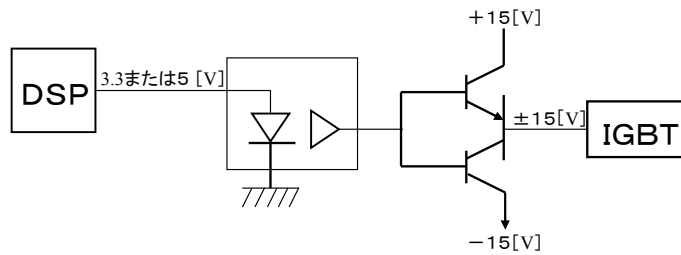
使用した DSP は Analog Devices 社製の ADSP - 2187(16bit 固定少数演算型)とし、20MHz のクロック入力により 1 命令を 25nsec で実行することができる。これを用いスイッチング周波数は最大 10MHz とすることができるが、定電圧制御時における演算時間やスイッチング素子の駆動周波数を考慮して 20~80kHz とした。また、ADC は入力数 4 チャン

ネル 12bit 分解能の AD7874 を用いた。本章では DSP を用いたデジタル制御の実現を目的としており、デジタル制御 PWM についてもプログラマブル性が焦点となる。

そこで、制御コアとなる DSP には、最新の機種に比べると動作周期などについて多少能力の劣る機種を選択している。しかし、2 章に述べた正弦波教師データを用いた新 PWM 方式の実装に対しては、十分な能力を有しており、従来の電源に要求される定電圧制御及び、波形整形は問題無く行われる。前述したように、デジタル制御において制御精度は、制御周期に大きな影響を受けるため、4 章以降に述べる高機能 PWM の実装では、ADSP-2187 の後継機となる機種を選択している。ただし、教師データを PWM パルス生成に用いるアルゴリズムは同様であることを付記する。



(a) DSP 制御回路



(b) ドライバ回路

図 3. 2 DSP デジタル制御ブロック図

### 3. 2. 2 DSP による定電圧制御・波形整形アルゴリズム

IGBT の出力電圧制御及び正弦波形成の制御アルゴリズムを図 3. 3(a、b)に示す。スイッチング周波数とオンデューティ制御は、DSP 内臓のタイマのカウント値をプログラム変更することにより行った。DSP が有する機能の 1 つであるタイマは 1 命令実行毎に設定されたカウント値を減数し、カウント値が 0 になると割り込みを発生し、指定作業を実施する。電源制御においてはオンデューティの切り替えはこの割り込みタイミングで行われ、スイッチング素子へは常に指定通りのオンデューティが入力することができる。

同図(a)に示すこの変更は、制御されるスイッチ部の全てに適用されるため、DC/DC コンバータ部における 1 次側・2 次側の自由なスイッチングもプログラム指定できる。したがって、従来の 50%デューティスイッチングが実現されている DC/DC コンバータのデジタル化、並びに提案する非同期スイッチングも容易である。詳しいタイムチャートは後述するが、その方法は DC/DC コンバータに対し、下記の各方法による出力電圧の制御性を求めた。

- ① 50%デューティ、1 次側・2 次側は同期(従来法)
- ② 50%デューティ、1 次側・2 次側の位相変化
- ③ 2 次側は 50%デューティ、1 次側のオンデューティ変化

なお、③に対し 2 次側のオンデューティを変化させる方法もあるが、結果として、出力電圧は全く変化せず方法の記述からは省略したことを付記する。

一方、DC/AC コンバータにおける PWM スwitchングでは、三角波比較方式に代え出力波形の歪みに対し同図(b)の波形形成アルゴリズムを用いた。DSP による新 PWM は同図に示すように、DSP 内部メモリに保存されている理想波形と出力波形を比較し、波形の歪みの検出を行う。出力波形に歪みが生じた場合、IGBT⑤・⑧及び⑥・⑦のパルスを部分的に調節することで、歪みを修正することができる。従来行われている三角波比較方式では、三角波に対し出力波形を重畳し、三角波振幅の変更により PWM を平均的に修正する。これに対し、詳細については後述するが、離散値にて形成される正弦波教師データを利用して PWM パルスを作成する。同方式では、教師データの形状はそのまま PWM パルスに反映されるため、教師データを一部変更することにより、PWM パルスを部分的に調節することが可能である。なお、以上のスイッチングでは、IGBT の短絡現象を防ぐためのデッドタイムは  $1 \mu \text{sec}$  とした。

以上に述べる 2 スイッチ部における電圧制御及び波形制御は、単一の DSP によって同時に行われており、電圧制御では交流電圧出力前の直流電圧を外部情報として制御を行っている。一方、DC/AC 部 (インバータ) における交流波形整形では、前述したように出力波形を DSP 内部にて目標波形との比較を行い、PWM パルスにおいて波形整形に必要な箇所のオンデューティを調節する。

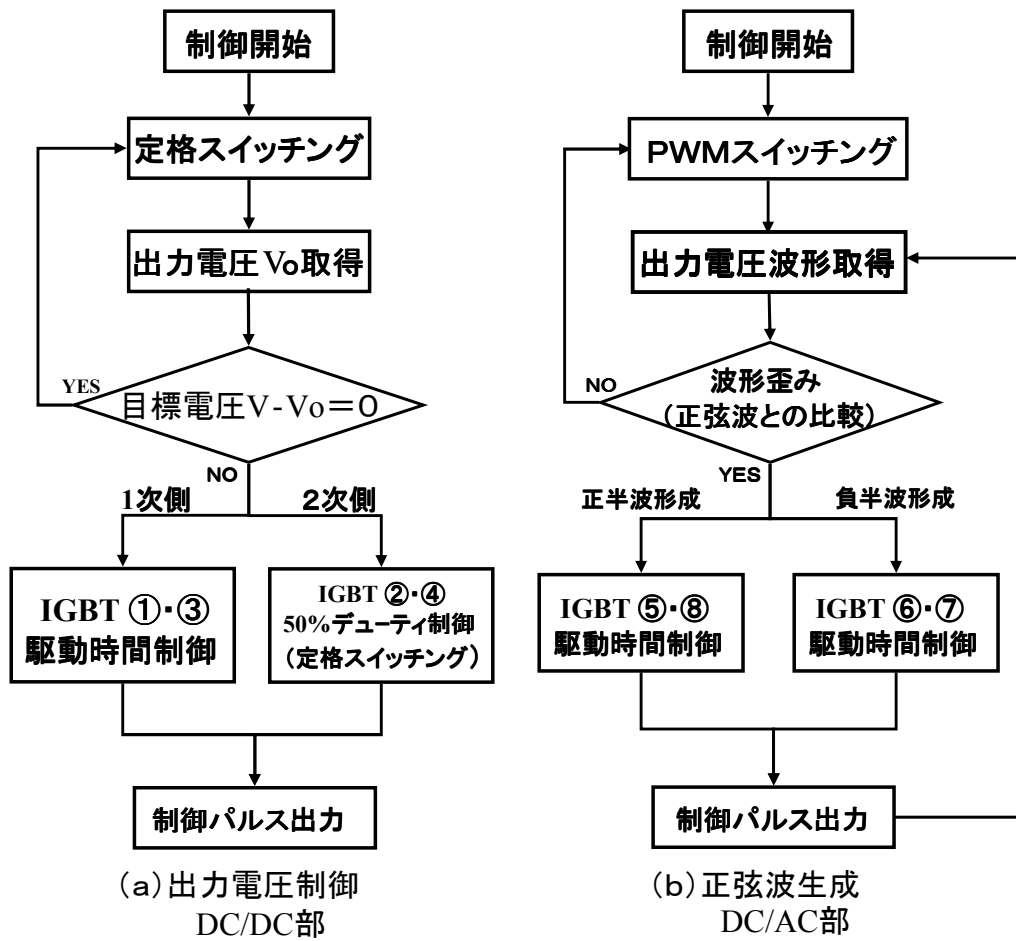


図 3. 3 デジタル制御アルゴリズム

### 3. 3 デジタル制御による PWM 機能の分散化

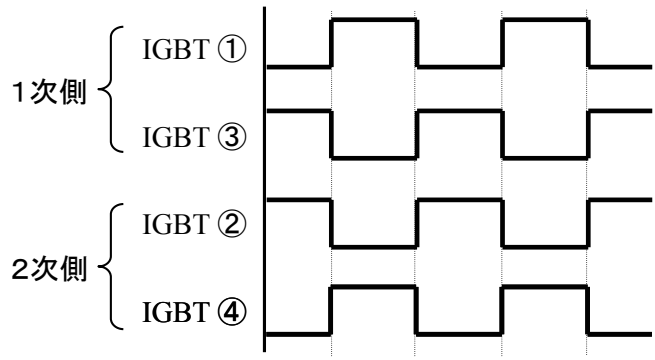
以上に述べたように、DSP を用いたデジタル制御ではプログラム構成により、各スイッチング素子におけるオンデューティを自在に操ることが可能である。これに伴い、従来単調なスイッチングのみを行っていたスイッチ部においても、電圧調整を目的としたスイッチングが可能であると考えられる。また、電圧制御機能を DC/AC 部における PWM 制御から分離することにより、PWM 制御は出力波形制御にのみ専念することが可能となる。そこで、以下ではデジタル制御による DC/DC 部における電圧制御性能が従来制御方式と同様の結果を得ることを確認し、波形整形機能に特化した新 PWM の実装を実現する。

#### 3. 3. 1 DC/DC 部における出力電圧の制御性

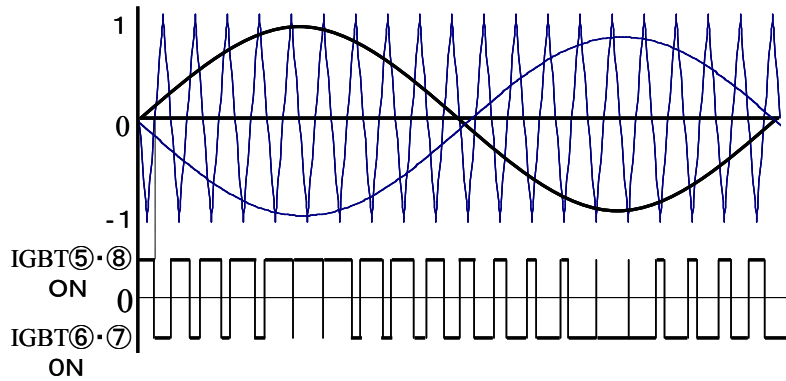
従来のアナログ制御に代え DSP を用い、各スイッチ部を完全デジタル制御した結果を図 3. 4(a, b, c)に示す。同図(a, b, c)には DSP によるソフトスイッチングに置き換えられた従来制御法によるスイッチングパルス及びその結果が、(a)DC/DC 部での 50%デューティスイッチング、(b)DC/AC 部での PWM 制御、(c)20~80 kHz 時における正弦波を維持した電圧変動として示される。従来法と同様の出力結果を得るために、出力電圧制御及び波形制御の両制御とも DC/AC 部における PWM によって実現されている。

同図に示されるデジタル制御化では PWM アルゴリズムについて従来法が適用され、パルス作成には三角波比較方式が用いられている。この方式では出力電圧は三角波に対する正弦波の振幅に依存しており、定格出力時の正弦波振幅を 100%とし、100~0%の範囲において同図(c)に示されるように定格電圧から 0 V までほぼ線形的に制御されている。このように、DSP によるスイッチングは従来のアナログ制御と同様に機能でき、かつ、回路変更なくプログラマブルで自由に変更できる大きな利点を持つ。ただし、ADC によりサンプリングされたデータを離散的に取り扱う DSP 制御の場合では、内蔵された三角波と負荷電圧(正弦波)の値を比較し交点を算出するため、ADC のサンプリング周期及び DSP クロック周期の影響を強く受けることを付記する。

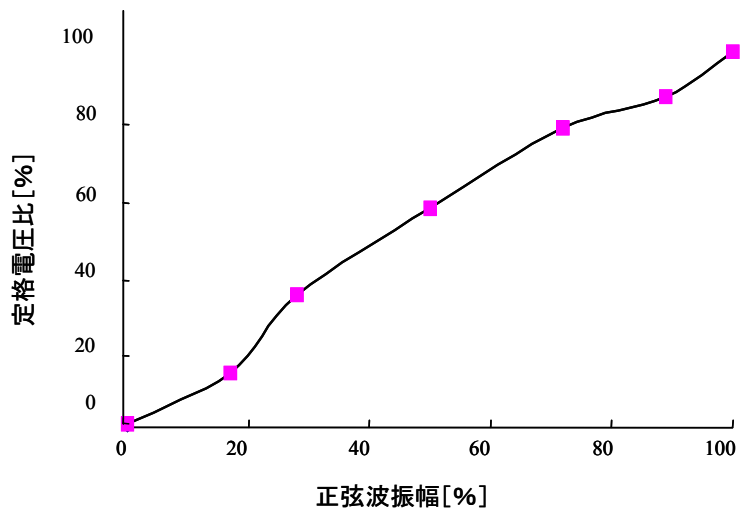
このように従来の制御アルゴリズムに対しても DSP 制御は容易に行われる。しかし、PWM パルス群を全体的に調整する三角波比較方式は、電圧制御を目的としており、波形形成には特別配慮されておらず、同方式を用いて PWM パルスを出力波形の状態に応じて部分的に修正することは非常に困難である。ただし、三角波もデータとして DSP 内部に保管するデジタル制御では三角波の部分的な振幅変更により、波形修正は可能であると考えられる。しかし、本研究において提案する正弦波教師データを用いる方式は、その可変性から、更に波形形成への対応が容易である。また、種々のデジタル制御に関する研究の多くは、DC/AC 部における PWM 制御のみのデジタル化を目的としており、DC/DC 部に対する検討は行われていない。このため、同スイッチ部に対しては 50%オンデューティにてスイッチングを行う制御 IC が用いられていることが多い。これに対し、本論文では新しい電圧制御法として、DC/DC 部において DC/AC 部と同程度の精度による電圧制御を提案する。



(a) 同期スイッチング(DC/DC部)



(b) 三角波比較方式(DC/AC部)



(c) PWMオンデューティ変化による出力電圧変動

図3. 4 DSPによる従来制御方式の実現

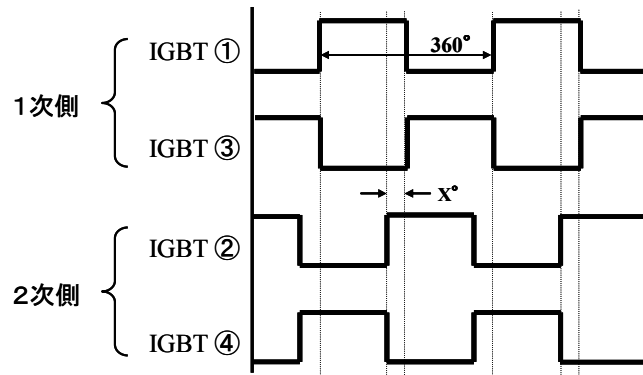
出力電圧制御及び正弦波形成を高い精度に維持するためには、前述したように PWM における機能を DC/DC 部での分散化が望まれる。しかし、アナログ制御では制御回路の複雑化及び三角波比較方式がパルスを平均して調節する理由から、DC/DC 部での位相制御・オンデューティ制御は行われていない。しかし、DSP 制御の場合、スイッチ部全てに対しプログラムスイッチングが計画でき、図 3. 5 (a, b) に示すタイムチャートつくりすることができる。すなわち、2 次側を定格スイッチング(50%デューティ) と固定して、同図(a, b)には DSP 制御により 1 次側で行われるスイッチングが(a)1 次側・2 次側位相制御、(b)1 次側オンデューティ制御として示される。なお、DC/AC 部でのスイッチングは、後述する正弦波教師データを用いた提案法 PWM による定格スイッチングとした。

以上に示した DC/DC 部における電圧制御方式による出力電圧を、図 3. 6 (a, b) に示す。同図(a, b)には提案した制御方式による出力電圧の制御感度として、(a)非同期、(b)オンデューティの各特性が示される。DC/DC 部の 1 次側・2 次側非同期(位相)スイッチングによる出力電圧は、同図(a)において位相差  $0 \sim 20^\circ$  では全く変化しないが、 $20^\circ$  以降急激に低下しており、 $30^\circ$  で出力 0 V を示している。一方、1 次側オンデューティ制御スイッチングにおいて出力電圧は、同図(b)に示されるようにほぼ制御範囲全域にわたって変化している。特に定格付近での特性の緩やかな傾きは、負荷の変動に対し高い精度で電圧調整が行えることを示している。

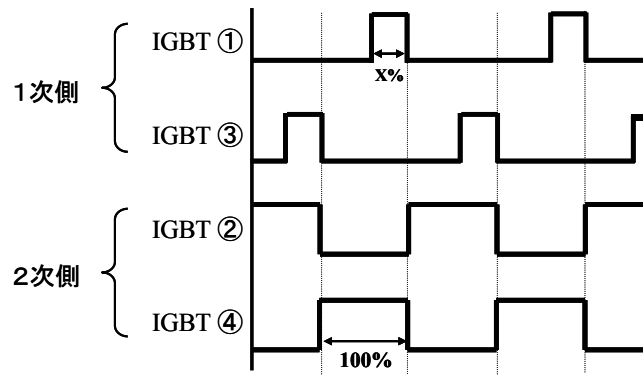
これら 2 種のスイッチング方式は、電圧制御感度の立場から制御範囲が広いことが好ましいため同図(b)の方式が採用される。DSP 内臓のタイマカウンタが用いられ、その最小可変量による可変電圧幅として比較される非同期スイッチングでは位相差分解能は、周波数 20、40、80 k Hz 時でそれぞれ  $0.5^\circ$ 、 $0.8^\circ$ 、 $1.2^\circ$  であり、制御される電圧幅は約 5 ~ 10 V となる。つまり、同制御方式は電圧特性に示されるように、位相制御幅に対し電圧変動が大きく、PWM 制御に代わる電圧制御方法には利用し難い。これに対し、1 次側オンデューティ制御では非同期スイッチングとは異なり、調節される分解能は常に高精度を維持することができ、20 ~ 80 k Hz で 0.5% となり、制御される電圧幅は約 0.6 V となる。これは従来の PWM と比べても十分有効な制御性能であろう。

前述したように、オンデューティや位相等の制御精度はスイッチング周波数ではなく、DSP クロックに依存している。例えば、1 サイクルを 100nsec で実行する DSP では、提案した制御方式をスイッチング周波数 20kHz で行った場合、位相差は  $2^\circ$ 、オンデューティは 2% となり制御電圧幅はそれぞれ 20V、2.4V と劣化する。つまり、2 章において紹介した最新の DSP では、そのクロック周波数の高速性からオンデューティ分解能及び、提案した 2 種のスイッチング方式における制御精度は比例して向上し、さらに複雑な制御を実現する事も可能となる。



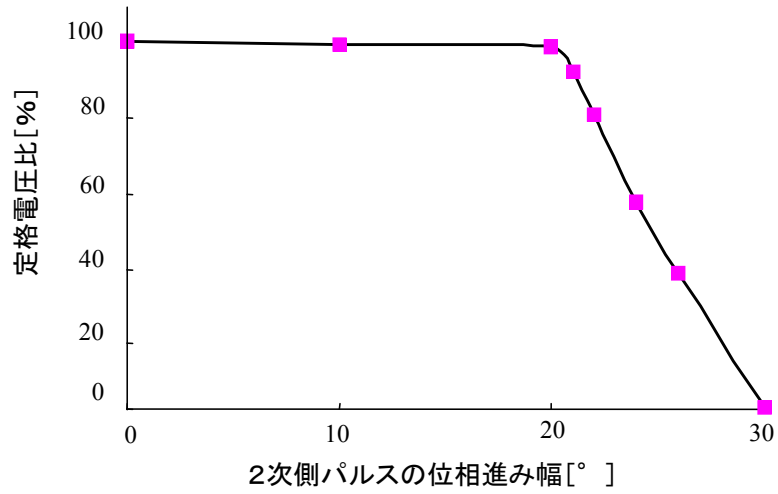


(a) 1次側・2次側位相制御

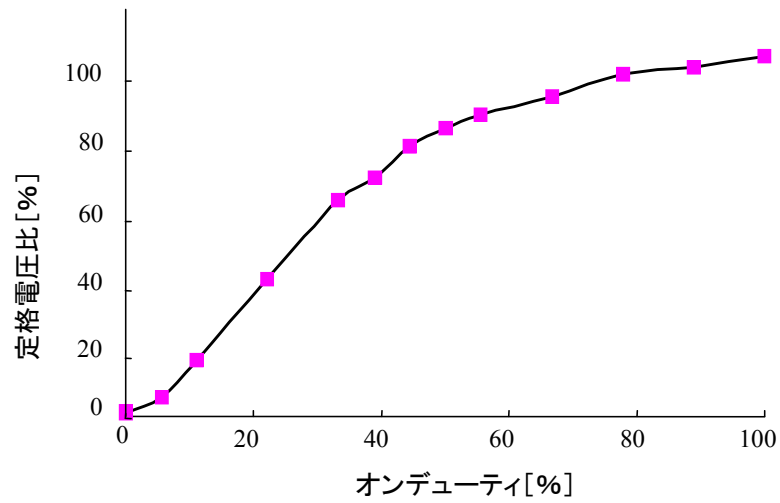


(b) 1次側オンデューティ制御

図 3. 5 DC/DC 部における電圧制御のための IGBT 駆動タイムチャート



(a) 1次側・2次側位相制御



(b) 1次側オンデューティ制御

図3. 6 DC/DC 部における出力電圧制御結果

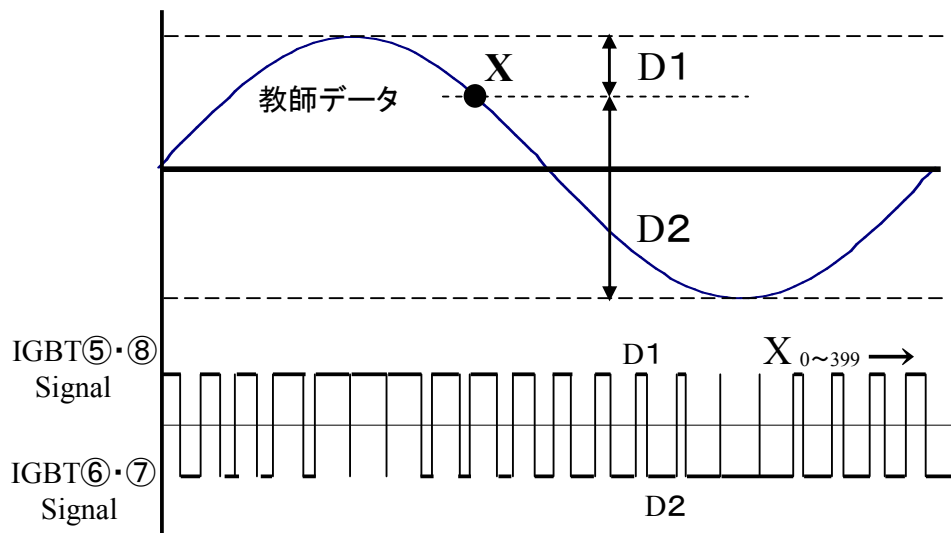
### 3. 3. 2 デジタル制御 PWM スイッチング

2章にて述べたように、交流電源では内部抵抗による電圧降下を原因として、出力波形には歪みが発生し、高品質な正弦波を維持することができない。これに対し、従来 DC/AC 部での PWM スイッチングは、出力電圧制御が主たる目的としており、正弦波の形成は回路の L 及び C からなる平滑化フィルタに依存する。つまり、出力波形の歪みを整形するスイッチング方法は実装されておらず、平滑化回路にて吸収できない歪みを伴う負荷変動に対しては、安定した正弦波を出力することができない。前述したように、近年ではデジタル負荷や蛍光灯負荷など、急速かつ大幅に負荷電流が変化する負荷の利用が進んでいる。

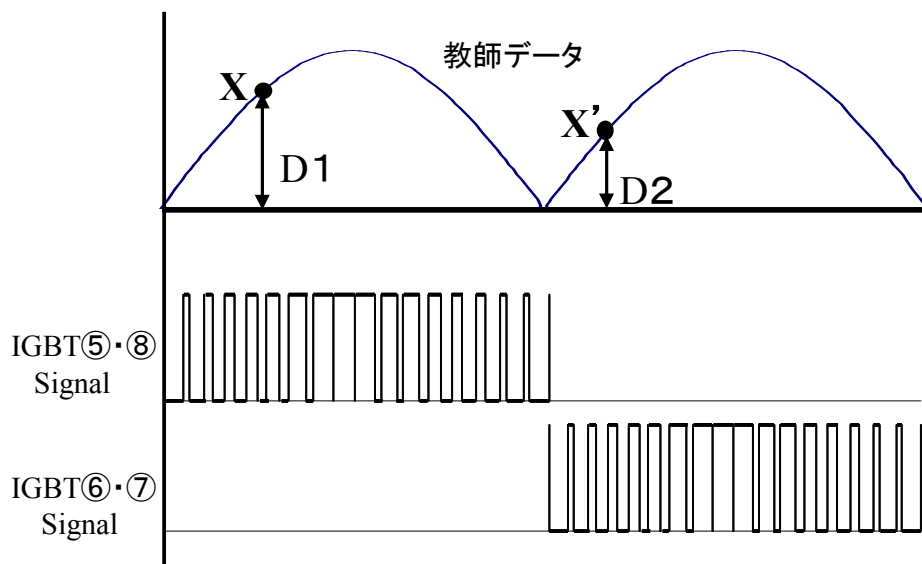
そこで、これらの負荷使用を想定した定電圧制御方式の確立が急務となる。既に示したように DSP 制御では、DC/DC 部における出力電圧制御が実現され、正弦波維持による品質の向上を目的とした種々の新しい PWM 制御を工夫することができる。そこで、従来の三角波比較方式に代え、新しいデジタル PWM 制御のタイムチャートを図 3. 7 (a, b) に示す。同図に示されるタイムチャートの違いは、作成される PWM パルスの極性であり、(a) は一般的な PWM として用いられる両極性方式、(b) は DSP による PWM パルス生成方法によって実現される単極性である。

同図(a)に示すパルス作成方法では、従来の三角波と正弦波に代わり離散値で構成される正弦波教師データを DSP 内に格納し、各値における比率により IGBT⑤・⑧及び⑥・⑦それぞれのオンデューティ  $D1 \cdot D2$  を算出している。この方式では、正弦波データを構成する点数を増加させ、 $D1 \cdot D2$  を多く算出することで、歪みの少ない出力波形を得ることができることが大きな特徴であり、これは制御コアとして利用する DSP におけるクロック及び内部メモリ量に依存する。また、正弦波データを用いる同方式では格納する教師データの形式に伴い、PWM パルスを自在に生成できることが最大の利点であり、後述する単極性 PWM もその特徴を利用した一例である。

同図(a)の両極性 PWM では、DC/AC 部において不要なスイッチングを行うため後述するように効率向上の妨げになると考えられる。そこで、同図(b)に示す方法では2つの半波を用い、それぞれの半波で  $D1$  または  $D2$  のどちらか一方を算出し、残りの IGBT は常時オフとする。この結果作成される PWM パルス、すなわち IGBT⑤・⑧及び⑥・⑦のオンデューティ  $D1 \cdot D2$  は独立した単極性となる。この単極性 PWM は出力波形構成において、不要なスイッチングを行わないことを特徴としており、プログラムによりオンデューティの部分的な調節が行われる。このように、出力正弦波を段階的に形成するスイッチング方式によりダイオード負荷の使用による波形の歪みに対し、歪み部分に対応するオンデューティを自動変更する PWM スイッチングを実現することができる。



(a) 両極性PWM方式



(b) 単極性PWM方式

図3. 7 DSPによるPWMパルス作成アルゴリズム

この提案した 2 種のプログラマブル PWM を利用し、歪み波形に対する修正結果を図 3. 8(a、b)に示す。同図(a)には従来の三角波比較方式、同図(b)には提案 PWM 制御として示す。接続負荷は、電子負荷装置により波形周期内において、負荷電流が変化するように設定した。同図(a)に示すように従来の三角波比較方式では、無負荷状態と定格負荷状態が繰り返しのより、得られる出力波形は正極性で大きく歪みが発生している。同式では、このような出力波形を修正する場合、歪み箇所に対応した PWM パルスに該当する部分のみ、三角波の振幅を変更するか、形状の異なる特殊な波形を用いる。しかし、そのような特殊作業は DSP により三角波を管理する場合では、比較的容易に行われるが、アナログ制御では非常に困難となる。また、三角波比較方式についても、利用可能な特殊三角波の形状には限界があり、同方式を採用した波形整形は柔軟性に欠けてしまう。

この歪み波形に対し 2 種の新 PWM 制御の場合、DSP 内部にて正弦波データと比較が行われ出力波形と理想正弦波が一致するように、オンデューティ生成に用いられる教師データの修正を行う。正弦波教師データを使用する提案法では、PWM パルスの部分修正において、三角波比較方式のような制限は無く、教師データの変更により自由な制御が可能である。この結果、提案法を適用した波形整形では、同図(b)に示すように出力波形はほぼ完全な正弦波を得ることができた。デジタル方式による新 PWM では波形修正は自動的に実行され、格納されている正弦波教師データは常に修正が加えられている。このとき、各制御点における修正量の導出は新 PWM による追従性を確認するために、試行錯誤的に行われており制御点における誤差量などを基にした制御量の算出は行われていない。この制御量の算出方法に関する考察及び他の負荷状態時における正弦波形成については 4 章以降にて述べることとする。

なお、提案した 2 種の PWM は、部分的なオンデューティ調節による波形修正のみならず、従来法と同様に出力電圧制御に利用することもできる。そこで、2 種の提案法を DC/AC 部に適用した場合の、出力電圧の変動傾向を図 3. 9 に示す。提案法は、PWM パルスを部分的に調節することが困難な、三角波比較方式の欠点を補うために正弦波教師データを採用している。提案法は、三角波比較方式の性能も包括しており、正弦波教師データの振幅を変更することで、PWM パルスを全体的に平均して調節することができる。その証明として、単極性・両極性 PWM 時において、出力電圧は同図に示されるように良好に変化しており、これら二種の PWM は電圧制御にも十分有効であると云えよう。しかし、すでに述べてきたように、電圧制御は DC/DC 部で行うこともでき、DSP の実行時間と波形形成の精度を考慮した使い分けを行うべきであろう。

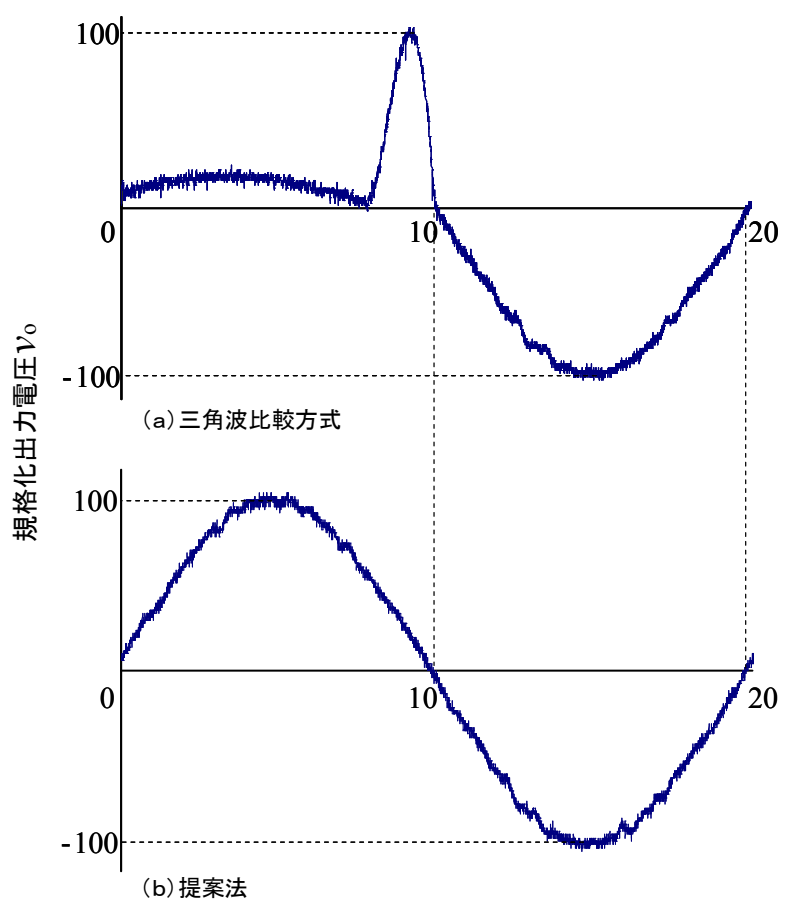


図3. 8 新PWMスイッチングによる歪み波形修正

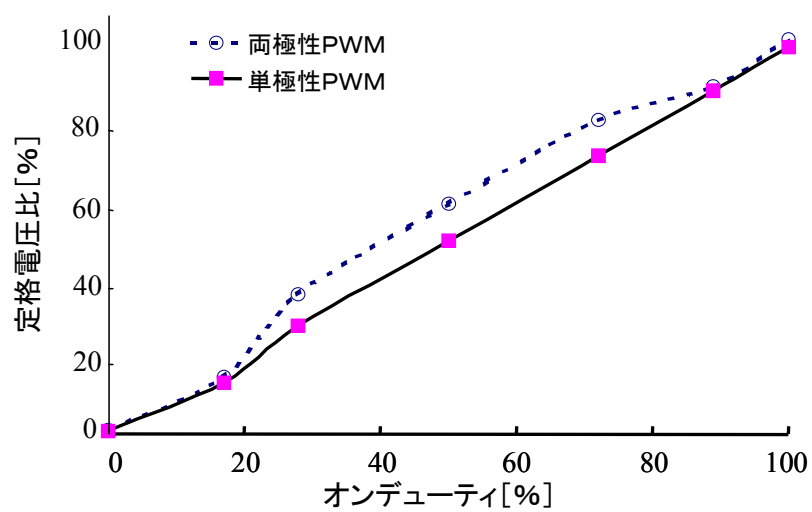


図3. 9 新PWMスイッチングによる出力電圧制御

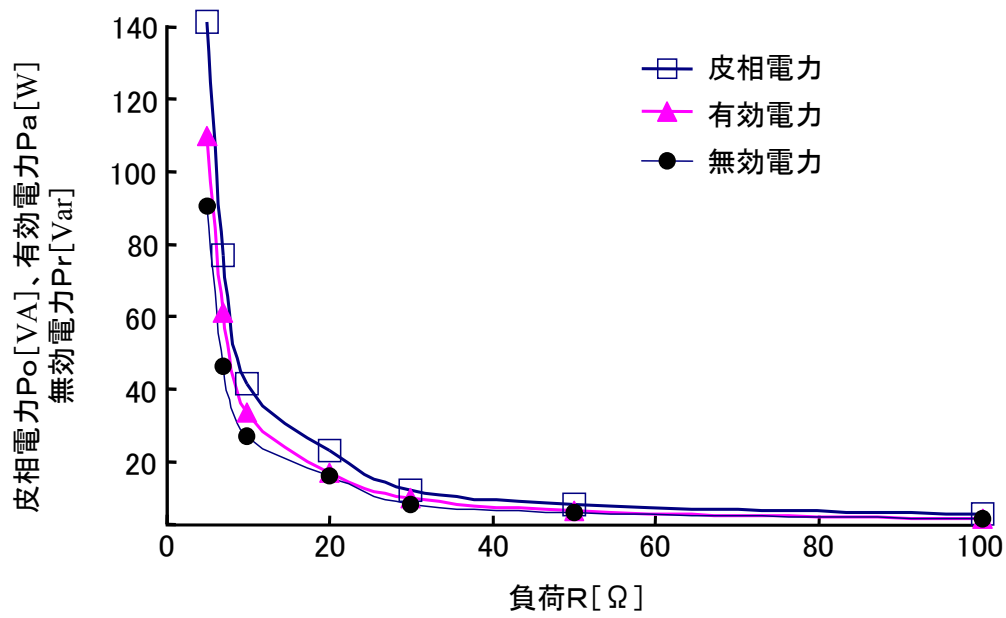
### 3. 4 単極性 PWM による効果

一般的にスイッチング電源の DC/AC 部において用いられる PWM は、波形の安定性を優先し、常に全てのスイッチ素子を駆動する両極性スイッチングである。これに対し、波形形成時に不要なスイッチングを行わない単極性 PWM は、回路内部におけるエネルギーの流れに影響を及ぼすことが古く枯ら指摘されていたが、出力正弦波への影響が心配され実装に至る例は少ない。しかし、DSP による新 PWM では単極性スイッチングにおいても波形修正が行われるため、スイッチング電源への実装が可能となる。そこで、新 PWM による利点の一例として、本節では単極性 PWM 適用による回路内部における電力の変化を、シミュレーション及び実測データから比較し、効率の面から同方式の効果について検討を行った。

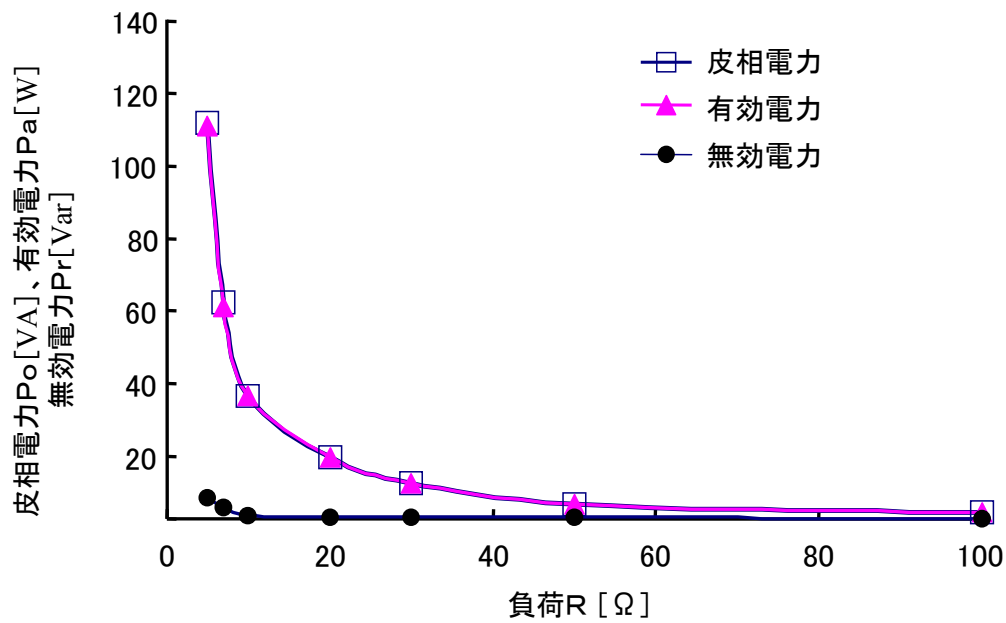
両極性及び単極性 PWM による入力側各電力のシミュレーションでの比較結果を図 3. 10 (a, b) に示す。電気回路における過渡現象などの諸現象は、微分方程式として表現されることが広く知られており、この解法としてルンゲクッタ法が有効である。同図は実験に用いた電源回路において、IGBT⑤～⑧から構成される DC/AC 部に対し 4 次のルンゲクッタ法を適用し、理論的に算出した電力の変化を (a) 両極性 PWM、(b) 単極性 PWM として示す。両極性 PWM 時では、同図 (a) に示すように各種電力が同じく発生し、その変化傾向も同様である。一方、単極性 PWM では皮相電力が減少し、有効電力とほぼ同じ値を示し、無効電力の激減が同図 (b) に示される。この事実は、両極性 PWM による相殺が無効電力の増加に大きく関わっていることが判ろう。

実回路による単極性 PWM の効果を入力側の各電力として図 3. 11 (a, b, c) に示す。同図では単極性 PWM による入力電力の変化を (a) 無効電力、(b) 皮相電力、(c) 有効電力として示す。同図 (a) において皮相電力は両極性に対し単極性により平行移動的に減少している。また、同図 (b) の無効電力は皮相電力と同じく減少しているのに対し、同図 (c) に示される有効電力は変化していない。このように単極性 PWM スwitching の効果として、消費電力は変化することなく無効電力が減少しており、従来制御 (両極性 PWM) では見過ごされていた電力消費が改善されていることが判ろう。この結果、皮相電力に対する有効電力の割合、すなわち入力効率は定格出力時において、両極性時 58% であったのに対し、単極性時では 70% にまで向上した。

以上に述べるように、両極性 PWM スwitching 方式に対し、単極性 PWM は出力波形半波生成時にブリッジ回路において、半分のスイッチ素子のみ導通状態とする。この効果として、導通時における抵抗成分による熱損失を除去することで、電力損失の防止に繋がっている。さらに、無効電力の減少は電源回路中における供給電流の逆流が抑制されていることを示しており、供給電力が効率的に利用されていることを意味している。このように、単極性 PWM への期待は高いが、従来、単極性 PWM は出力波形が不安定であるという欠点を持ち、一般的なスイッチング方式とは言い難い。しかし、デジタル制御により安定した波形出力を維持できる場合、有効なスイッチング方式に成り得ると考えられる。



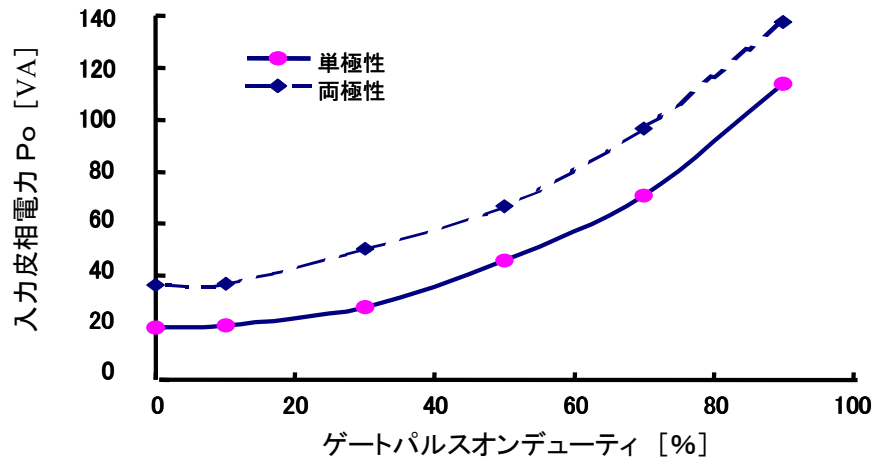
(a) 両極性PWMスイッチング



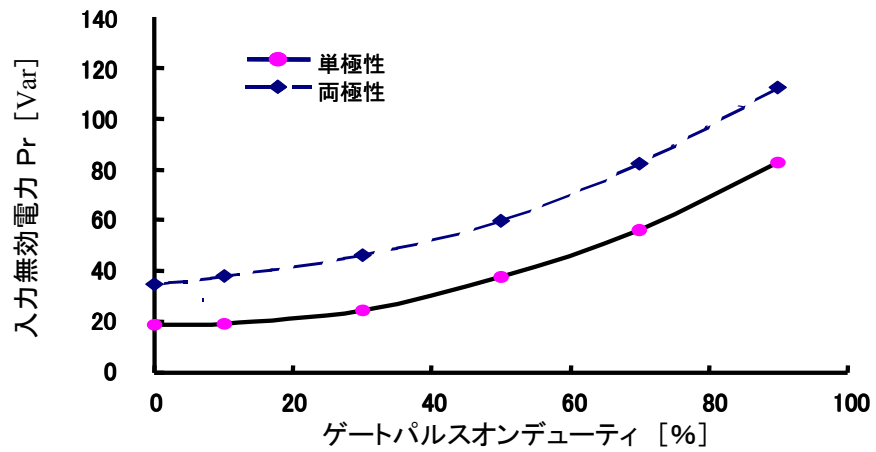
(b) 単極性PWMスイッチング

図3. 10 シミュレーションにおける各電力変化

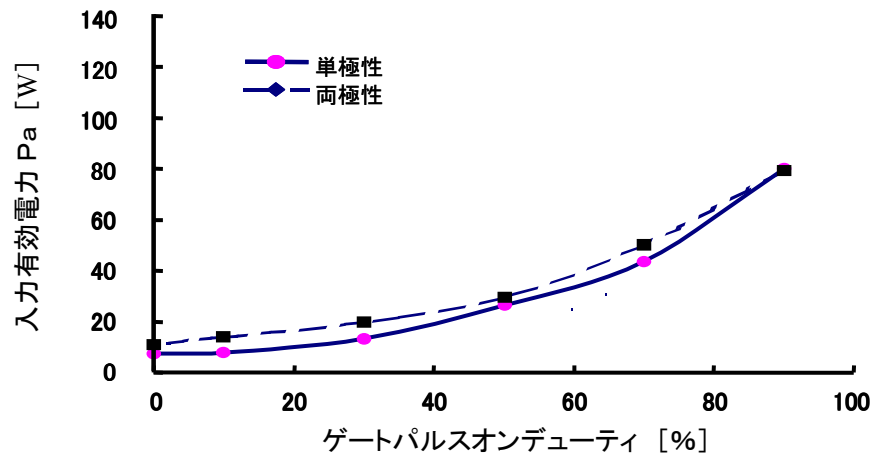




(a) 皮相電力



(b) 無効電力



(c) 有効電力

図 3. 1 1 両・単極性 PWM スイッチングにおける効率比較

### 3. 5 むすび

従来、スイッチング交流電源における、定電圧制御、出力波形形成は三角波比較方式を採用したアナログ制御によって実現してきた。同方式は、PWM パルスの平均的な変調による定電圧制御を、主な目的としており、ガイドラインにおいて指定されていない(負荷力率 1.0~0.9 以外)負荷の接続は想定していない。低力率負荷などの使用時には、出力波形に歪みが発生し、波形整形には PWM パルスの部分的な調節が必要となるが、同方式では対応が非常に困難であり、特にアナログ制御では複雑な制御回路を構築しなければならない。しかし、制御回路の変更では多様化する負荷へ対応できないため、波形制御に特化した新しい制御方式が求められる。そこで、DSP のプログラマブル性に着目し、出力状態に応じて自由にパルスを修正する新デジタル PWM 方式の開発を目指した。

波形整形へ専念する PWM 方式の確立には、従来 PWM 制御により担われていた定電圧制御、波形形成機能を分散化が必要となる。そこで、スイッチング電源の保護部として用いられる、DC/DC 部における電圧制御方法を提案した。この結果、DC/AC 部に実装される新 PWM 方式は、DSP 内部に格納される正弦波教師データを利用するもので、教師データの修正により PWM パルスを自由に扱うことが可能である。そこで、一般的な電源における制御例として、ガイドラインに指定される実負荷使用時に対し、同方式を適用した。この結果、同方式では負荷力率 1.0~0.9 の負荷に対し、高品質な正弦波を出力することができた。また、波形整形能力として、大幅な負荷電流が変動に伴う出力波形歪みに対し、従来法である三角波比較方式では波形整形が行われない一方、提案法では正弦波への波形整形が良好に行われた。

以上に示すようにデジタル制御による新 PWM では出力波形の歪みに対し、整形機能を有しているが、実負荷を想定しているため、負荷力率状態が 1.0~0.9 であることが条件となる。負荷力率が変動した場合、オンデューティ調節による制御応答が変化することから、PWM パルスの部分修正において、動作時間を考慮する必要がある。また、近未来において利用の拡大が予想される高速負荷変動への対応として、俊敏な制御が必要となる。そこで、負荷力率変動時及び高速制御について、本章に提案した新 PWM へ高機能を実装した結果を次章以降にて述べることとする。

## 参考文献

- [1] 田淵：「スイッチング電源」、電子技術, No.15, pp52-57 (1987)
- [2] 清水：「大容量スイッチング電源の並列運転」、'88スイッチング電源システムシンポジウム, No.6 実装・実用化技術 (1988)
- [3] 佐藤：「ソフトスイッチングの応用と省エネ効果」、電子技術, No.5, pp19-24 (1998)
- [4] 孫、高野、中岡：「医用X線発生用トランス共振形位相シフトPWMDC-DCコンバータとファジィ学習制御」、電学論D-119, No.8, pp1061-1072 (1999)
- [5] 関根、松尾、寺本：「高調波抑制機能を有する AC/DC コンバータ回路」、電子情報通信学会誌 B, No.1, pp74-83 (2007)
- [6] 竹下：「電流形三相インバータ・コンバータの三角波比較方式PWM制御」、電学論D-116, No.1, pp106-107 (1995)
- [7] チオエイサイ、近藤：「Walsh関数による三角波比較PWM電圧指令値波形の再生法」、電学論D-120, No.8, pp973-979 (2000)
- [8] チオエイサイ、小林、近藤：「高周波三角波キャリアPWMインバータの電流リップルを用いたWalsh関数に基づく埋め込み型永久磁石同期電動機の位置センサレス駆動」、電学論D-122, No.8, pp830-837 (2002)
- [9] 佐藤、大森：「マトリックスコンバータ小型化のための三角波比較変調法」、東洋電機技報, No.120, pp1-6 (2009)
- [10] EIAJ規格RC-9001(単一出力直流安定化電源通則1981年)
- [11] RC-9141(スイッチング電源試験方法DC-DC 1994年)
- [12] RC-9131(スイッチング電源試験方法AC-DC 1994年)
- [13] RC-9143(スイッチング電源通則 DC-DC 1997年)
- [14] 曾禰、柴田、曾禰、吉野、林、星野：「DSPによる全デジタル制御常時インバータ給電方式UPSの開発」、高速信号処理応用技術学会誌 第8巻・第1号、pp21-pp29 (平17)
- [15] 曾禰、竹田、曾禰：「DSP制御による電力回生電源」、高速信号処理応用技術学会誌 第12巻・第1号、pp31-pp36 (平21)
- [16] 曾禰、光井、飯島、曾禰：「デジタル制御によるインバータ機能の分散化とその効果」、電気設備学会誌 Vol.12, No.6, pp502-509 (平13)
- [17] 曾禰、曾禰、田口：「DSPを用いたデジタルPWMによる交流電源の波形・効率の改善」、電気設備学会誌 Vol.26, No.2, pp129-135 (平17)
- [18] 曾禰、曾禰：「ルックアップテーブル化されたDSP制御回路による低出力直流電源制御」、高速信号処理応用技術学会 Vol.10, No.2, pp60-65 (平19)
- [19] 吉田、曾禰、曾禰：「負荷急変に対するPI制御パラメータのLook Up Tableによる最適化」、高速信号処理応用技術学会 Vol.10, No.2, pp66-73 (平19)
- [20] 竹下、臼井、松井：「DSPを用いたスイッチング電源のソフトウェア制御法」、電子

- 情報通信学会誌 B, No.4, pp591-599 (1999)
- [21] 竹上、樋口、中野、富岡、渡辺：「パルス合成技術を用いたデジタル PWM 分解能の改善方法」、電子情報通信学会誌 C, No.7, pp536-546 (2007)
- [22] 田本：「スイッチング電源におけるアナログ PI,PID 制御のデジタル化に関する検討」、高速信号処理応用技術学会誌 第 8 巻・第 1 号、pp45-pp53 (2005)
- [23] 田本、曾禰、竹田：「高性能スイッチング電源に対するデジタル電圧・電流制御パラメータ決定に関する検討」、電子情報通信学会誌 B, No.10, pp1299-1311 (2008)
- [24] 別荘、安井、中岡：「インバータ電子レンジの高調波対策」、電子情報通信学会誌 B, No.11, pp1528-1537 (2000)
- [25] 坂下：「IEC・欧州の高調波規制と日本の家電・汎用品ガイドライン」、電子技術 No.37, pp8-12 (1995)
- [26] 馬場：「分散型電源系統連系の保護ーガイドラインと保護継電器ー」、電気評論'89 No.11, pp66-69 (2004)
- [27] 進士：「系統連系技術要件ガイドラインの経緯とその内容」、電気設備学会誌, No.5, pp306-308 (1998)
- [28] 日本電機工業会：「汎用半導体交流無停電電源装置(汎用UPS)のユーザーズガイドライン」、日本電機工業会技術資料, No.185, pp12 (1993)

## 4 章 任意の負荷力率変動に対する波形整形の有効性

### 4. 1 まえがき

交流電源は定電圧及び正弦波出力を条件にしているが、半導体負荷など高速(正弦波一周期以内)にインピーダンスの状態が変化すると、負荷電流の変動に伴い電源出力波形に歪みが発生する。そのため、接続される負荷にはガイドラインとして、負荷力率 1.0~0.9 かつ線形負荷であることが定められている[1]-[4]。この推奨負荷に対しアナログ制御では、定電圧出力が実現[5]-[8]されているが、出力波形の歪みに対処が出来ていない。これに対し、前章で述べたように、DSP デジタル制御では定電圧制御と波形制御を分離し、各制御に特化したデジタル PWM を提案の効果を示した[9]。

しかし、近年の負荷は直流用途の増加から整流回路の多用化、さらに、蛍光灯を含む放電灯やデジタル負荷で代表される非線形負荷の普及等により、負荷力率が 0.9 以下となるケースが増加している。負荷力率が変動した場合、高調波電流の発生により出力電圧波形は正弦波を維持できず、歪みを持った波形となる。今後、負荷の性質は非線形化をたどり、電源にはこのような状況においても波形整形が求められると考えられるが、アナログ制御では当然対応することはできない。前章において提案した DSP デジタル PWM 方式は、アナログ制御性能をデジタル制御によって達成しているが、プログラマブルであることから発展性を有している。そこで、近未来電源への高性能化として、任意の負荷力率変動に対し柔軟に対応する制御アルゴリズムの追加実装を行う[10]。

負荷力率が 0.9 以下へ変動した場合、波形整形ではインピーダンス変動に伴う制御応答の変化を考慮して、PWM パルスを調節しなくてはならない。しかし、制御対象であるスイッチング電源の回路定数から、制御システムを事前に構築する一般的な制御方式では、負荷力率に伴う制御応答の変化に柔軟に対応することができない。これに対し、デジタル PWM では、PWM パルスが正弦波教師データと対比しているため、パルスを部分的に調節する以外にも、制御点移動作業がプログラム追加により容易に実現される。このため、推奨外の力率 0.9 以下である負荷使用に対し、制御点の修正により波形整形が行われる。さらに、波形整形結果を監視、制御点のチューニングを繰り返すことにより、負荷力率が変動し続ける場合においても、出力波形の歪み追従制御が可能となる。

そこで、本章では低負荷力率の非線形負荷への対応として、格納される正弦波教師データにおける制御点を随時修正する機能を有した、新デジタル PWM を提案する。提案する新デジタル PWM 方式では、電圧瞬時値の計測後算出される制御量をリアルタイムに出力するのではなく、負荷のインダクタンス成分などの変化に伴う電圧・電流の位相差に応じた時間(50 $\mu$ sec の整数倍)制御点を操作するアルゴリズムを、前章で提案したデジタル PWM 方式に付加している。前章に示した PWM パルスの部分修正に加え、制御点のチューニング作業により、低力率負荷使用に対しても出力波形は正弦波を維持することができた。なお、本章において新機能を追加したデジタル PWM は、前章に示した機能も当然維持して

おり、推奨負荷に対しても良好な制御を行うことを付記する。本章に述べる新 PWM 方式は制御点のチューニング機能の実装を目的としているため、負荷急変への対策は5章にて検討するものとする。

#### 4. 2 負荷力率変動を考慮した新 PWM アルゴリズム

本章で提案する新 PWM は推奨外負荷への対応として、負荷力率が変動した場合の出力正弦波の歪みを整形する。そこで、出力電圧及び出力電流の位相差検知を行い、教師データより PWM パルスを作成する際に、最適な修正点を選択する機能を実装する。本機能の実装において、使用する制御回路は前章に示した DSP をコアとして、ADC より出力電圧・電流を取得するデジタル制御回路がそのまま用いられ、機能追加はアルゴリズムの考案及びプログラムの工夫によって実現される。なお、制御対象とするスイッチング電源回路は前章に示した回路を使用しており、出力電圧は DC/DC 部における一時側オンデューティ制御によって制御されていることを付記する。

負荷力率変動を考慮したデジタル PWM のアルゴリズムについて図 4. 1 (a, b)に示す。改良型正弦波生成用アルゴリズムのフローチャートを同図(b)に示し、前章における旧提案法を参考までに同図(a)に示す。同図(a)に示されるデジタル PWM では発生する出力波形歪みに対し、波形修正は DSP 内部に格納される正弦波教師データにおいて、出力電圧に対応した箇所が変更され、生成される PWM のオンデューティもこれに応じて調節される。推奨負荷として、負荷力率が 1.0~0.9 の範囲で電源回路定数が固定されている場合は、スイッチング電源における系の遅れ時間が一定であるため、有効に機能する。

L1,C7 フィルタを始めとする回路内のアナログ素子及び負荷力率による制御応答の遅れが発生した場合にはこれを考慮し、制御を行う時刻を適切なタイミングで教師データを変更、つまり PWM パルスを調節せねばならない。しかし、これまでのデジタル PWM 方式では回路構成の変更や、負荷のインダクタンス、キャパシタンスが変化した場合のチューニング機構が無く柔軟に対応することが難点であった。これに対し、同図(b)では、制御結果の監視を行うプログラムを挿入する事により、理想値と計測値との偏差を修正する制御信号の出力する制御時刻の変更(チューニング)を行うことができる。提案法では負荷力率変動時において、出力電圧・電流の位相差検知により波形修正を行う際、教師データによる PWM パルス修正点の変更を行う。任意負荷力率への対応として、制御点の変更は 1 サンプルリング (50 $\mu$ sec) ずつ行い、出力波形と理想値との差が所定の誤差になるまでチューニングを繰り返す。

この機能により、制御対象電源回路の変更や、接続負荷の状態変化に追従制御が可能となり、例えばインダクタンスの追加などによる回路構成の変更や力率変動に対しても柔軟

に対応することができる。なお、修正される出力波形の歪み率はプログラムに与える閾値により決定される。提案法についても機能は全てプログラム化されていることから、制御量及びチューニングの分解能は制御に使用する DSP の速度及び ADC の性能に大きく影響を受けるが、追従制御により出力波形の修正は常に繰り返されるため、高い精度で波形制御が実現されると考えられる。そこで、本報告での歪み率はインバータ電源の工業規格である 3% を十分に下回る 2% 前後を目標としている。

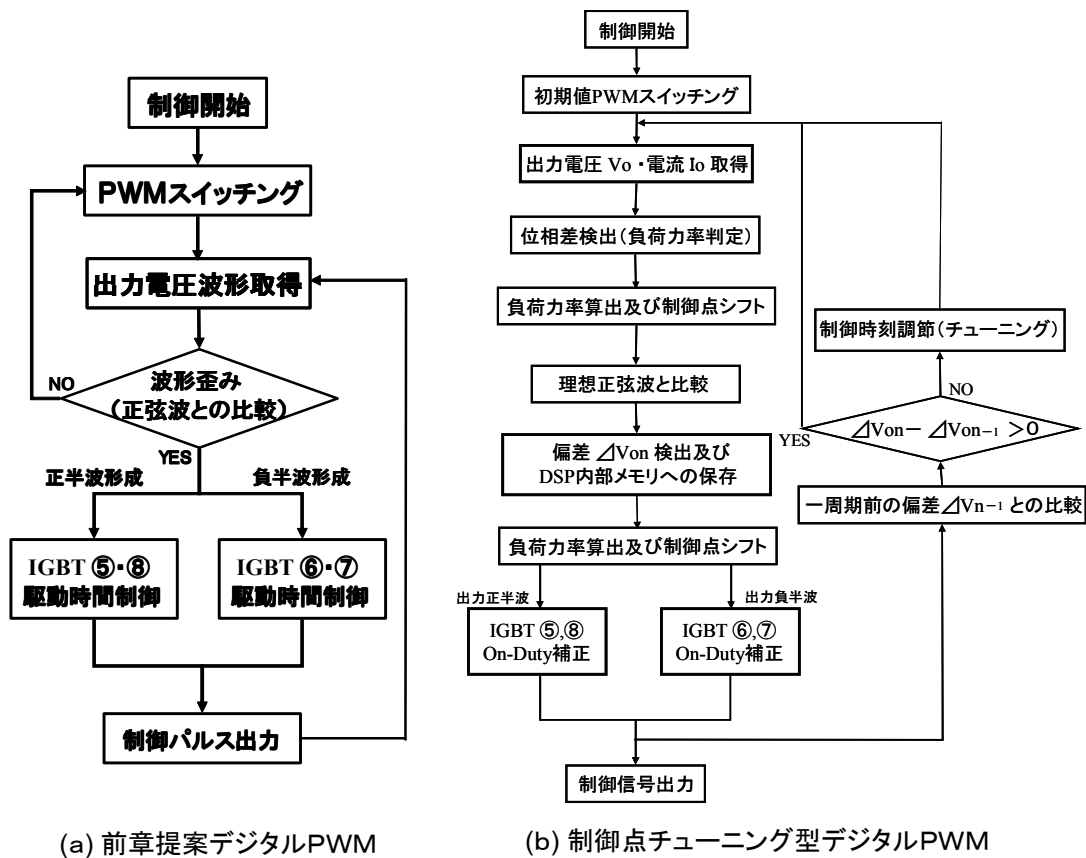


図 4. 1 負荷力率変動を考慮したデジタル PWM

#### 4. 3 種々の負荷力率に対する波形追従制御

前述したように、従来 DC/AC 部における三角波比較方式による PWM では、定常負荷に対しては安定した波形が出力される。しかし、同方式では実負荷の使用に伴う負荷力率の変動による出力波形の歪には、PI 制御コントローラや平滑化フィルタ等により対応しているが負荷力率の大幅な変動への対応が困難となる。これは DSP を用いたデジタル制御による三角波比較方式でも同様であり、その出力波形を図 4. 2(a, b, c, d)に負荷力率(a)1.0、(b)0.85、(c)0.60、(d)0.50 として示す。各結果に示される波形は平衡状態に達した後であることを付記する。

同図の波形を出力する三角波比較方式 PWM は PI 制御などの補修制御を搭載せず比例制御のみを行っているため、負荷力率が 1.0 の場合には、歪み率の小さい(1.85%)一定振幅の電圧を出力するが、負荷力率を 0.85、0.60、0.50 と変えた場合、同図(b, c, d)に示されるように力率の変動に伴い、高調波成分を含んだ歪み波形となる。これらの歪み波形を修正するためには、歪みが発生している箇所に応じて PWM パルスを部分的に調節する必要があり、低力率の接続負荷に対しては制御点についても制御応答の遅れ時間を考慮する必要がある。

前章におけるデジタル PWM では実電源で使用が推奨される、負荷力率 1～0.9 の線形負荷を想定しており、各出力サンプリング点に対し制御する PWM は固定されている。このため、負荷力率が変動した場合において出力は振動波形となり、出力波形の形成は良好に行われず図 4. 2に示される従来制御方式と同様に正弦波を得ることが不可能となる。これに対し、提案法では電圧・電流位相差(力率)に応じて力率 1 時の修正量を次制御へ適用する遅れ制御を適用した。さらに、制御時刻変更による制御結果を電圧偏差から監視し、負荷力率変動に追従して波形制御を行う。なお、プログラム中において指定される電圧変動幅の閾値内に出力波形が収まった場合には制御完了として、位相差に対するチューニング量は DSP 内部メモリへ保存され、以後同様の負荷力率が検出された場合には保存された値を使用することで即応性を高める。

提案法での PWM 部分制御について図 4. 3(a, b)、図 4. 4(a, b)はそれぞれ、両極性 PWM 及び単極性 PWM として DC/AC 部におけるオンデューティの制御モデルを示している。各図において(a)は標準時であり、観測電圧  $V_o$  が理想正弦波に近い場合のパルス幅を示す。一方、(b)は観測電圧と理想電圧の間に偏差(電圧変動)がある場合である。電圧変動と判断された時点でオンデューティは負荷力率に関係なく偏差に応じて調節され、電圧・電流位相差検出時には対応して遅れ制御が適用される。制御信号から出力電圧変動への応答の遅れは負荷力率により異なるため、制御結果の監視制御を常に行い、必要に応じて制御時刻をさらに 1 サンプル変更することで各力率へ対応している。(例えば、負荷力率 0.6 時は 150 $\mu$ sec 制御時刻を変更。)



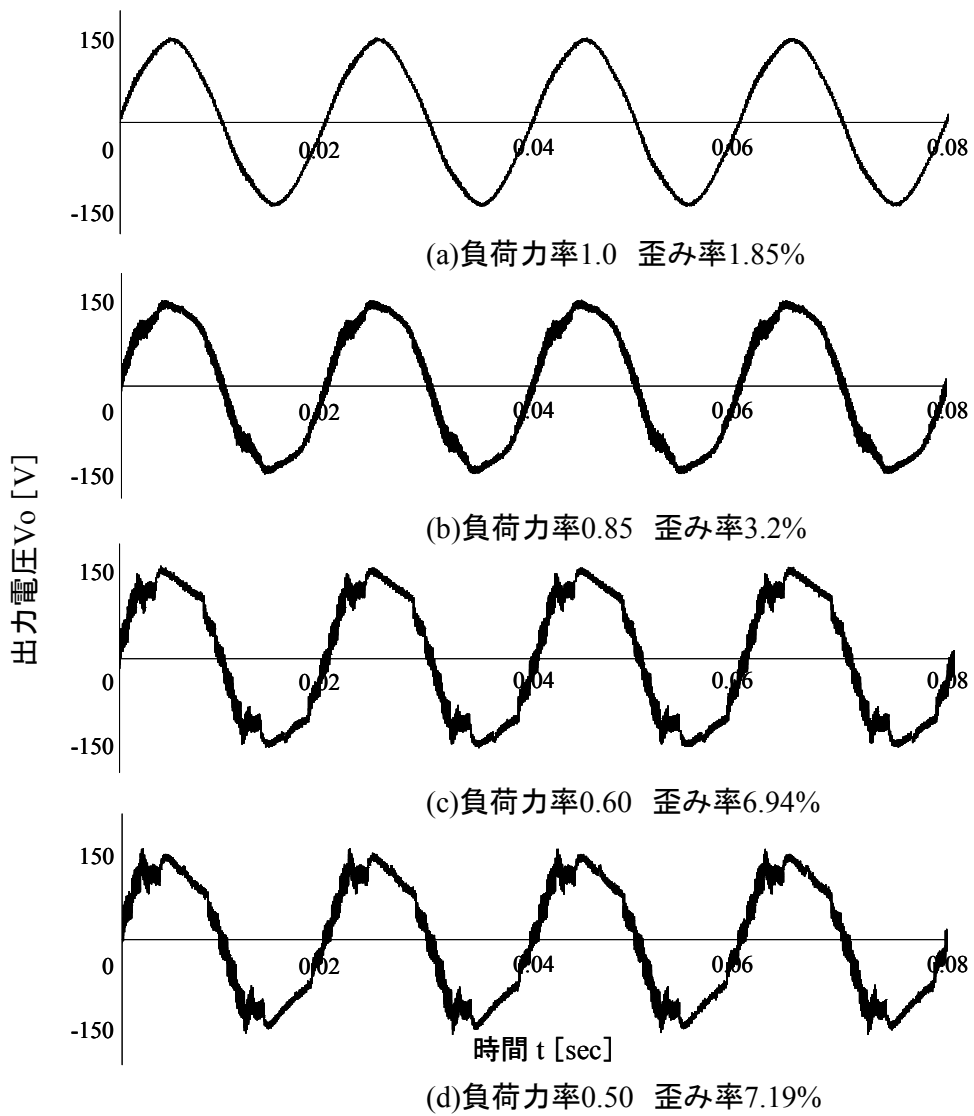


図4. 2 三角波比較方式PWMによる負荷力率変動対応

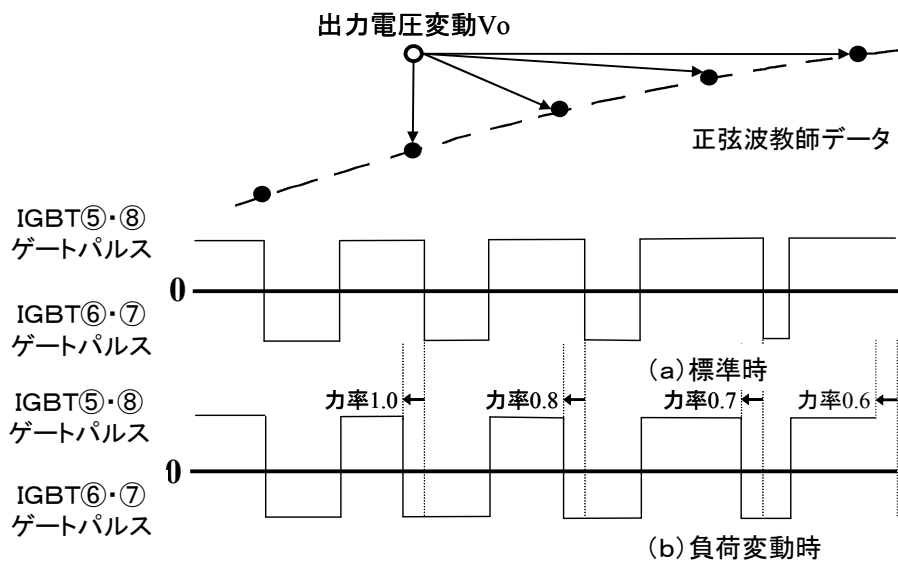


図4. 3 両極性デジタル PWM による制御モデル

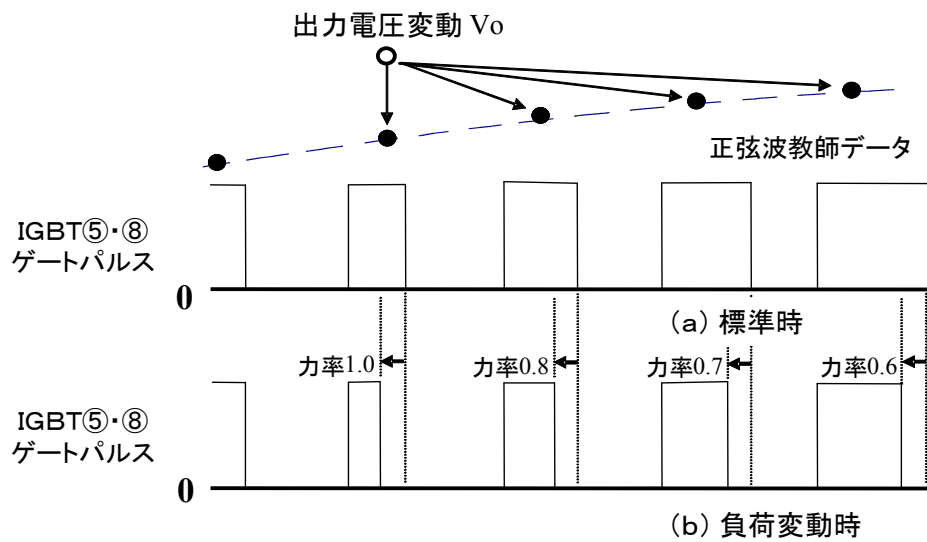


図4. 4 単極性デジタル PWM による制御モデル

力率変動時における、提案法による電圧制御結果を図4. 5(a, b, c, d)に示す。同図には両極性による新デジタルPWMによる成果として、負荷力率が1.0から0.5の範囲で変化した場合に対する出力電圧波形の形成制御結果がそれぞれ示されている。同図は図4. 2に示した従来制御方式適用時の出力波形と同様の負荷力率に対する出力波形となっており、力率0.5の場合においては従来法における歪み率が7.19%であったのに対し、提案法では1.59%と大幅に改善されている様子が示されている。波形制御による歪み率は負荷力率1.0から0.5の範囲においても常に2%未満を維持しており、振動波形となっていた従来法に比べ良質な正弦波を出力していることが分かる。

この結果は、本章において提案した新PWMによる制御点のチューニング作業が、良好に作用していることを示している。交流電源における出力波形は、波形の持つ歪み率によって評価されるため、提案法では工業規格によって定められる3%を下回る2%を目標とした。DSPデジタル制御では、ADCを介して取得される出力波形は瞬時電圧として、正弦波形と比較され誤差が検出される。波形整形は、初期設定において指定する電圧閾値内に誤差が収まるまで継続され、全ての瞬時電圧が閾値内誤差となった時点で制御完了としている。このため、同図に示されるように、提案法による波形整形結果では、全ての負荷力率に対し、ほぼ同じ歪み率の波形を出力することができる。

現在、交流電源に指定される工業規格は、ガイドラインにおいて推奨される負荷を対象としたものである。しかし、前述したように、近年では非線形負荷やデジタル負荷、高速変動負荷などの利用が拡大しており、高品質な正弦波の出力維持が困難となる。一方、電子機器の精密化が進み、駆動電圧の低下から、交流波形には僅かなリップルを含むことも許されない。そこで、次世代の交流電には、さらに高品質な正弦波が要求されることが予想される。これに対し、提案するDSPデジタル制御では、歪み率は電圧閾値を低く設定することで、さらに向上することが可能である。また、電圧閾値はプログラムによって指定されるため、負荷の仕様に合わせ歪み率を自由に変更することもできる。提案法では、出力電圧・電流波形の位相差より得られる各負荷力率における、波形整形完了時の制御点のチューニング量をDSP内部メモリへ保存する。これにより、一度制御した負荷力率に対しては、チューニングを試行錯誤するのではなく、即時対応することが可能となる。

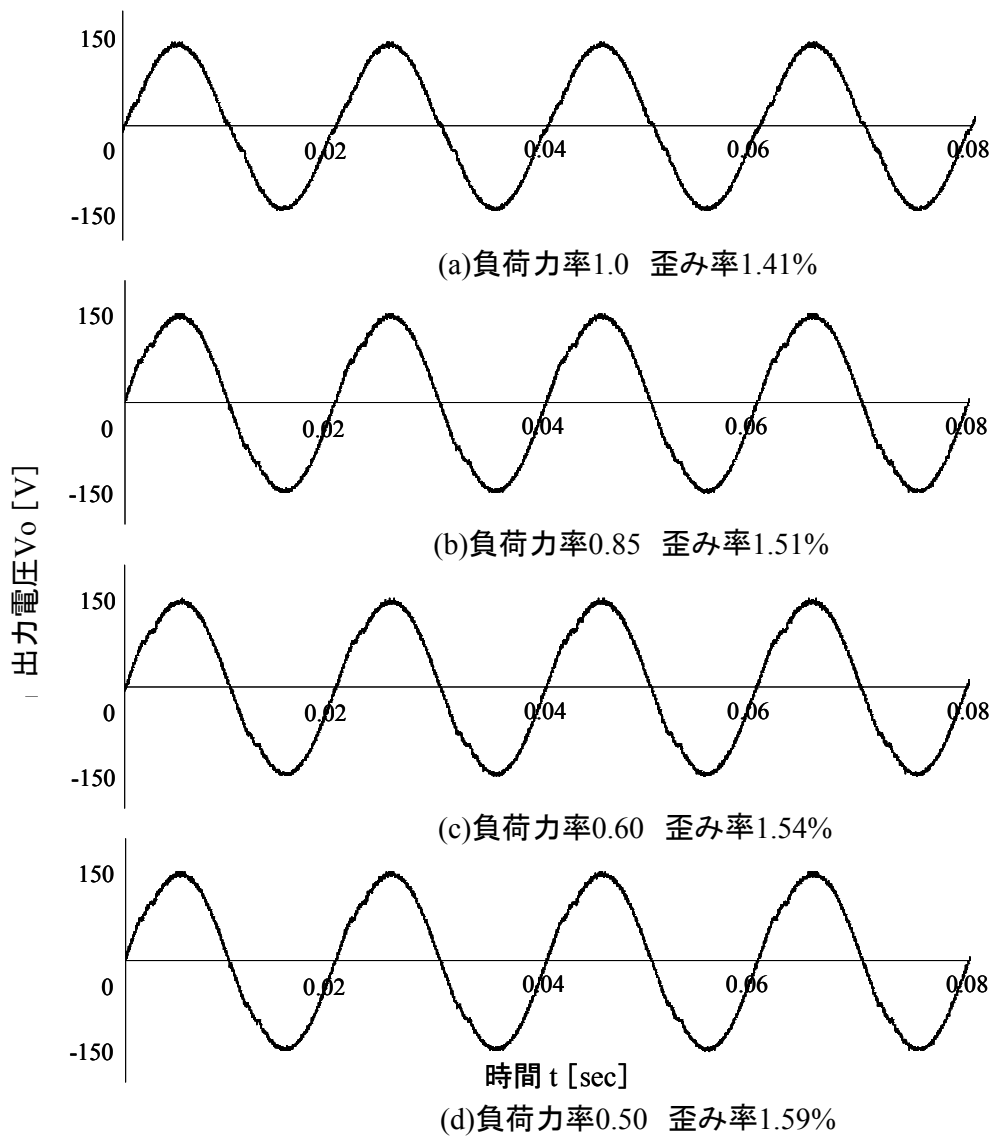


図4. 5 提案法(両極性 PWM)による負荷力率変動対応結果

上記に得られる制御結果は出力波形の安定出力が困難とされている単極性 PWM 方式においても同様に改善される。そこで、単極性 PWM による力率変動時の出力波形制御結果を図 4. 6(a, b)に示す。同図には制御結果の一例として、定常時(力率 1.0)に対し負荷力率の変動による波形の歪みが最も大きく発生する場合における出力波形が(a)力率 1.0、(b)力率 0.5 として示されている。同図に示されるように、単極性 PWM においても出力波形は安定した正弦波を維持しており、歪み率も過酷な条件である力率 0.5 に対し 2.08%を実現している。提案法による波形制御結果では歪み率は力率の変動により多少の変化が見られるが、基本的に一定の制御性能を維持している。

そこで、提案法を他の力率負荷に対して使用した場合における歪み率の推移を図 4. 7に示す。同図は各負荷力率に対する歪み率を示すもので、従来法である三角波比較方式を用いた PWM では力率が変化するに連れて歪み率が大きく悪化しているのに対し、提案法を採用した両極性・単極性各 PWM 制御では歪み率が常に同じ値を得ていることが分る。提案法における制御性能は前述したように、プログラム中に初期設定する出力電圧変動閾値によって決定されるため、この閾値をより低く設定することで同図に示されるデジタル PWM の歪み率特性はさらに向上することができる。しかし、過度に閾値を小さく設定すると、DSP は制御周期毎にチューニングを繰り返すこととなり、出力波形の安定までに要する制御時間が長期化してしまう。このため、実電源において本制御方式を採用する場合、目標歪み率(本報告の場合は約 2%)に応じた閾値を設定することが重要となる。

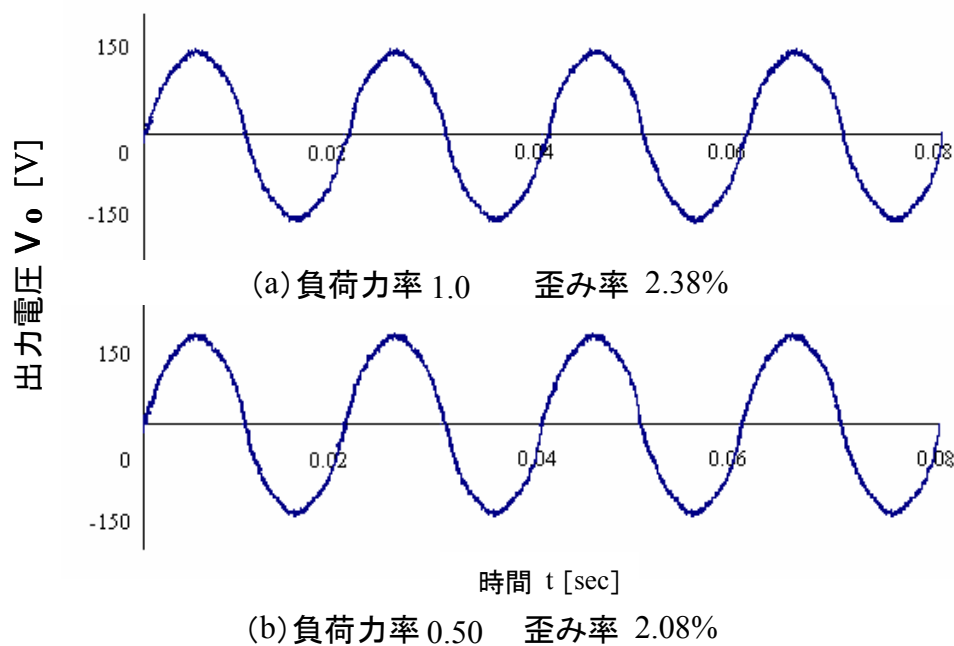


図 4. 6 提案法(単極性 PWM)による負荷力率変動対応結果

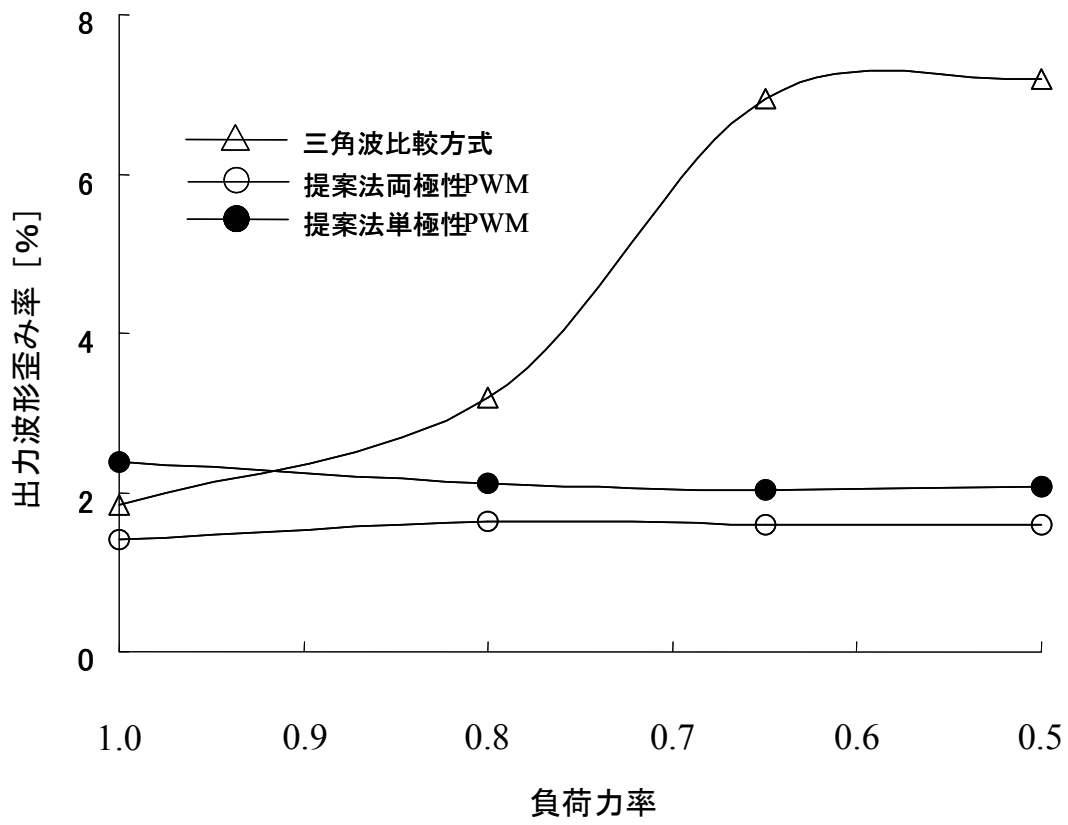


図4.7 負荷力率に対する歪み率推移

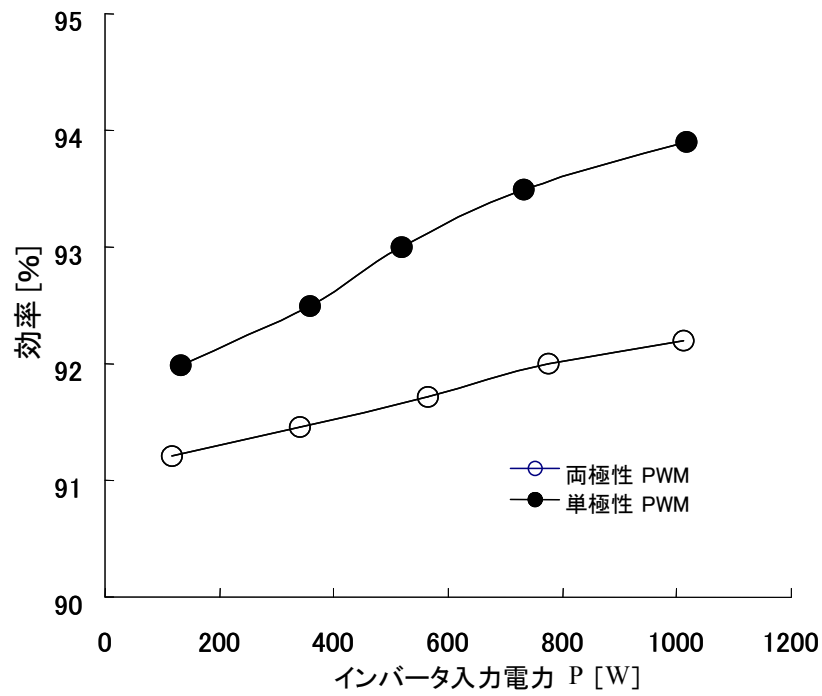
#### 4. 4 単極性 PWM による電力効率改善

前節に示したように、新アルゴリズムを搭載したデジタル PWM ではパルスの部分修正が行われるため、DC/AC 部において両極性 PWM 及び単極性 PWM を自由に選択することができる。通常、両極性 PWM は波形整形に対し極めて有利であるが、デッドタイムの存在により電力効率が低下する欠点を持つ。これに対し、単極性 PWM ではゲートドライブを交互に行いデッドタイムを除去するため高効率化が見込まれる。そこで、スイッチング方式による電力効率の変化として制御対象としたスイッチング電源における、DC/DC 部及び DC/AC 部から出力部への入出力電力の関係を図 4. 8(a, b)に示す。同図には両極性 PWM・単極性 PWM 適用時における各スイッチ部からの電力効率の比較が(a) DC/AC 部 - 出力部、(b) DC/DC 部 - 出力部として示される。

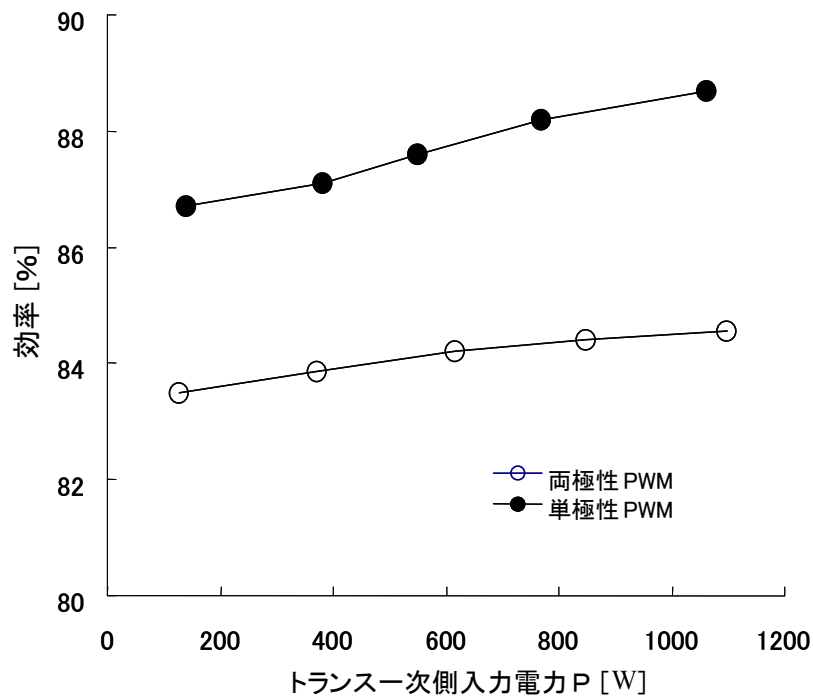
従来法である両極性 PWM による電力効率は、同図(a)に示されるように DC/AC 部において約 92%を示している。ここで求められる電力損失の要因には、回路に用いられている IGBT 内部抵抗(0.1Ω)による熱損失及びコイルにおける熱損失があげられる。このため、不要なスイッチングを削除した単極性 PWM では逆流電流の抑制及び IGBT によって消費される熱損失半減により電力効率は 95%と向上している。また、同図(b)に示される DC/DC コンバータ部を含んだ全体電力効率では両極性方式において 83%となる。DC/DC コンバータ部における電力損失要因については IGBT での熱損失以外にトランスにおけるヒステリシス損が 26W となっている。これに対し単極性方式において電力効率は 88%となり、インバータ部に比べさらに電力効率が向上していることを示している。この原因として、両極性 PWM による逆流電流の影響が考えられる。

両極性 PWM では、IGBT⑤・⑧及び⑥・⑦を常に駆動するため、IGBT⑤・⑧による正半波構成時においても L-C フィルタには、IGBT⑥・⑦の駆動時間によって逆方向の電流が流れる。この IGBT⑥・⑦の駆動時間において L に蓄えられたエネルギーは、デッドタイムで IGBT 内部に並列接続されたダイオードを通じて主電源方向に流れることになる。この現象を確認するため図 4. 9(a, b, c)に制御対象電源回路図に示す回路の一次側電解コンデンサ C1 より DC/DC 部に注入される電流 I1 の波形及びスイッチング方式の違いから求められる逆流電流を示す。同図(a, b, c)において、(a, b)はそれぞれ両極性 PWM 及び単極性 PWM を DC/AC 部に適用した際に一次側電解コンデンサに流れる電流波形を示している。

また、同図(c)には単極性 PWM 時における波形を基準とし、両極性 PWM による逆方向電流成分が差として示される。同図(a)両極性に示されるように、電流 I1 は零点付近において一部負荷方向とは逆極性の電流が発生しており、一次側電解コンデンサに流れ込んでいる様子が示されている。一方、同図(b)に示される単極性時では電流波形は正方向(負荷方向)のみに流れている。以上に示される二つの波形の差を算出すると同図(c)に示されるような負の電流が得られる。この負極性電流により一次側電解コンデンサ電位が変化し、DC/DC コンバータ部に影響を及ぼしていると考えられる。このように、単極性 PWM では負荷から要求された電力のみを供給するため、高い電力効率を実現することができる。



(a)DC/AC部 電力効率



(b)DC/DC部及びDC/AC部 電力効率

図4.8 PWMにおける電力効率比較



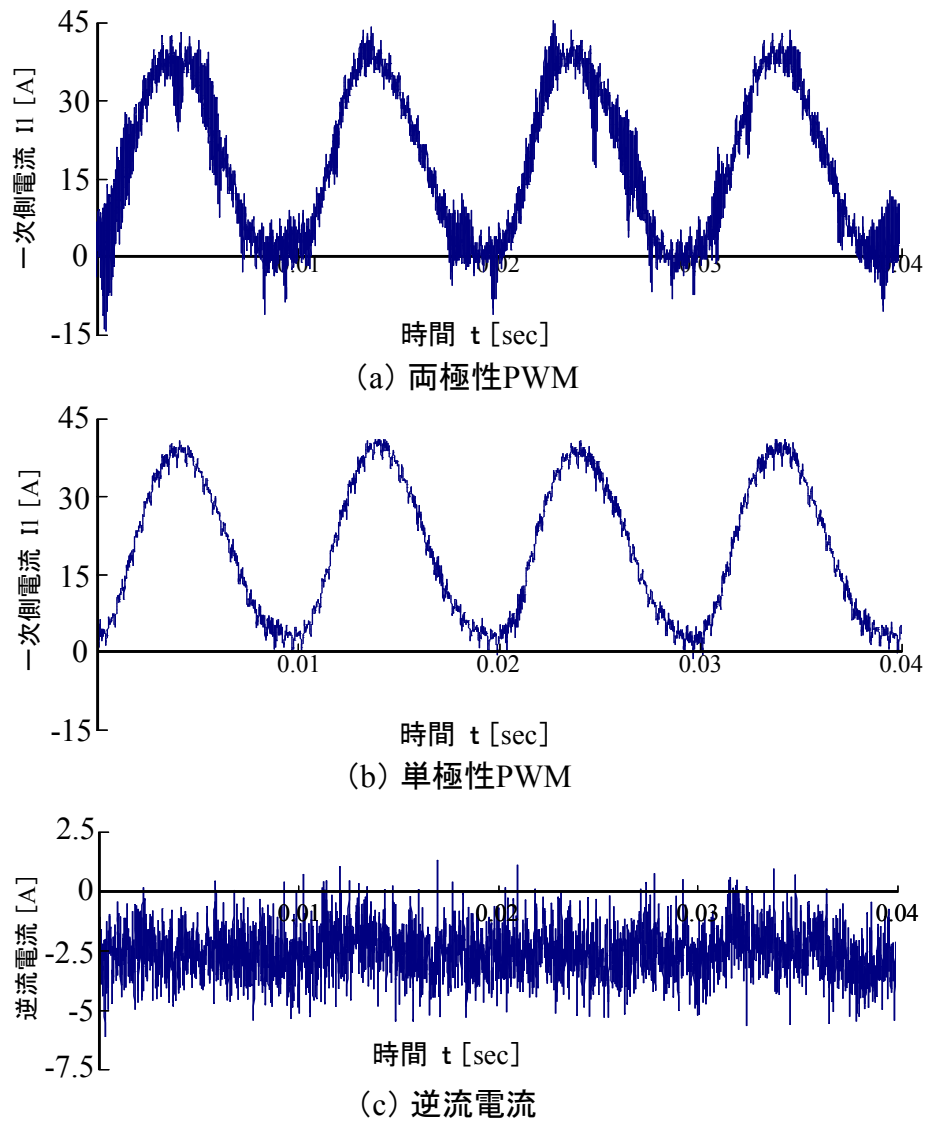


図4.9 単極性PWMによる逆流電流抑制

#### 4. 5 むすび

本章では、推奨外の負荷利用として、低負荷力率に対し柔軟に対応するデジタル PWM を提案した。新デジタル PWM は、前章において提案した正弦波教師データを利用して PWM パルスを作成するデジタル制御に、制御応答の変化を考慮した制御点のチューニングアルゴリズムを追加実装した。接続負荷において力率が変動した場合、DSP 内部メモリへ格納された正弦波教師データは出力応答の遅れに応じて、歪み制御に対する PWM パルスの調節点を変更(チューニング)する必要がある。そこで、出力電圧及び電流波形の位相差より負荷力率の変動を検知し、PWM パルス調節点を随時変更する機能を実装したところ、従来法では正弦波の安定出力が不可能であった力率 1.0-0.5 の変動に対し、常に一定の正弦波形を維持することができ、波形より得られる歪み率は工業規格でインバータ電源に要求されている 3% を十分に下回ることができた。

新デジタル PWM による波形修正では前述したように、オンデューティ制御の遅れ制御を適用し、チューニングにより得られた適切な PWM パルス調節点を用いることで歪み波形の修正を行っている。制御においてチューニングは初期設定によって設定される閾値内に、出力電圧変動が収まるまで随時行われ、制御完了の際にはチューニングした結果を DSP メモリ内に記憶することにより、負荷力率の変動のみならず電源毎のわずかな回路定数の変化に対しても、迅速な制御性能を得ることができると考えられる。しかし、提案した PWM 方式において、保存された制御結果は十分に活用されておらず、制御済みの負荷に対する再チューニングを防ぐことにのみ使用されている。このため、制御未経験の負荷力率などに対しては再度チューニングを行っており、波形一周毎など高速に変動する負荷に対して正弦波を維持することが難しい。そこで、次章では未知・既知を問わず、負荷の急変にたいする波形修正について検討を行う。

なお、本章に提案したデジタル PWM は、「DSP を用いたデジタル PWM による交流電源の波形・効率の改善」[10]として、設備学会誌に掲載、2007 年、電気設備学会 論文賞を受賞している。また、その研究の過程に対し、2002 年計測自動制御学会より、学術奨励賞・技術奨励賞を受賞したことを付記する。

#### 参考文献

- [1] 坂下:「IEC・欧州の高調波規制と日本の家電・汎用品ガイドライン」、電子技術 No.37, pp8-12 (1995)
- [2] 馬場:「分散型電源系統連系の保護ーガイドラインと保護継電器ー」、電気評論'89 No.11, pp66-69 (2004)

- [3] 進士：「系統連系技術要件ガイドラインの経緯とその内容」、電気設備学会誌, No.5, pp306-308 (1998)
- [4] 日本電機工業会：「汎用半導体交流無停電電源装置(汎用UPS)のユーザーズガイドライン」、日本電機工業会技術資料, No.185, pp12 (1993)
- [5] 竹下：「電流形三相インバータ・コンバータの三角波比較方式PWM制御」、電学論D-116, No.1, pp106-107 (1995)
- [6] チオエイサイ、近藤：「Walsh関数による三角波比較PWM電圧指令値波形の再生法」、電学論D-120, No.8, pp973-979 (2000)
- [7] チオエイサイ、小林、近藤：「高周波三角波キャリアPWMインバータの電流リップルを用いたWalsh関数に基づく埋め込み型永久磁石同期電動機の位置センサレス駆動」、電学論D-122, No.8, pp830-837 (2002)
- [8] 佐藤、大森：「マトリックスコンバータ小型化のための三角波比較変調法」、東洋電機技報, No.120, pp1-6 (2009)
- [9] 曾禰、光井、飯島、曾禰：「デジタル制御によるインバータ機能の分散化とその効果」、電気設備学会誌 Vol.12, No.6, pp502-509 (平13)
- [10] 曾禰、曾禰、田口：「DSPを用いたデジタルPWMによる交流電源の波形・効率の改善」、電気設備学会誌 Vol.26, No.2, pp129-135 (平17)

## 5 章 学習型制御による負荷急速変動への対応

### 5. 1 まえがき

3・4章に述べた DSP 制御スイッチング交流電源では、ガイドライン[1]-[4]で定められている力率 1.0~0.9、及び、力率が 0.9 以下の負荷に対し、工業規格で定められている 3%の波形歪みに対処することができた[5][6]。しかし、電源の負荷は直接、実負荷に接続されているばかりでなく、DC 電源を経て負荷に接続されている場合も多い。この DC 電源の負荷はデジタル電子機器が多く、そのデジタル負荷への供給電力変動は当然、DC を作り出している交流電源の変動に反映される。この場合、デジタル負荷の急変が交流電源の出力波形の急変に結びつく。現状、インバータ電源の出力には明確な規格は定められていないが、交流電源に直接されるモータや精密機器の性能維持には電源の波形整形が求められている。そこで、本デジタル制御電源に高速波形制御を付加し、今後展開される負荷に対応することとした。

不定期、かつ、ランダムな負荷変動に対処できる制御方式として、汎化性に優れた人工知能(AI: Artificial Intelligence)による制御があげられる[7]-[14]。特に、人工知能は学習方法の工夫により、制御性能を柔軟に変更できることも大きな特徴である。DSP デジタル制御において実装される人工知能は、論理的に構築されたロジックから最適解を算出するプログラム モード、出力状態に対しメモリから制御量を抽出するインデックス レジスタ モードに大別される。プログラム モードは通常複雑な演算を行うため、高周波スイッチングを行うスイッチング電源制御には、32bit 浮動少数演算型の高速 DSP が必要不可欠となる。しかし、実用電源ではコストパフォーマンスへの配慮から、高価な DSP の使用は不向きであるため、本章では実用性を考慮し、安価な 16bit 固定少数演算型 DSP でも実装可能なインデックス レジスタ モードを選択する。

電源制御に対するインデックス レジスタ モードの応用では、電圧誤差(もしくは条件)を DSP データメモリの番地とし、該当番地に修正に必要な制御量(もしくは適切なデータ群)を格納したルックアップテーブルを構築する。同方式は、インデックスレジスタ(メモリの番地指定レジスタ)を利用し、ADC を介して得られる外部情報より、対応する制御量をメモリから読み出すことで実現される。このように実装されるルックアップテーブル方式では、複雑な演算を必要とせず高速制御が可能となるため、直流電源における定電圧制御に限らず、交流電源の波形整形にも適用することができる。特に、交流電源における波形整形では、前述した急速負荷変動、負荷力率低下に対応する次世代電源の制御方式に適していると考えられる。

そこで、本章では前章までに提案した、デジタル制御方式にルックアップテーブルより制御量を導出するアルゴリズムの追加実装を行い、負荷急変による波形整形制御を作成する。提案法では、各負荷力率に対応する位相変更された正弦波教師データを、短時間で導出することが可能であり、4章に述べた未経験な力率に対する長時間のチューニング作業を

短縮できる。また、制御量のチューニングが必要である場合において、制御完了時の教師データを上書きすることにより、いわゆる、学習作業が容易に実装される。このため、高速な波形整形が可能となり、負荷急変に対応する次世代電源制御において非常に有効な手段であると考えられる。提案法を実装した交流電源では、種々の負荷力率に対し高速波形整形を実現し、一周期(20msec)で波形整形を行うことができる。

## 5. 2 高速波形修正 PWM の構築

前章までに述べたように、DSP デジタル制御では、交流波形を形成する PWM パルスの作成に離散値 1000 点の正弦波教師データを用いている。同方式では、推奨力率 (1.0~0.9) において出力波形に歪みが発生した際、教師データの位相をチューニングすることにより、観測データ (出力電圧) との誤差を正確に PWM パルスに反映させ、波形整形を行うことができた。現在、交流電源の負荷には急速変動は想定されておらず、低力率負荷の使用においても定負荷状態であるため、上記デジタル制御により高い出力精度が確保される。しかし、今後予想される負荷の展開として、急速変動があげられる。また、接続される負荷が推奨力率以下である場合、力率変動に伴い制御応答時間が変化するため、PWM パルス制御に必要な教師データの獲得ができず、短時間波形整形制御を行うことができない。

そこで、本章において実装する新デジタル制御は、高速な波形修正を主目的とする。新制御では、電圧偏差及び負荷力率変化に対し、それぞれに特化した制御法を適用することによって、高速波形整形を行った。提案法では、負荷力率変動時における制御応答の変化に対応させるために、制御時において力率を測定し、これに位相对应した教師データをルックアップテーブルから検索する、グループ化されたルックアップテーブル方式を採用した。更に、精度を向上させるために、検索された教師データの位相は、誤差最小 (制御量算出と教師データが同期) へ位相移動(チューニング)し、適切なオンデューティの算出を行うという処理を追加実装した。

### 5. 2. 1 デジタル PID 制御の設計

これまでに提案したデジタル制御は、出力波形 (ADC 入力) を DSP メモリ内部に保存されている目標正弦波と同期調整を行い、電圧偏差を算出する。その後、両者の偏差が最小になるまで、PWM パルス発生に用いる教師データを修正するものであった。このとき、デジタル制御は高品質な正弦波出力を主目的とするため、教師データの調節は最小分解能

(0.05%)であったが、出力波形の歪み箇所の電圧偏差が大である場合、偏差解消までには長時間を必要とした。また、負荷力率の変動に対しても、最適な制御点を求め教師データ位相の自動チューニングを行うが、負荷力率が低いほど、波形整形完了に至る時間が長期化する欠点を持つ。

これらの欠点を解決し、かつ、高速制御への手立てとして、偏差に対する最適な制御量の算出及び、負荷力率変動に対する最適な制御点（制御開始位相）の導出が求められる。従来、スイッチング電源の電圧制御には、PI もしくは PID 制御理論が利用され、電圧偏差に適した制御量の算出を行っている。しかし、これらの制御方式は、固定された回路を基に設計される制御システムであるため、この方式単独では力率変動を伴う負荷に制御応答の変化を考慮した制御量算出が不可能である。

一方、負荷力率の変化に対する制御法には、グループ化されたルックアップテーブルの活用が有効であると考えられる。同方式では、DSP のデータメモリ内に、負荷力率など諸条件に対応し、位相操作された教師データを保存したテーブルを作成することで、各条件に応じて最適な教師データを抽出することができる。そこで、本章において提案する新デジタル制御では、制御量の算出に PID 制御を適用し、負荷力率変動による位相変化への対応として、ルックアップテーブルを用いることで高速波形整形を実現する。

前述したように、本章における提案法では、高速波形整形への対応として、PID 制御理論を用いて制御量の算出を行う。そこで、応答時間を考慮し、PID 制御を行うために 2 章に述べた実装方法により、電源回路の伝達関数から離散化伝達関数を導出し、デジタル制御用制御システムを構築する。伝達関数を求めるために単位ステップを測定した結果、各オンデューティにおいて図 5. 1 (a, b, c, d) に示される特性が得られる。これを二次伝達関数として表現し、MATLAB を用いて Z 変換した結果を表 5. 1 に示す。図 5. 1 に示されるように、各単位ステップ応答では、オンデューティに特性が大きく異なっている。そこで、提案法における PID 制御システムには、安定性を考慮し、オンデューティ 70% 時における伝達関数を選択する。

更に、DSP への制御理論実装手順として、伝達関数を基に算出された離散化伝達関数より、図 5. 2 に示す制御システムを構成した。以上の手順から求められた離散化伝達関数より、式 (5.1) に示す差分方程式が導出され、デジタル制御における制御量算出に利用される。同式において、 $U(n)$  は出力する制御量を示しており、 $U(n-1) \cdot U(n-2)$  はそれぞれ前回及び前々回の制御周期における制御量、 $E(n) \cdot E(n-1) \cdot E(n-2)$  は今回、前回、前々回の制御周期における電圧誤差を示している。式 (5.1) における係数  $K_0 \sim K_4$  は固定値として実装され、小数点以下を含む数値となるが、本論文では DSP デジタル制御の実用化を考慮し、安価な固定小数型 DSP を採用している。このため、制御量算出の過程において、係数は整数形へ丸め込みが行われることを付記する。

$$U(n) = K_0 E(n) + K_1 E(n-1) + K_2 E(n-2) + K_3 U(n-1) + K_4 U(n-2) \quad (5.1)$$

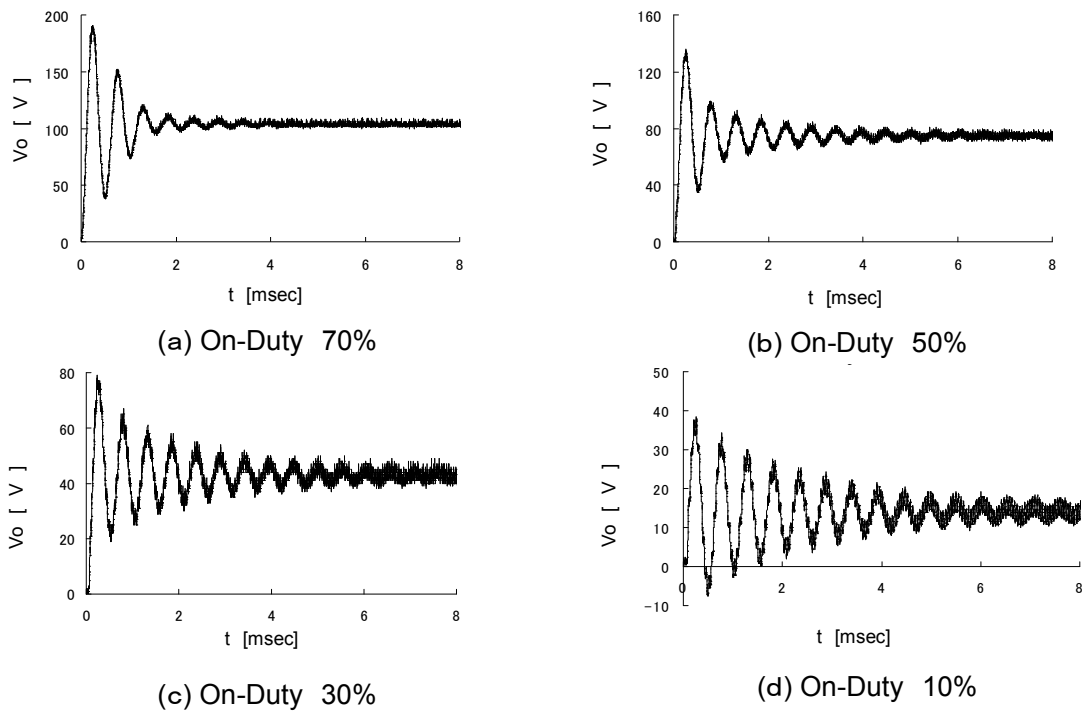


図5. 1 制御対象スイッチング電源単位ステップ応答

表5. 1 伝達関数一覧

Step on-duty	伝達関数	離散化伝達関数
70%	$K(s) = \frac{1488}{s^2 + 1.952s + 1488}$	$K(z) = \frac{0.1746z^{-1} + 0.1689z^{-2}}{1 - 1.5633z^{-1} + 0.9070z^{-2}}$
30%	$K(s) = \frac{106392}{s^2 + 1.952s + 1488}$	$K(z) = \frac{0.1254z^{-1} + 0.1185z^{-2}}{1 - 1.5633z^{-1} + 0.9070z^{-2}}$
30%	$K(s) = \frac{61.008}{s^2 + 1.952s + 1488}$	$K(z) = \frac{0.07159z^{-1} + 0.06927z^{-2}}{1 - 1.5633z^{-1} + 0.9070z^{-2}}$
10%	$K(s) = \frac{20.832}{s^2 + 1.952s + 1488}$	$K(z) = \frac{0.02444z^{-1} + 0.02365z^{-2}}{1 - 1.5633z^{-1} + 0.9070z^{-2}}$

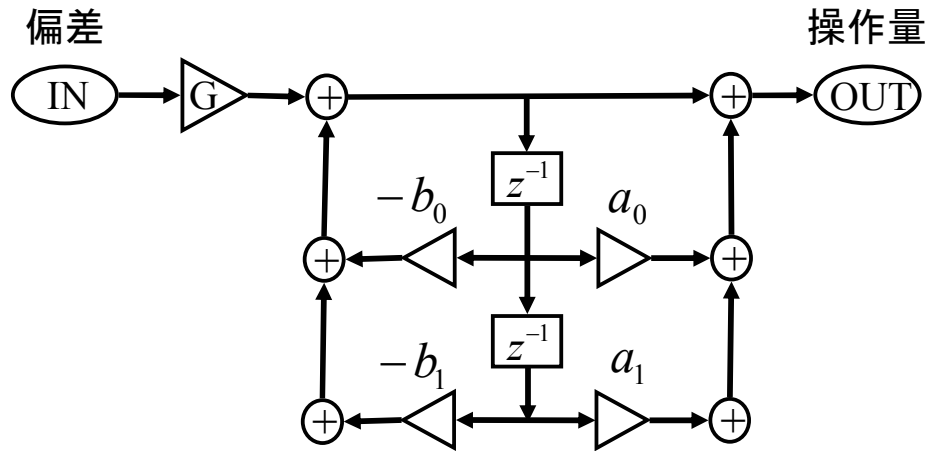


図 5. 2 デジタル PID 制御システム図

### 5. 2. 2 制御経験を基にしたグループ ルックアップテーブル

これまでに提案した、低力率負荷に対するデジタル制御による波形整形は、負荷力率の変動に応じて、教師データの位相を自動的にチューニングするアルゴリズムが実装されていた。この方法では、チューニングが完了した時の教師データを DSP 内部メモリへ保存するため、完了後、負荷が一定の力率を保持されている時のみ、安定した正弦波を維持することができた。しかし、同方式は未経験の力率に対して、基準状態(力率 1.0)より試行錯誤的に最小分解能によるチューニングを行い、波形整形の完了までに数 100msec を要する。

そこで、高速波形整形を目的とした新デジタル制御では、負荷力率変動への対策として、過去に制御を経験した実績の蓄積、及び、未知の力率に対する妥当な教師データの高速選択が不可欠である。提案法では力率値をインデックス レジスタにセットし、その力率に対応した教師データが検索できるルックアップテーブル方式に着目した。インデックス レジスタは、数値データを入力することで、入力された値のデータメモリ アドレスの内容を抽出するレジスタである。このため、粗に準備された負荷力率や偏差など、波形整形時において諸条件から、データメモリ内に格納された位相操作済み教師データを抽出することができる。これにより、広範囲に準備された負荷力率に対して、最小分解能によるチューニングを行うのではなく、適当に区分された予測される制御基準を高速に得ることができる。その後、精密な制御基準を高速チューニングすることにより、高速波形整形制御を実現する。

本論文において提案するデジタル制御は、PWM パルス発信と位相のずれ(力率)を考慮



した正弦波教師データとの位相同期を取ることで実施されている。そこで、提案法においてルックアップテーブルに格納される教師データを図 5. 3(a, b)に示す。同図には各負荷力率に対応し、位相調節された教師データの一例が、(a)歪み発生部拡大図、(b)教師データとして示される。各力率に対応した教師データ（各 1000 ヶ）は DSP 内部メモリに連続して格納されている。つまり、1000 点の離散値により形成される教師データは、データメモリアドレス：0000～1000 (Dex) に保存される。前述したように、力率変動に伴い制御応答が変化した場合、波形整形において歪みを修正するためには、制御点を前後にシフトする必要がある。これは、正弦波教師データに置き換えると、波形の位相を変更することに等価となる(例：負荷力率 1.0 時では零点から始まる正弦波)。そこで、ルックアップテーブル方式を採用する提案法では、1000 点で構成される正弦波教師データ（1 グループ）を初期位相の異なる多数のグループ、データメモリへ 1000 番地毎に格納する。なお、これらの教師データは負荷力率の変動に対応し、全て、位相が異なっていることを付記する。

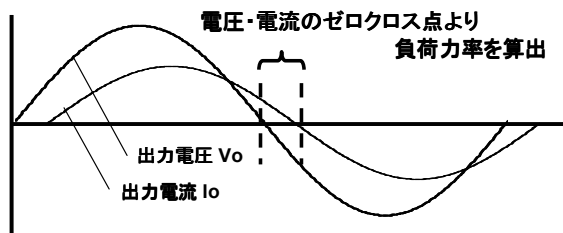
上記に示すルックアップテーブルから、適切な正弦波教師データ保管先メモリアドレスは、目標メモリアドレス：A、負荷力率： $\alpha$ 、教師データ点： $\beta$ 、瞬時電圧偏差： $\gamma$ として、式 (5.2) により算出することができる。同式において、 $\alpha$ の係数は教師データが 1000 番地毎に保存されていることによるものであり、変数 $\alpha$ は負荷力率を基に経験的に定義されている。低力率時において電圧偏差が大である場合、オンデューティ調節量に応じて、制御応答が変化する場合がある。そこで、同式における変数 $\gamma$ は電圧偏差に対する補正值として用いる。

ルックアップテーブルを利用したチューニング量導出の簡単な一例を図 5. 4に示す。同図は波形整形の例として、1000 点の PWM パルスから生成される正弦波において、パルス 55 点目に相当する箇所歪みが発生した状況を想定している。制御時における諸条件として、出力電圧・電流の位相差より算出される負荷力率及び、歪み箇所における瞬時電圧偏差に応じた変数がそれぞれ定義されている。種々の条件より得られる変数から、同負荷状態に対する最適な制御ポイントが“A”に算出され、インデックスレジスタの動作から該当番地より教師データの一部が選択される。つまり、負荷力率が同図における条件とした 0.85 を維持し続ける限り、データメモリアドレス 2000 番地から保存される、正弦波教師データが用いられることになる。

また、同方式の特徴として、未知の力率に対し適当な教師データを予測して出力するが、波形整形が良好に行われない場合には、最小分解能によるチューニングが実施される。さらに、波形整形完了後において、得られた位相操作教師データは、ルックアップテーブルに保存されていた教師データに対し上書き保存される。つまり、制御未経験の負荷力率に対しては、妥当な教師データを予測して出力することで高速対応を行い、波形整形完了後の教師データに差し替えることにより、学習作業を行う。このように、予測制御・学習作業を繰り返すルックアップテーブル方式は、電源の駆動時間に比例して成長する制御方式であると言える。

$$A = 1000\alpha + \beta + \gamma \quad (5.2)$$





$\alpha$  定義例

力率	-0.6	-0.7	-0.8	-0.9 ~ 0.9	0.8	0.7	0.6
$\alpha$	0	1	2	3	4	5	6

$\gamma$  定義例

$\Delta V$ [v]	0.1~0.5	0.5~5.0	5.0~
$\gamma$	0	1	2

例:

条件 負荷力率 0.85  
 正弦波データ 55点目  
 電圧偏差 4.5[v]

$$A = (1000 \times 2) + 55 + 1 = 2056$$

図 5. 4 ルックアップテーブル方式例

### 5. 2. 3 ルックアップテーブル及びPID制御を用いた波形整形アルゴリズム

以上に示したように、提案法では高速波形整形を目的として、電圧偏差に対する最適な制御量の算出、負荷力率に応じた適切な教師データの 2 点における強化を行った。制御量の算出については、電源回路特性より設計される PID 制御システムを、デジタル制御用に数式変更し、プログラムにより実装を行った。一方、負荷力率への対応として、各負荷力率に応じて位相調節された教師データをグループ化してルックアップテーブル内に保存し、インデックスレジスタの利用により、これらのデータを即時抽出することに高速化を実現した。

そこで、PID 制御による制御量算出及び、ルックアップテーブルを用いた負荷力率対応を行う、新デジタル制御のアルゴリズムを図 5. 5 に示す。提案法では、同図に示されえるように、負荷力率の判定を行っているが、これは出力電流及び出力電圧の零点時における時間差を計測することにより算出している。また、本提案法における制御対象は交流電源であるため、直流電源とは異なり出力電圧の目標電圧は常に変動する。そこで、DSP 内部に保存される、目標出力電圧波形(本方式の場合は 100V/50Hz 正弦波)と比較が行われ、瞬時電圧毎に偏差が算出され、これらの値は次周期における制御に備え、波形一周に渡りメモリへ保存される。

以上より、得られた負荷力率及び電圧偏差などの諸条件を基に、式 (5.2) より負荷力率に応じた教師データが格納されたアドレスの算出が行われ、得られた値を基にルックアップテーブルより教師データが抽出される。また、PWM パルスに対する制御量は、式 (5.1) に表される PID 制御より算出され、オンデューティ調節を行った後にスイッチング素子へ制御信号が出力される。制御実行後、DSP 内部では制御成果の判定が行われ、波形の歪みが改善されていない場合は、ルックアップテーブル内の教師データが最適ではないと判断し、最小分解能での位相調節が行われる。これを繰り返し、出力電圧波形が歪み率 3% 以

下となった時点を波形整形完了とし、調節された教師データはルックアップテーブルに上書き保存される。ルックアップテーブルの更新作業を続けることにより、提案する制御方式では、種々の負荷状態に対し瞬時に最適な教師データの選択が可能となり、本作業は学習として表現することができると考えられる。さらに、本方式の特徴として、更新されたルックアップテーブルは他の DSP と共有が可能である点が利点である。

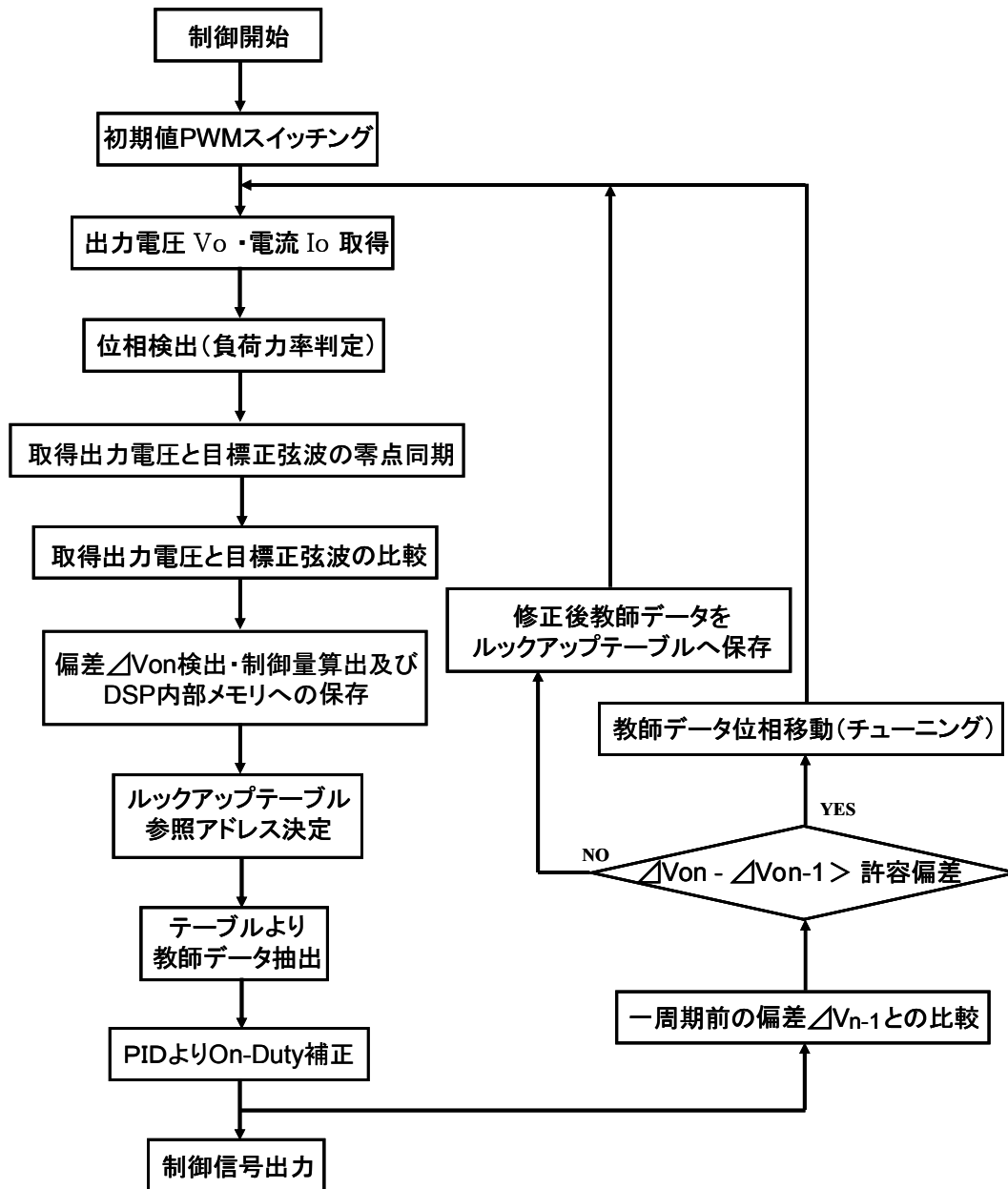


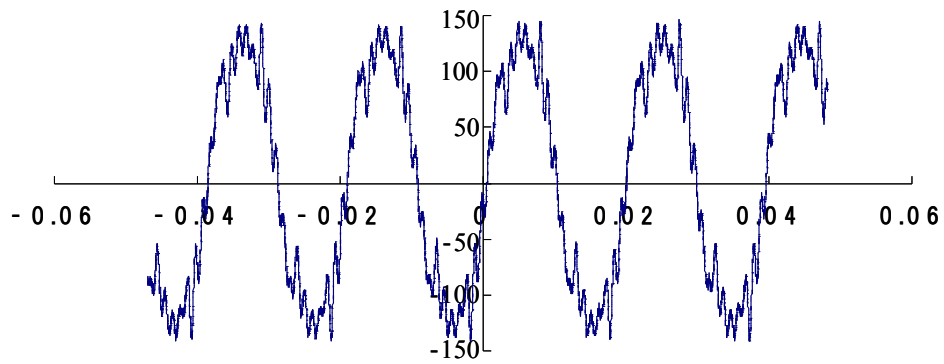
図 5. 5 PID 制御及びルックアップテーブルを用いたデジタル制御方式

### 5. 3 ルックアップテーブル方式による高速波形修正

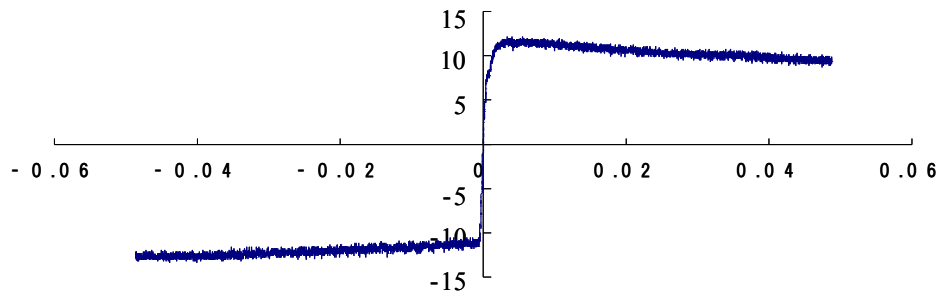
高速な波形整形を実現するために、必要なオンデューティ変更量を正確に算出し、1周期(20msec)後にPWMパルスの作成に用いられる教師データに投下する。これを実現するためには、前述したように負荷変動に伴う応答時間の変化及び、オンデューティの変更量に対する電圧変動値を事前に測定し制御理論へ反映する必要がある。そこで、前節では電圧偏差に対する制御量の算出としてPID制御システムを構築し、制御点のチューニングに対してはルックアップテーブルの利用により、様々な負荷状況においても適した波形修正作業を行うこととする。

負荷力率変動に伴い発生する歪み波形に対し、提案法を適用した場合における波形修正結果について、以下に種々の場合における制御結果を示す。前章までに構築したデジタル制御では、教師データの位相調節は試行錯誤的に行われるが、制御を完了した負荷力率については、教師データを維持している。このため、制御済みの力率負荷に対しては、波形整形が即時行われ、その様子は図5.6(a, b, c)に示される。同図には制御経験のある力率0.8の負荷接続時における、波形修正の様子がそれぞれ(a)元波形、(b)制御開始信号、(c)波形修正結果として示される。同図(b)に示される制御開始信号は、実験上における提案法の効果を確認するため、制御開始時にDSPから出力される信号であり、正弦波教師データが書き換えられるタイミングを示している。この結果、(c)に示されるように経験済みの波形に対し、DSPは格納されたチューニング量を利用し、歪み波形は正弦波へ整形されている。

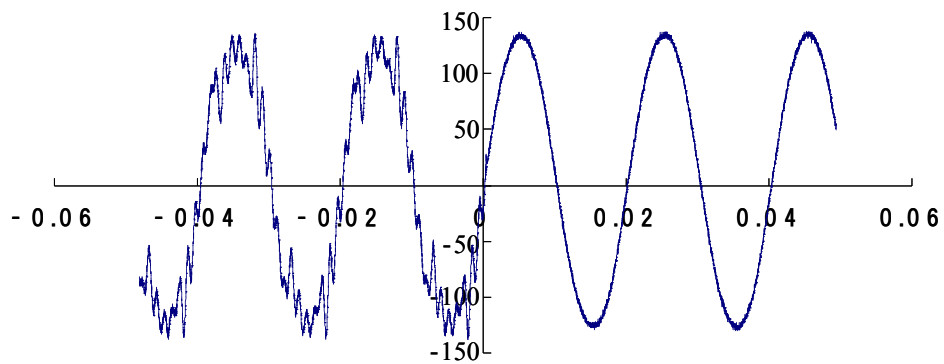
一方、本章において提案する新PWMは、前述したように制御完了後において、位相調節された教師データがルックアップテーブルに保存される。これは、過去の制御実績の蓄積を位置しており、負荷力率から最適な教師データの抽出を行う本提案法では、図5.6に示される波形整形が同様に行われる。そこで、本章において提案する新PWMによる、制御済み力率への波形整形結果を図5.7(a, b)に示す。同図には未経験力率負荷の接続により歪んだ交流電源の出力波形及び提案法による制御結果が、(a)歪み元波形、(b)制御後出力波形として示される。同図においてDSPによる波形制御は、上述した実験と同様のタイミング(電圧波形零地点)によって開始している。また、DSPは制御開始点よりルックアップテーブルから正弦波教師データの選択し、PID制御を用いて偏差に対する制御量の算出を行っていることを付記する。同図(b)に示されるように、提案法による波形整形開始後、歪み波形となっていた出力波形は、一周期で正弦波へと修正され、その後は安定した出力を維持している。この結果より、提案法では、負荷力率の算出から最適な教師データの選択作業が、良好に動作していることが確認できたといえる。



(a) 歪み元波形

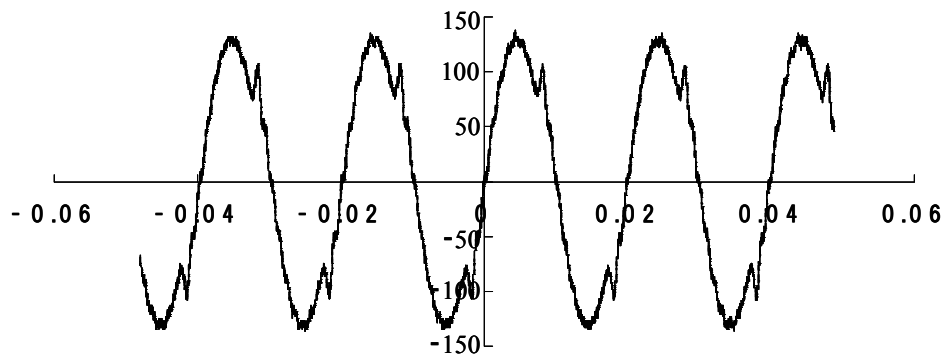


(b) 制御開始信号

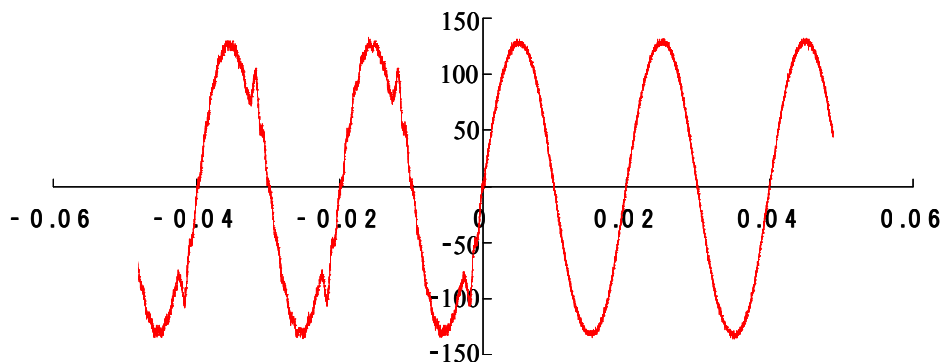


(c) 波形整形結果

図5.6 経験済み力率負荷に対する波形制御（4章提案デジタル制御）



(a) 歪み元波形



(b) 波形制御結果

図5. 7 未経験経験済み力率負荷に対する波形制御（本章提案法）

上記に示されるように、波形整形を目的とした提案法では、同じ負荷に対してならば過去の制御情報が引き継がれ、高速な波形修正が行われる。しかし、実際の電源では接続される負荷は多種多様であり、負荷力率もこれに伴い変化することが予想される。このため、未制御の力率負荷接続時において、教師データの位相を最小分解能でチューニングするデジタル制御では、負荷力率が推奨負荷時(力率 1.0)から、大きく変化している場合には、整形完了までにある程度の時間を必要とする。そこで、単純な教師データの位相調節を行うデジタル制御による、未経験力率 0.6 の負荷接続に対する制御結果を図 5. 8 に示す。同図では元波形である歪み波形に対し DSP が一周期(20msec)毎に制御点のチューニングにより波形を制御している様子が示されており、歪み波形への制御開始から 200msec 後に正弦波への修正を完了している。制御完了時において情報は内部メモリへ格納されるため、次回

は高速制御が行われるが、未経験負荷への制御が不得意であることが分かる。

以上に示したように、制御点の自動チューニングを行う PWM 方式では、ある程度の時間を要して歪み波形の整形が行われる。本方式は、低力率負荷が一定負荷として接続される場合に対して、最大、数 100msec で波形整形を完了するため、十分な機能を有しているといえる。しかし、同方式は全ての力率に対し、試行錯誤的にチューニングを行うため、高速波形整形を望むことができない。高速制御への手法として、チューニング時における分解能（誤差精度）を下げることにより、ある程度の即応性は得られるが、精度が犠牲となるため有効な方法とは云い難い。このため、負荷力率が変動し続ける負荷に対しては、対応が非常に困難となってしまう。

これに対し、本章における提案法では、高速波形整形を目的として、電圧偏差に対する制御量は PID 制御によって算出、また制御点はルックアップテーブルより予測された教師データが選択される。さらに微調整が必要な場合には、出力波形の歪み率が 3%以内となるまで最小分解能で最終調整が行われる。そこで、本提案法による波形整形性能を確認するために、実際のスイッチング電源の使用状況を想定し、電源駆動中に負荷力率が変化した場合における波形整形結果を図 5. 9 に示す。実電源を想定したい場合、定常状態では無負荷もしくは推奨負荷が接続され、特殊状況として低力率負荷が突如接続される。

そこで、同図には、推奨負荷(力率 1.0)から低力率負荷へ急変した際の出力波形の変動結果が示されている。なお、実験では、提案法の対応性を確認するために、最も過酷な条件として、接続負荷は制御未経験の力率 0.5 負荷とした。一般的に、交流電源制御ではソフトスイッチングに代表されるように、回路素子の故障を避けるために、電圧制御は交流波形の零電圧点より実施される。なお、本制御でもこれを習い、DSP は電圧波形が正転する零電圧点より制御を開始したことを付記する。

同図に示されるように、推奨負荷接続時では出力波形は安定した正弦波を維持しているが、低力率負荷の接続に伴い、出力波形は大きく歪んでしまう。これに対し、最小分解能による教師データの位相チューニングを行う、デジタル制御では、図 5. 8 に示されるように、正弦波化を完了するまでに多大な時間を要する。これに対し、提案法は電圧偏差に対する制御量は PID 制御により算出され、得られた制御量の適切な反映点として、ルックアップテーブルより負荷力率に対応した教師データが選択される。この結果、同図では負荷の変動に伴い、急激に歪んでいる出力波形が、一周期で修正されている様子が示されている。この結果は、ルックアップテーブルから最適と予想される制御点の抽出が、良好に行われたことを示している。このように、提案法は負荷急変に対しても良好な制御結果を示しており、実電源の出力制御において従来制御方式に比べ、はるかに良質な出力状態を維持することが可能である。



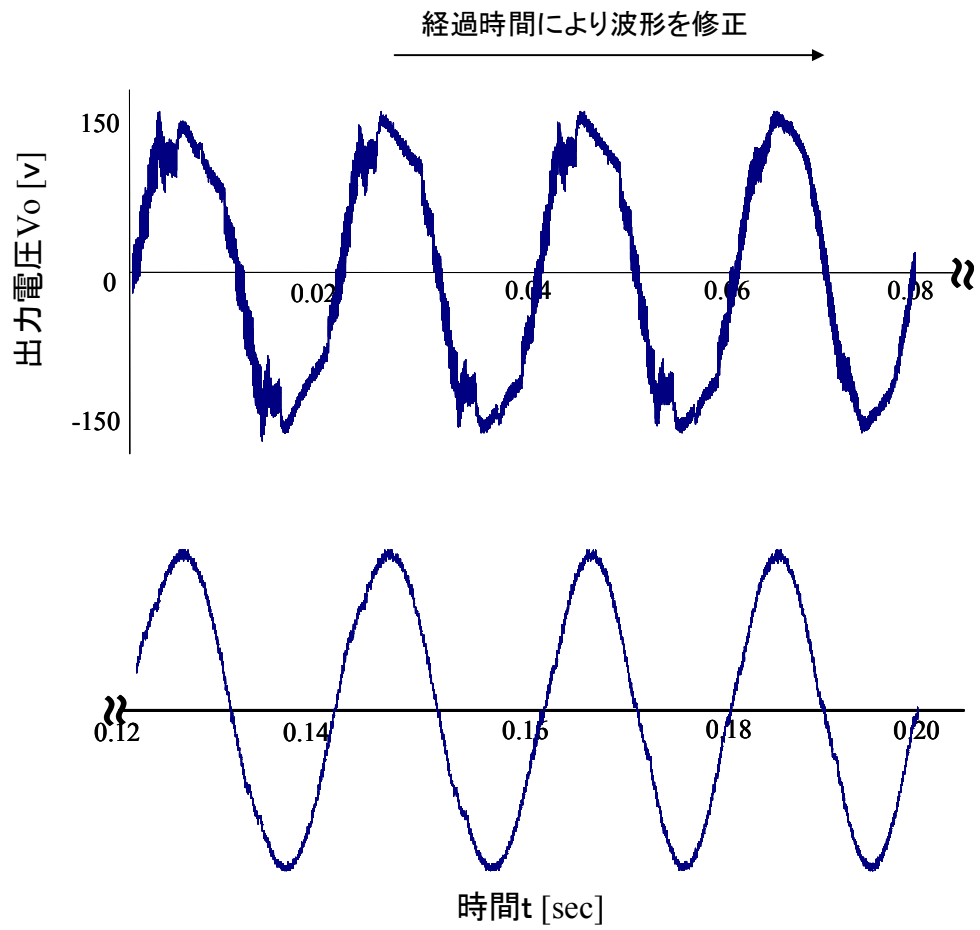


図5. 8 未経験力率に対する修正結果 (4章提案デジタル制御)

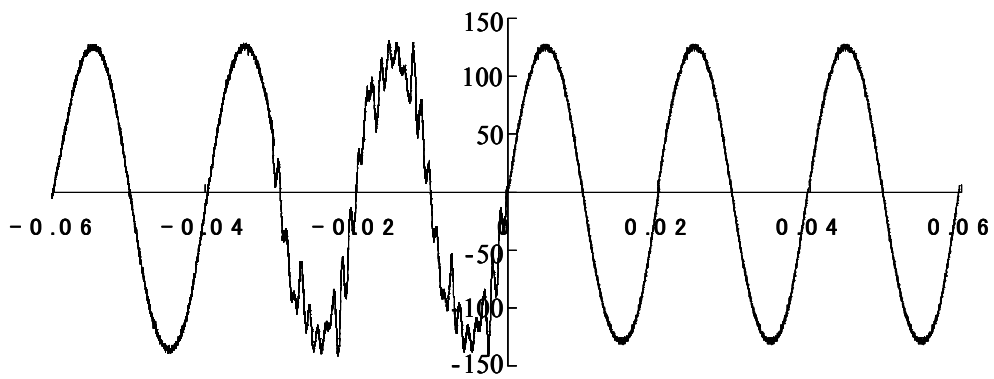


図5. 9 未経験力率負荷への急変に対する出力波形制御結果 (本章提案法)

## 5. 4 むすび

交流電源に直接されるモータや精密機器の性能維持には、電源の波形整形が求められており、今後展開される高速変動負荷への対策として、高速波形整形を行うデジタル制御の実装を行った。急速変動負荷など、接続負荷の多様化に対応する次世代制御として、高次元制御を実装する場合、多くの手法では複雑な演算を行うため、32bit 浮動小数演算型であり高速な高性能 DSP を使用する必要がある。しかし、実電源における制約から、高性能 DSP は制御回路として不向きであり、安価な 16bit 固定小数演算型 DSP では高精度な演算を実装することができない。そこで、本章では安価な DSP でも実装可能な高次元制御として、インデックス レジスタを利用したルックアップテーブル方式を採用した高速波形整形を提案した。

提案法は、未経験負荷に対しても迅速に制御を行うことを目標として、制御量算出、教師データ調節方法の更なる工夫を行った。提案法では負荷力率の変動に対し、ルックアップテーブルより最適な正弦波教師データを選択し、制御量の算出には PID 制御理論を実装することで高速波形整形を実現した。この結果、提案法を用いた波形整形では、負荷急変時においては負荷変動に伴い歪んだ出力波形が一周期後に修正される結果を得ることができた。本方式の最も大きな特徴は、ルックアップテーブルのリアルタイム更新（学習）である。提案法の利用により、経年劣化などに伴い、使用期間が長期化するほど出力性能が悪化する電源制御において、出力電圧制御精度は常に一定を保つことが可能である。

以上より、DSP の利用により実現されるデジタル制御はスイッチング電源制御において、非常に有効であると言える。次章では本デジタル制御の工学的応用として、種々の電源に適用した例を示す。なお、一部は製品として実用化されたことを付記する。

本章に提案したデジタル制御方式は、その研究の過程に対し、2002 年 電気設備学会 全国大会発表奨励賞を受賞したことを付記する。

## 参考文献

- [1] 坂下：「IEC・欧州の高調波規制と日本の家電・汎用品ガイドライン」、電子技術 No.37, pp8-12 (1995)
- [2] 馬場：「分散型電源系統連系の保護ーガイドラインと保護継電器ー」、電気評論'89 No.11, pp66-69 (2004)

- [3] 進士：「系統連系技術要件ガイドラインの経緯とその内容」、電気設備学会誌, No.5, pp306-308 (1998)
- [4] 日本電機工業会：「汎用半導体交流無停電電源装置(汎用UPS)のユーザーズガイドライン」、日本電機工業会技術資料, No.185, pp12 (1993)
- [5] 曾禰、光井、飯島、曾禰：「デジタル制御によるインバータ機能の分散化とその効果」、電気設備学会誌 Vol.12, No.6, pp502-509 (平13)
- [6] 曾禰、曾禰、田口：「DSPを用いたデジタルPWMによる交流電源の波形・効率の改善」、電気設備学会誌 Vol.26, No.2, pp129-135 (平17)
- [7] 山田、曾禰、光井、宮前：「ニューラルネットワークによる火力発電用ボイラ向けバーナ火炎の燃焼状態評価」、電気設備学会誌 Vol.20, No.6, pp463-469 (2000)
- [8] 浅間、川畑、曾禰、鶴飼：「 $H_{\infty}$ 制御によるエンジン発電機デジタル励磁制御系」、電学論-C, No.10, pp1599-1605 (2001)
- [9] 岡本、光井、浅間、鶴飼、曾禰：「エンジン発電機における自動電圧調整器(AVR)への $H_{\infty}$ 制御の適用」、電気設備学会誌 Vol.23, No.5, pp369-376 (2003)
- [10] Rosenblatt, Frank, 「The Perceptron: A Probabilistic Model for Information Storage and Organization in the Brain」, Cornell Aeronautical Laboratory, Psychological Review, v65, No. 6, pp. 386-408. (1958)
- [11] Minsky M L and Papert S A 1969 Perceptrons (Cambridge, MA: MIT Press) (1969)
- [12] Minsky, M. and S. Papert., Perceptrons; an introduction to computational geometry, MIT Press, (1969) (=中野馨, 阪口豊訳『パーセプトロン』改訂版, パーソナルメディア, 1993)
- [13] Hopfield, J.J. "[Neural network and physical systems with emergent collective computational abilities](#)". Proceedings of the National Academy of Sciences of the United States of America 79 (8): 2554-8. (1982)
- [14] James L. McClelland, David E. Rumelhart, the PDP Research Group., Parallel Distributed Processing. MIT Press, (1986). (甘利俊一 他訳『PDP モデル』産業図書, 1988. )

## 6章 実電源に対する DSP デジタル制御の技術応用

### 6.1 まえがき

これまでに述べてきたように交流負荷には、負荷力率 1.0~0.9 に対してのみガイドライン[1]・[4]が設けられるに留まり、非線形やデジタル負荷への対応として制御回路の複雑化などの問題が指摘されている。この問題に対し、本論文では負荷に制限を与えるのではなく、負荷の質（線形・非線形・デジタル負荷）に応じて正弦波定電圧電源を維持することができる、デジタル制御スイッチング電源を提案してきた[5][6]。この提案は、3章に、推奨線形力率負荷に対してのデジタル制御、4章に、推奨力率以外の負荷に対するデジタル制御、5章には、デジタル負荷を想定した負荷急変に耐え得る学習知能制御、として、DSP によるデジタル制御コアとして実現されている。

従来、製品として実用化されている電源には、アナログ制御が用いられてきたが、制御回路における部品点数の大幅な削減、ソフトウェア制御による柔軟性・拡張性などへの期待からデジタル制御への移行が進められている。一般的に、アナログ制御における制御性能は、OP アンプによる比較器及び制御器、RLC アナログ素子から構成される制御回路に依存する。このため、前述した負荷の変貌による電源への多種多様な要求に対し、コストパフォーマンスや開発期間などの懸念が持たれてきた。デジタル制御の電源への展開は、開発技術、新制御アルゴリズムの導入を含め、近未来のその工学的成果は大きい。

近年、DSP 各メーカーより電源制御に適した、低価格、低消費電力、周辺装置内蔵の DSP が提案され、次世代におけるスイッチング電源において大きな役割を担うと考えられる。プログラマブルである DSP の導入は、制御回路や付加機能回路をプログラムとしてメモリに封印でき、小型化・省スペースを実現、変更、開発期間などトータル的には安価となる利点がある。DSP によるデジタル制御では、電源出力制御がプログラムによって表現され、制御アルゴリズムの開発により高精度化・高性能化が可能となる。このため、交流電源では並列運転や系統連系、直流電源では高速制御に伴う急速負荷変動への対応などが期待できる。

そこで、本章では DSP を用いたデジタル制御の技術応用として、これまでに提案した制御法に対応した4例を記述する[7][8]。DSP デジタル制御では、PWM 方式の完全デジタル化により、自由度の高いアルゴリズムが実装可能であり、3章及び4章における提案法はそれぞれ、6-2 電力回生電源、6-3 無停電電源装置(UPS)における交流波形制御に適用することができる。また、5章の人工知能と取り入れた制御に対しては、交流電源での適切な未だ対応例がないため、DC-DC コンバータの次世代制御の実装例として、低出力直流電源における定電圧制御に対し、6-4 ニューラルネットワーク制御、及び、6-5 ルックアップテーブル制御を示す。

## 6. 2 DSP デジタル電力回生電源

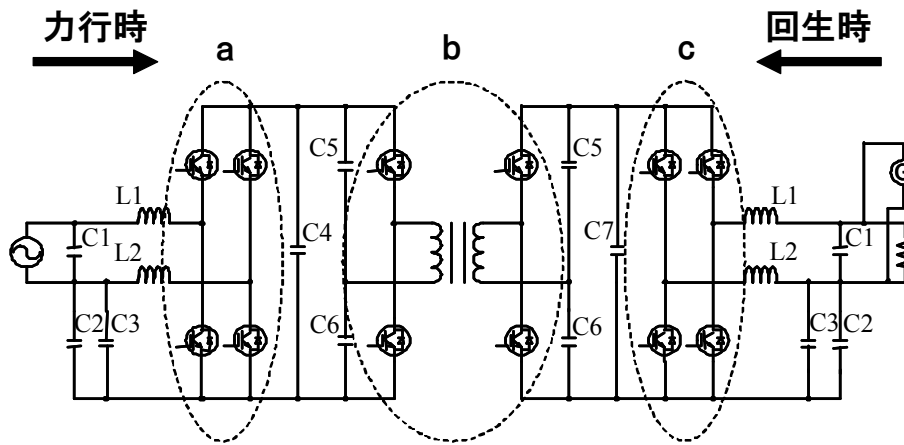
### 6. 2. 1 目的及び方法

従来、電動機を動力源とする鉄道、自動車などの環境下では、装置内部の抵抗器や半導体式ドロップにより、運動エネルギーを熱エネルギーへ変換し、放出することで電動機の制動を採用していた。しかし、放熱による制動は資源の浪費、近年の省エネルギー化への要求や太陽発電・風力発電を有する負荷の出現により、電源－負荷双方向電力伝達可能な電力回生電源が重視されている[9]-[11]。電力回生電源の利用により、車両制動時において負荷接続された電動機を発電機として作動させ、運動エネルギーを電気エネルギーへ変換し車内電源として利用する回生ブレーキ、もしくは発生・余剰電力の電力系統への返還（売電）が実施されている。

電力回生電源の制御には、系統電力を負荷へ伝える力行時、負荷側電力を主電源へ返還する回生時において、それぞれ異なる制御が求められる。特に、回生時では系統電圧との同期制御や、位相制御など特有の出力制御が要求され、電力返還効率の良い制御方式の開発・研究が行われている。電力回生時では電源装置の接続対象は系統電源となるため、精度の低い電力回生は、系統側から負荷として扱われてしまうことにより、更に大きな電力損失の原因となる。そこで、本節では3章に示したデジタル制御による PWM 方式を利用し、電力回生時における出力制御を実施した。回生時における出力制御については、従来法と同様に同期制御を実施し、更に、主電源波形に対し出力波形の位相制御を行い、より良好な回生制御をプログラムの選択（切換）により行なった。なお、電力回生電源では、負荷に対し主電源及び回生電源から同時に電力を供給する並列運転、回生電源から主電源側への電力回生という2動作も使い分けられる。

実験に用いた交流型電力回生電源回路及び各スイッチ部における制御内容を図6. 1(a, b, c)に示す。同図(a)に示されるように、電源回路はa部、b部及びc部の各スイッチ部より構成され、b部 DC/DC コンバータ(トランスを含むフルブリッジ)を中心に完全な左右対称の回路となっている。この左右対称の回路構成により、力行時では装置は一般的な交流電源として動作し、回生時では入力部と出力部の役割が逆転し種々の出力制御を行った上で電力回生を実現することが可能となる。

制御結果の検討において、電源出力側では回生時を想定し発電機を接続した。同図(b)には電力回生電源の従来制御方式であるアナログ制御と DSP を用いたデジタル制御の制御内容比較を示しており、力行時における安定した出力制御を目的とした新 PWM 方式については、これまでに提案している DSP による制御アルゴリズムを搭載したデジタル PWM を適用している。力行時における動作について、電力回生電源においても接続されるあらゆる負荷に対し出力電圧及び波形を安定して出力する要求は同様であり、提案したデジタル PWM により、これらの要求は工業規格を満足するよう制御されている。そこで、本節では電力回生電源の使用目的を重視し、回生時において a 部の出力制御について DSP によるデジタル PWM 制御を適用する。



(a) 電力回生機能付き電源回路

	アナログ制御		デジタル制御	
	力行時	回生時	力行時	回生時
a	整流化	PWM制御	整流化	PWM制御 (位相制御)
b	50%デューティ スイッチング	50%デューティ スイッチング	電圧制御	電圧制御
c	PWM制御	整流化	PWM制御 (波形制御)	整流化

(b) アナログ制御ーデジタル制御比較

C <sub>1-3</sub>	11.25 [ $\mu$ F]	L <sub>1-2</sub>	500 [ $\mu$ H]
C <sub>4</sub>	6800 [ $\mu$ F]	IGBT	MG50J2YS50
C <sub>5-6</sub>	1.88 [ $\mu$ F]	Load	40 [ $\Omega$ ]
C <sub>7</sub>	4700 [ $\mu$ F]		

(c) 回路定数

図6. 1 電力回生回路及びスイッチ部制御内容

電力回生を実現するためには電源装置からの出力状況に対する主電源情報が必要である、そこで、電力回生を可能とするインターフェース構成を図6. 2に示す。負荷側で発生した余剰電力（発電機出力で模擬）は主電源へ回生、もしくは、他機器への主電源の補助として利用される。この状態を模擬し、回生時において主電源（商用電源）と発電機付電力回生回路の間に負荷を接続し、両電源からの電力供給を実施することで、主電源からの供給電力が低減（もしくは回生）するよう DSP により PWM 制御を行う。同図に示されるように回生動作におけるインターフェースでは、回生条件を満たす出力を維持するためのセンサとして回生電源出力電圧・電流 ( $V_r \cdot I_r$ )、主電源出力電圧・電流 ( $V_g \cdot I_g$ ) はそれぞれ ADC を経て DSP に入力される。

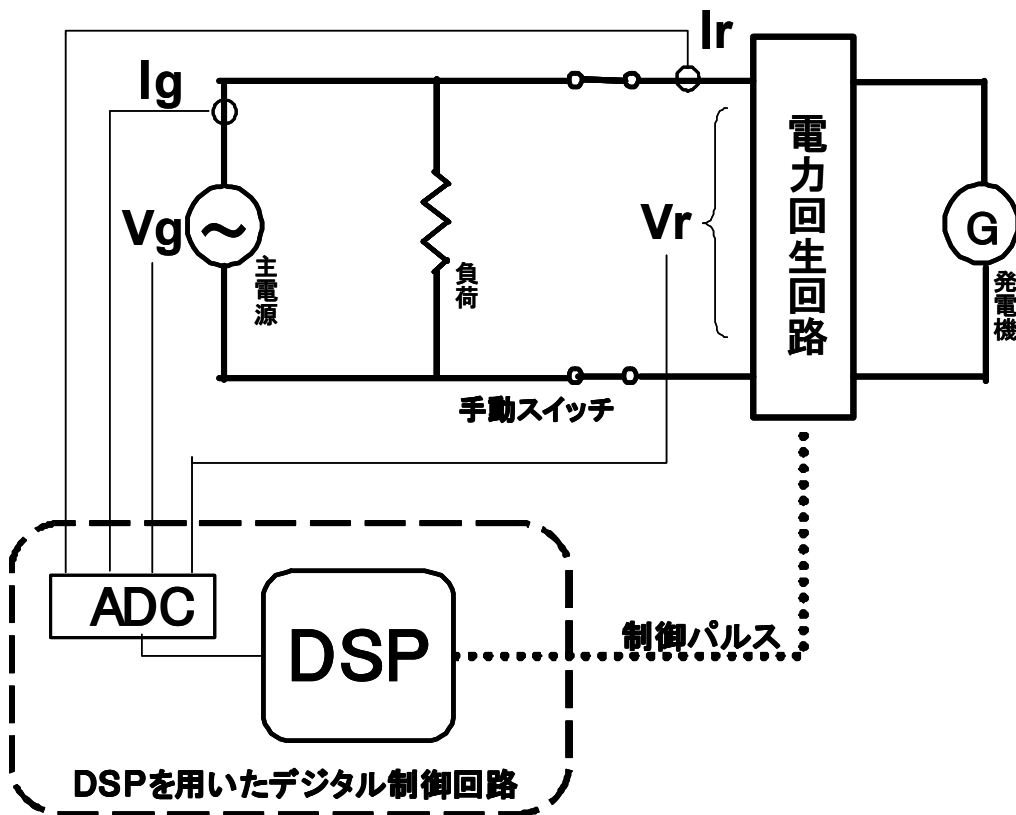


図6. 2 DSP を用いた回生時制御ブロック図

前章までに提案した DSP によるデジタル PWM 方式は、力行時及び回生時におけるインバータ部にて共通で使用され、DSP 内部に保持された正弦波教師データを随時変更することにより必要な制御を実現している。電力回生電源の力行時における定電圧制御法及び、波形整形法は前章までに示したデジタル PWM アルゴリズムを適用する。電力回生時におけるインバータ部への要求は主電源波形と同期した電圧出力が条件となる。さらに、電源接続時における電圧ノッチを低減するために 0 電圧付近からの出力開始が求められる。そこで、本節では、回生時における系統電圧波形との同期制御に重点を置き、そのアルゴリズムについて述べることにする。デジタル PWM へ付加する主電源の“零”電圧検出アルゴリズムを図 6. 3 に示す。同図フローチャートに示されるように、提案アルゴリズムでは主電源の極性反転を検出し、誤検出を防ぐ目的より N 回(ADC 取り込み周期に依存)の平均値によって 0 点判定後デジタル PWM パルスを出力する。

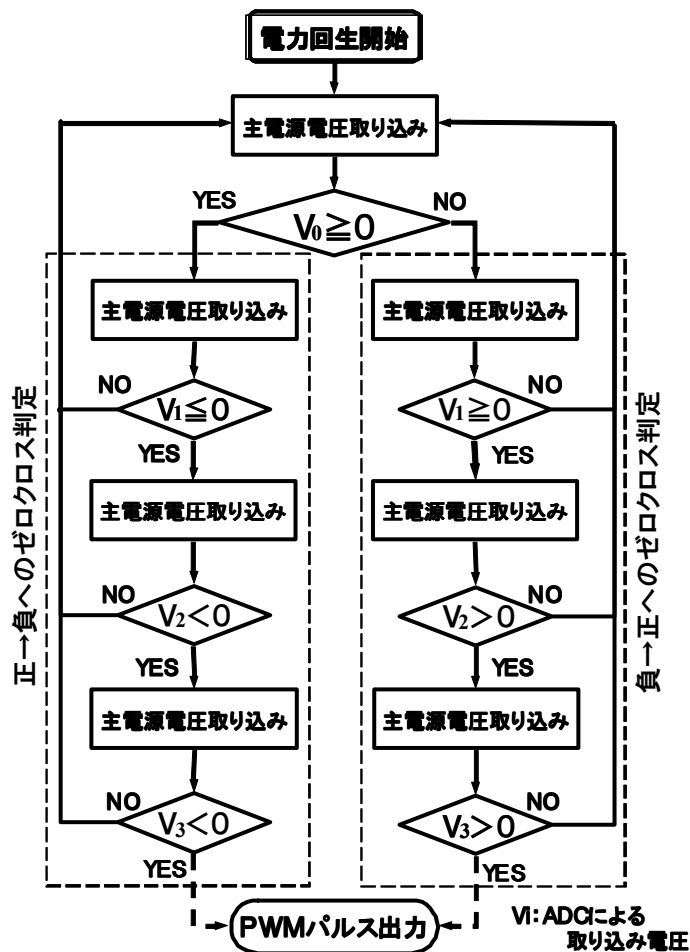
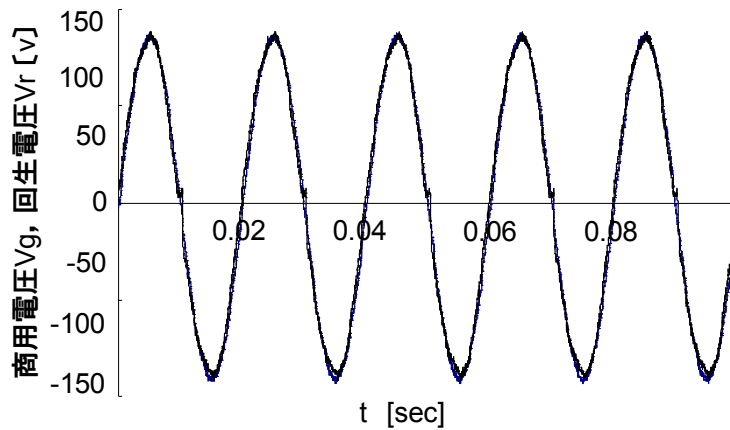


図 6. 3 電力回生時零点検出フローチャート

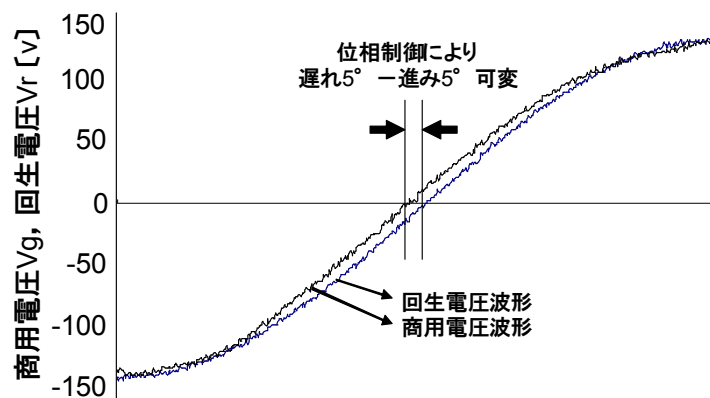


DSP 制御により回生電源の出力波形の周波数は正確に 50Hz を常に維持するのに対し、主電源波形では周期毎に多少の変動が発生しているため、本方式では回生電源の出力は一周毎に行う。また、従来方式では主電源電圧波形と回生電源波形は同期して電力回生が実施されているが、提案法では最適な回生条件の導出として主電源に対し出力電圧を $-5^{\circ}$  から $+5^{\circ}$  の位相範囲で変動可能とした。提案アルゴリズムを適用した場合の回生電源出力電圧波形を図 6. 4(a, b)に示す。

同図は回生電源出力波形が主電源波形に追従して出力されている様子が(a)定常時、(b)0点付近拡大図として示されている。前述したように本方式では出力制御は一周毎に更新され、同図(a)に示されるように安定して出力されている。また、位相制御についても同図(b)に示されるように実現され、位相は DSP 内教師データ調節により本方式では $1^{\circ}$  の分解能で調整可能である。なお、この分解能は DSP の処理速度に依存しており、高速な DSP の使用に伴い分解能も向上することを付記する。



(a)商用電源波形及び回生電圧波形



(b) 0点拡大波形

図 6. 4 デジタル PWMによる位相制御

## 6. 2. 2 実装制御結果及び精度検討

本節の電力回生試験では、図 6. 2 にて示すように発生する余剰電力を主電源に接続される他機器（負荷）への供給電力の一部として利用する負荷分担状況を想定する。実験では電力回生回路の負荷側にて発電機を作動し、主電源との同期制御を完了した後に手動スイッチを接続する。この際、主電源より負荷へ供給する電流は実効値にて 1 [A] として回生電源並列接続後の変化を検証し、より良好に電力回生が行なわれるよう DSP によりデジタル PWM 制御を実施する。

実験に使用した DSP では、デジタル PWM 方式へ同期制御のアルゴリズムを付加してもスイッチング周波数は 40kHz まで引き上げる事が可能である。本論文に提案する DSP デジタル制御は、スイッチング周期毎に外部情報を取得し、制御信号の調節を行う。このため、スイッチング周波数の高速化は制御周期の高密度化を意味し、電力回生時の系統電圧波形との同期制御において、高い安定性を得ることができる。電力回生電源における力行時・回生時に対する種々の制御プログラムを実装したデジタル制御では、並列処理などプログラムの最適化を行うことにより、制御性能の高精度化を実現される。

回生時の電力回生電源を主電源と並列接続した非位相制御時の主電源が負荷へ供給する入力電流波形を図 6. 5 (a, b) へ (a) スwitching 周波数 20kHz、(b) スwitching 周波数 40kHz として示す。同図(a)に示されるように、周波数 20kHz では回生に伴い主電源電流が大きく変化しており、実効値では初期設定の 1 [A] を下回り、接続される負荷への電力供給において主電源の負担が軽減している結果が得られた。また、周波数 40kHz 時では同図 (b) に示されるように主電源電流波形は正弦波に近い形状となり、更に安定した電力回生が行なわれ、高周波スイッチングは有効であることが示されている。

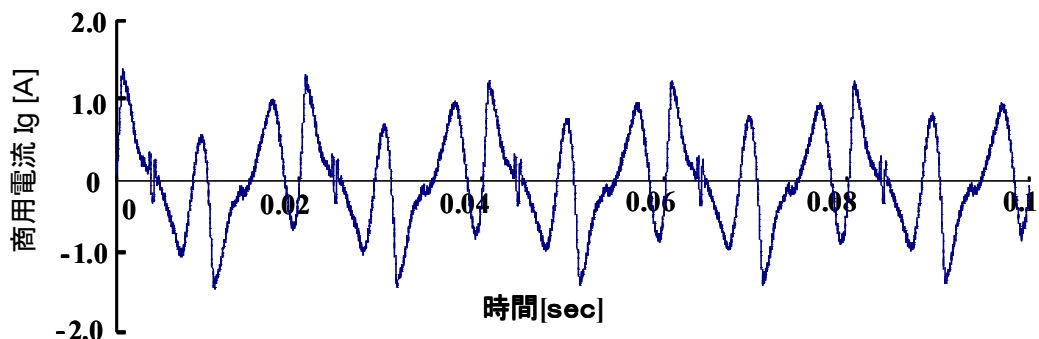
以上より、デジタル PWM ではスイッチング周波数の高速化により、細やかな出力波形を接続する事で主電源と電力回生電源は並列電源として作用することが分かった。そこで、さらに、この成果に加え、主電源に対する回生電源波形の位相差制御を行った。回生波形の位相制御では主電源に対し遅れ  $5^\circ$  から進み  $5^\circ$  の範囲で位相差を制御し、遅れ制御では主電源に追従して回生波形を出力、進み制御では主電源に先行して常に高い電圧で回生波形が出力できる電力回生に適した条件が選定される。図 6. 6 (a, b) にはスイッチング周波数別における位相制御における主電源電流値の変化が (a) 20kHz、(b) 40kHz として示される。なお、同図では縦軸に主電源電流の実効値に対し発電機出力電圧を横軸としており、回生電圧値の変化に伴う回生性能の変化についても併せて考察する。

従来、電力回生電源における出力制御では、電源出力波形を系統電圧と高い精度で同相となるように制御が行われている。一定の周波数を維持しない系統電圧に対し、任意の位相差によって電源波形を出力することは、従来制御では非常に困難とされている。このため、位相操作による効果に関する検討は少なく、開発についても試行錯誤的に行われている。これに対し、提案法は系統電圧波形の零点を検出し、出力波形の操作を行うため、任意の位相差へ制御することが容易に実現される。

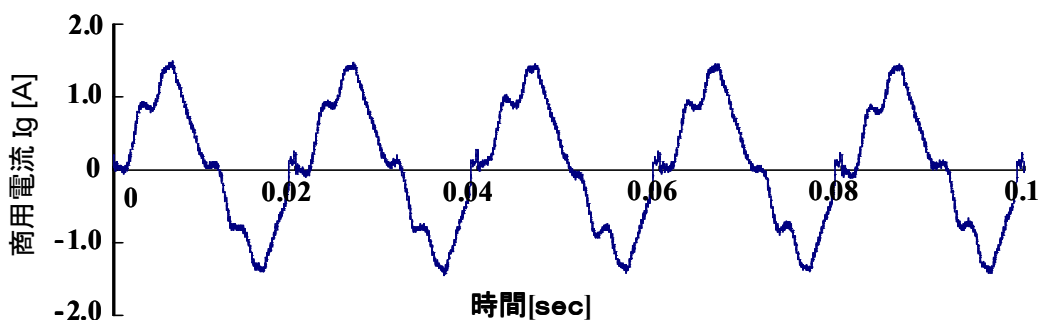
前述したように、並列運転時における負荷分担の効果をj得るために、本実験では主電源

より負荷へ供給する電流は1[A]としており、この値を下回っている場合は回生による補助電力が行なわれていると言える。同図(a,b)では図6.5に示されていたスイッチング周波数による回生性能が数値として表記されており、全ての位相条件において周波数40kHz時が良好な結果を示している。同図に示される波形の違いは、前述したスイッチング周波数と制御性能の関係を証明していると云えよう。回生電圧値についても主電源電圧100[V]に対し、10~15%程度高い電圧で接続した場合が好ましく、昇圧・降圧制御が必要となる。位相制御においては、同図に示される結果より主電源に対し進み $3^\circ$ にて回生電圧波形を出力する条件が最適であるといえる。

回生電力性能として、主電源及び回生電源におけるそれぞれの電圧・電流波形の積算より主電源有効電力及び回生電力を算出し、位相制御による各電力の推移について図6.7を示す。同図では回生電力の増加に伴い主電源が負荷へ供給する有効電力が減少している様子が示されており、各周波数で進み $3^\circ$ 時にて最も良好に電力回生が行なわれている。この結果からも、回生条件が前述にて得られた結論と同様である事が確認できる。

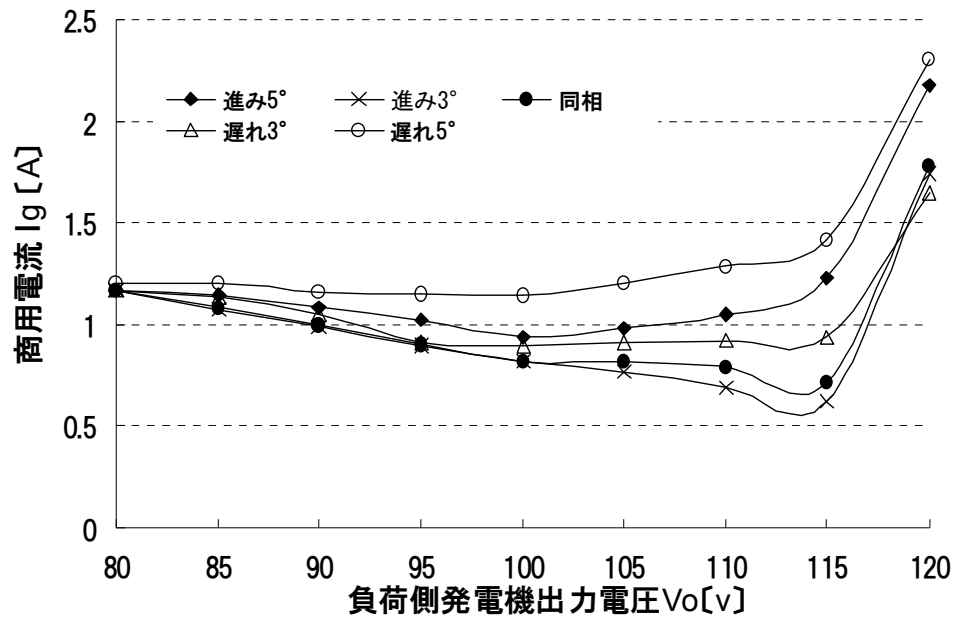


(a) スイッチング周波数20kHz時 主電源電流波形

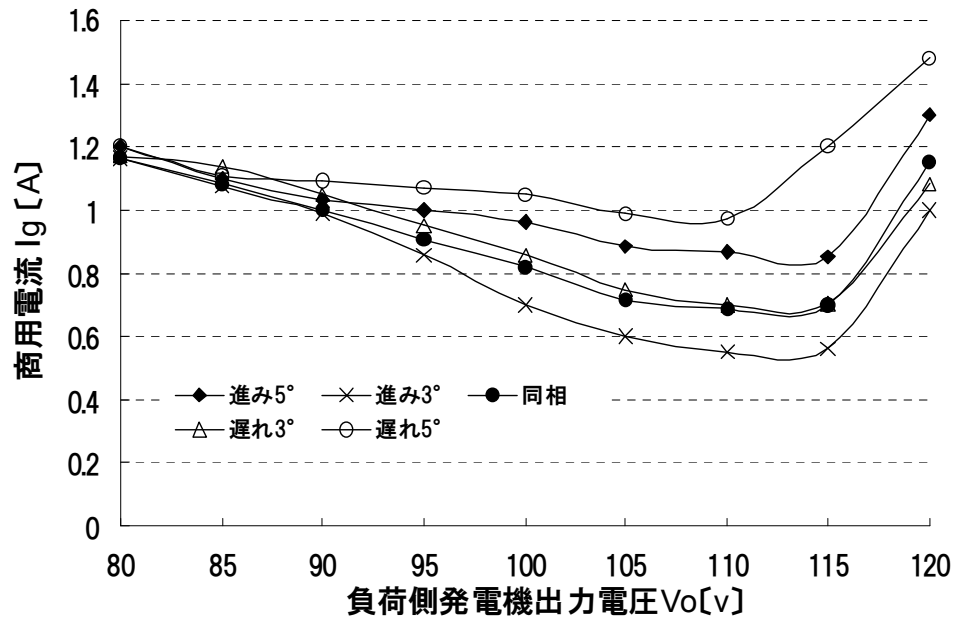


(b) スイッチング周波数40kHz時 主電源電流波形

図6.5 スイッチング周波数に伴う主電源波形

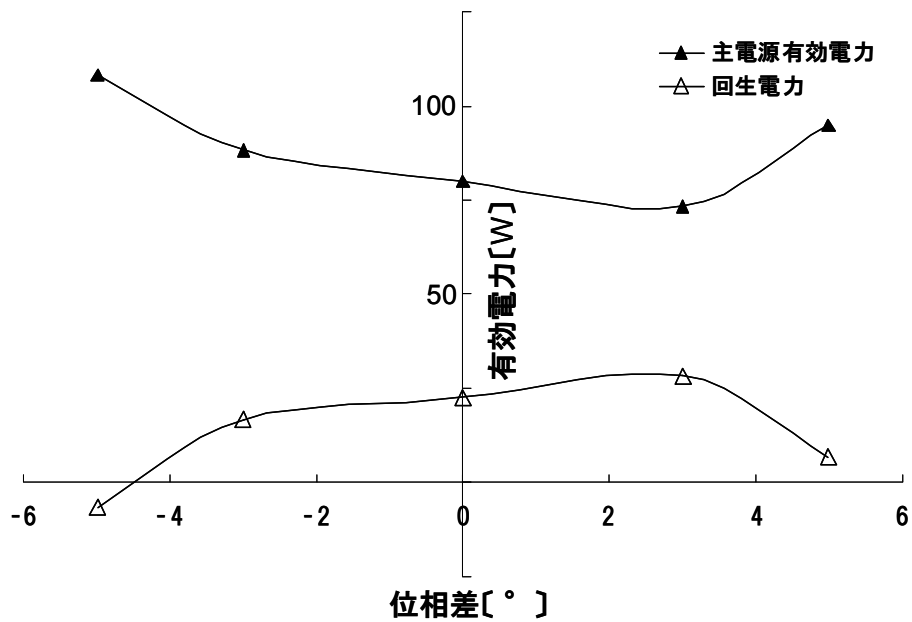


(a) スイッチング周波数20kHz

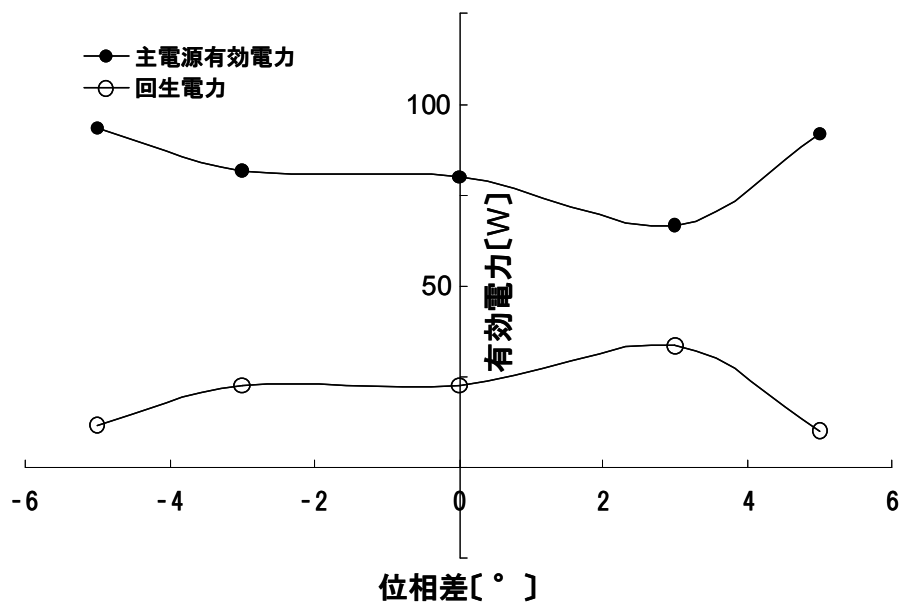


(b) スイッチング周波数40kHz

図 6. 6 位相制御に回生性能差



(a)スイッチング周波数20kHz

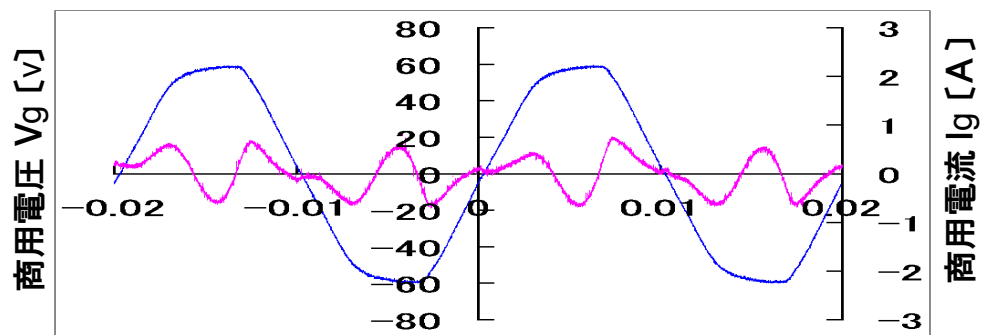


(b)スイッチング周波数40kHz

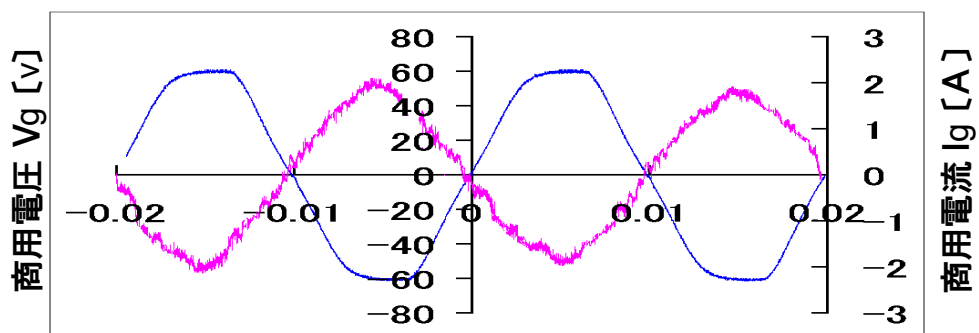
図 6. 7 電力回生結果

以上において、負荷に対して主電源及び、回生電源から電力を供給する並列電源運転例について述べた。電力回生電源の使用において、商用電源へ自家発電の余剰電力を回生することは禁止されていたが、現在は“売電”として回生できるよう法改正が行われている。電力回生を行うために、DSPによるデジタルPWMにて主電源電流波形を電圧波形に対し逆位相で正弦波化する波形制御を適用する。通常、デジタルPWM方式では電源回路の出力電圧波形を制御対象として教師データの部分的な修正を行なうが、電力回生では回生電源出力波形の同期・位相制御は維持したまま、波形制御の対象を主電源電流波形として教師データの修正を行なう。なお、回生には最大電流1[A]を条件として最適に回生回路の出力電圧・位相制御を行うようDSPで自動化されていることを付記する。

デジタル制御による結果を非位相制御時と制御時を比較して図6.8及び図6.9(a,b)に示す。図6.8には主電源の電圧 $V_g$ ・電流 $I_g$ 波形を、また、図6.9には主電源の電力波形が示されている。なお、位相制御の効果を明確に評価するために、スイッチング周波数は20kHzとした(図6.5参照)。図6.8(a)及び図6.9(a)に示されるように、非位相性御時の主電源出力電流波形は大きく歪んでいるのに対し、位相制御が行われた場合、図6.8(b)及び図6.9(b)に示されるように大きく波形の改善が行われている。この波形の改善は負荷に障害を与える高調波の抑制と言う目的を果たし、高品質な電流・電力波形を獲得することにつながる。図6.8(b)における位相性御時の電流波形は電圧波形に対し、位相反転した $180^\circ$ 位相差を呈し、実行値1[A]の回生電力が主電源流入され、完全な電力回生状態であることを示している。また、図6.9(b)の電力波形において、供給電力は“負”を示し、主電源への電力の注入が完全実施されていることも示されている。

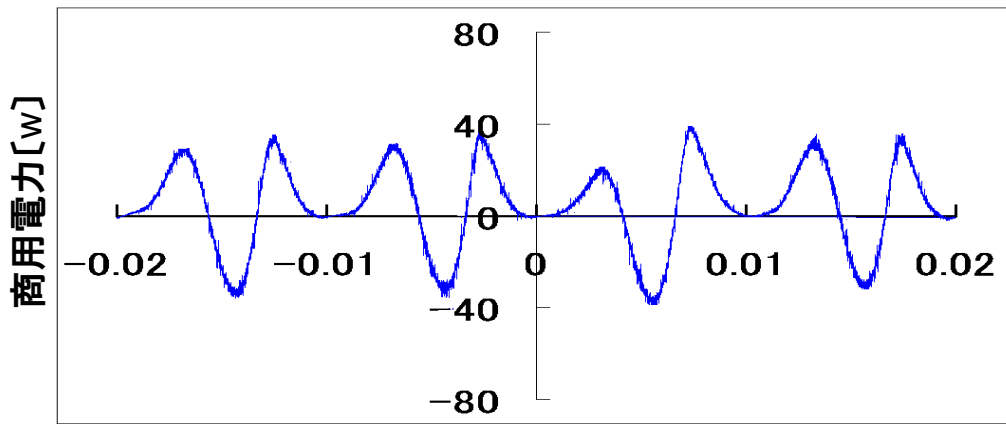


時間[t]  
(a)非制御時

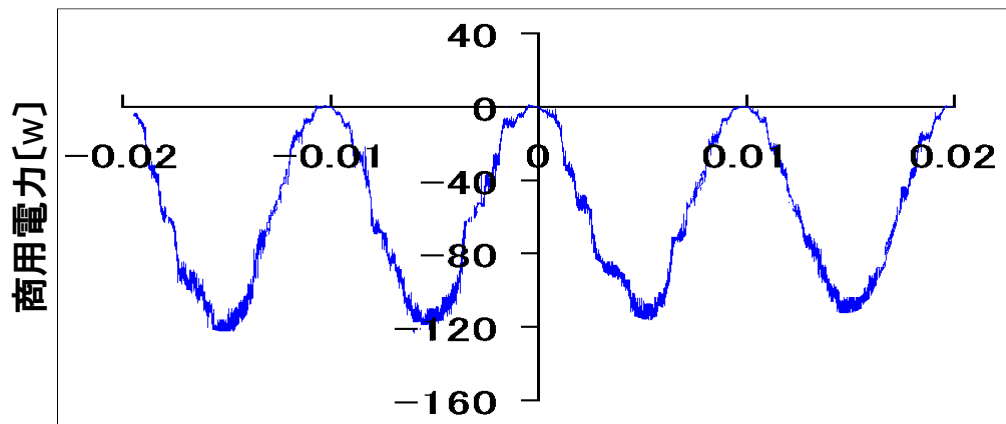


時間[t]  
(b)波形制御時

図6.8 主電源電圧・電流波形



(a)非制御時



(b)波形制御時

图 6. 9 主電源電力波形



## 6. 3 実用デジタル制御無停電電源 UPS (広範囲力率・加機能実装付)

### 6. 3. 1 目的及び方法

無停電電源 (UPS : Uninterruptible Power Supply) は、(1) 系統異常時のみ負荷への給電を目的とした非常時給電方式 (2) 通信機器など高品質な電力を要求する負荷に使用される常時インバータ給電方式 (異常時に系統を利用) の二種に大別される[12]-[16]。前者は負荷の停電処置を行うための短時間稼働を目的にしているため、電圧・周波数変動、歪率など規格の充足が目標となる。一方、後者の常時インバータ給電方式 UPS は、負荷にとって好ましくない系統の電圧変動・周波数変動・波形歪を改善し安定した電力供給を行うことのできる AC-DC-AC、DC-AC 電源が利用されている。今後これらの電源は、推奨力率外を含む広範囲力率負対応、電源相互通信による並列運転、多機能同時実装などが要求されるが、これらを一括処理することはアナログ制御では困難であり、プログラムによる全デジタル方式が求められる。

常時インバータ給電方式 UPS は歪み率、電圧・周波数変動率に加え、負荷急変時の電圧復帰時間等について工業規格が定められ、更に、ユーザ側から規格以外の条件も多数要求される。例えば過負荷ならびに負荷短絡時における電源装置の保護、電源投入時のソフトスタート、使用地域による出力周波数の切り替え、オフセットやデッドタイムの調整、効率向上を目的とした機能付加、また、仕様変更・追加、低コスト化、開発の短期間化等が挙げられる。そこで、本節ではユーザが要求する全機能を DSP プログラム化することにより、製品レベルの DSP 全デジタル制御型常時インバータ給電方式 UPS を開発した。

本節において提案する自立型 DSP 制御回路を有す UPS を図 6. 10 に示す。提案する UPS は、系統商用ラインで問題となる電圧・周波数変動、波形歪みにおいて、負荷に対する安定した電力供給を目的とした常時インバータ給電方式とし、信頼性確保の点から制御系の異常が検出された場合にのみ商用ラインを利用している。同図に示すように主回路部では直流入力を IO ポート B より PWM パルスが入力される、FET (F1~F4) のフルブリッジ回路において交流変換を行い、その出力は定格 100V、10A、50/60Hz とする。デジタル制御部ではインバータ出力を決定する要素として出力電圧値・電流値を、更に、系統電源との同期運転を行うために系統電圧値を ADC を介して DSP へ入力している。DSP は ADI 製 ADSP-2191 (16Bit 固定小数点演算型、命令実行サイクル 6.25nsec) を使用した。なお、スイッチング周波数 30KHz・サンプリング周期 33μsec である。

DSP を用いたデジタル制御において、作成した実行プログラムは研究段階ではエミュレータを介して DSP へ転送・実行される。しかし、製品レベルを指標とする提案 UPS の場合、制御回路へ外部メモリとして EPROM を実装することにより DSP は自立駆動式とした。この提案システムでは、作成した制御プログラムは DSP の電源始動時に EPROM より DSP 内部メモリへ自動的に転送され実行される。これにより、全ての機能をソフトウェアにより実現する本方式において基本機能の精度修正やソフトスタート、デッドタイム調整機能等の機能拡張は EPROM の変更により容易に行われる。この自立型 DSP 制御は実用化を目的とした、提案回路における一つの特徴である。

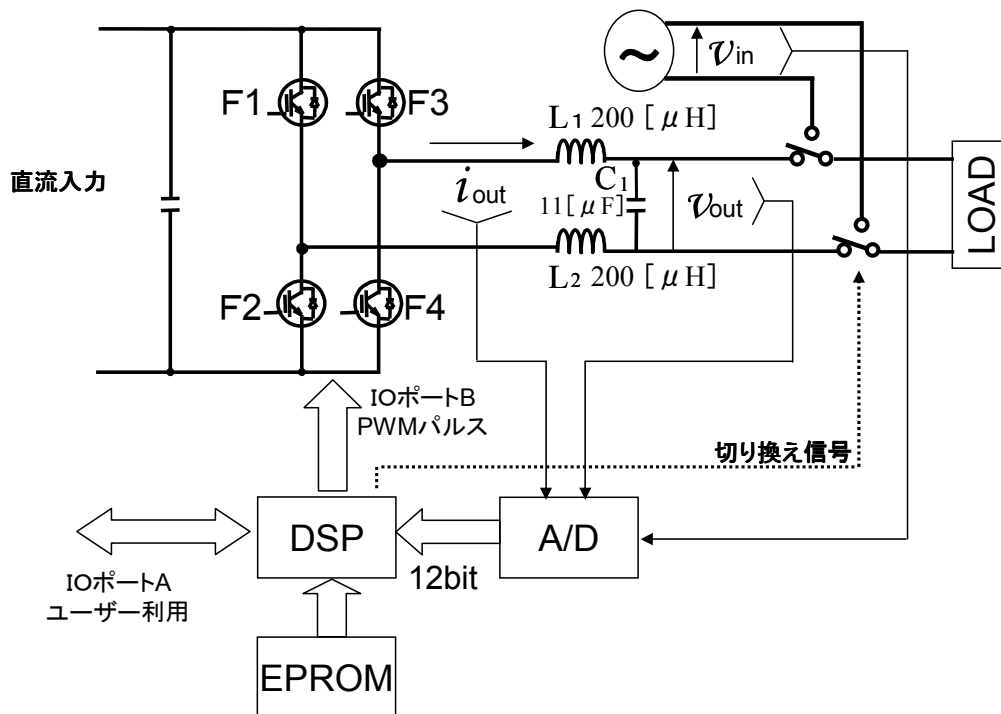


図 6. 10 DSP デジタル制御を搭載した UPS 回路構成

提案 UPS には定常時の機能として、出力状態に応じた PWM パルス調節による 100V 定電圧制御・正弦波波形制御に加え、系統電源への切り替えを想定した商用電源同期制御、任意周波数出力制御が要求される。更に、短絡・過電流などの負荷異常事態においては、負荷や DSP を含む制御回路の緊急回避のための出力制御等、瞬時のオンデューティ調節が求められる。

以上の基本機能を始めとし、本説にて作成した UPS に実装した各機能の精度を表 6. 1 に示す。同表に示される制御性能は、工業規格及び現在流用されているアナログもしくはハイブリッド制御による製品レベルを指標としている。また、UPS における拡張機能の代表的な例としてソフトスタート機能・オフセット調節を実装しており、DSP 制御の利点としては効率改善が見込まれるデッドタイム調節を付加した。デッドタイム調節について、電源効率と使用期間の優先順位をユーザが選択できるようにスイッチング素子のデッドタイムは通常使用される  $1 \mu\text{sec} - 100\text{nsec}$  の範囲で指定可能とした。

UPSにおけるデジタル制御アルゴリズムを図6.11に示す。従来制御方式では機能の拡張を行う際、制御回路の変更が必要であったのに対し各機能を一括管理する本方式の場合、出力に応じたオンデューティの調節は全てソフトウェア上で行われ、機能拡張はサブルーチンとしてプログラム追加することにより実現される。追加された拡張機能はI/OポートA（図6.1参照）を通じて、ユーザが使用の有無を指定する方式であり、多くの機能を拡張した場合には使用する機能を選択して指定する。メインプログラム中における順列について、実装される機能はDSP内において直列的に処理されるため、回路保護の目的より過電流制御の実行順位を電圧制御・同期制御に対し上位とした。これにより、インバータ回路は過電流・負荷短絡など負荷急変に伴う異常電流に対し常に保護される。

表6.1 提案UPS実装機能

	DSPデジタル制御	アナログ制御UPS(A社)
実用機能:定電圧制御・系統同期機能		
設定電圧 定格電流 電圧精度 電圧歪み率 電圧復帰時間	100Vms 10A 3%以内(過渡時) 3%以内(非線形負荷時) 2msec以内	100Vms 10A ±1.5/5%(定常時/過渡時) 2/5%以下(線形/非線形負荷) 5msec以下
周波数 自走時 精度 同期時	50,60Hz ±0.1% 系統周波数と同期	50,60Hz ±0.1% 系統周波数と同期
実用機能:過電流制御		
過電流保護	定格の120%で垂下 徐々に電流波形を正弦波化 (保護方式選択可能)	定格の120%で垂下 徐々に電流波形を正弦波化
拡張機能・性能向上機能		
出力周波数切り替え	50Hz / 60Hz	50Hz / 60Hz
オフセット調節	自動調整	手動調整
デッドタイム調節	400nsecに設定 (12.5nsec単位で変更可)	400nsecに固定

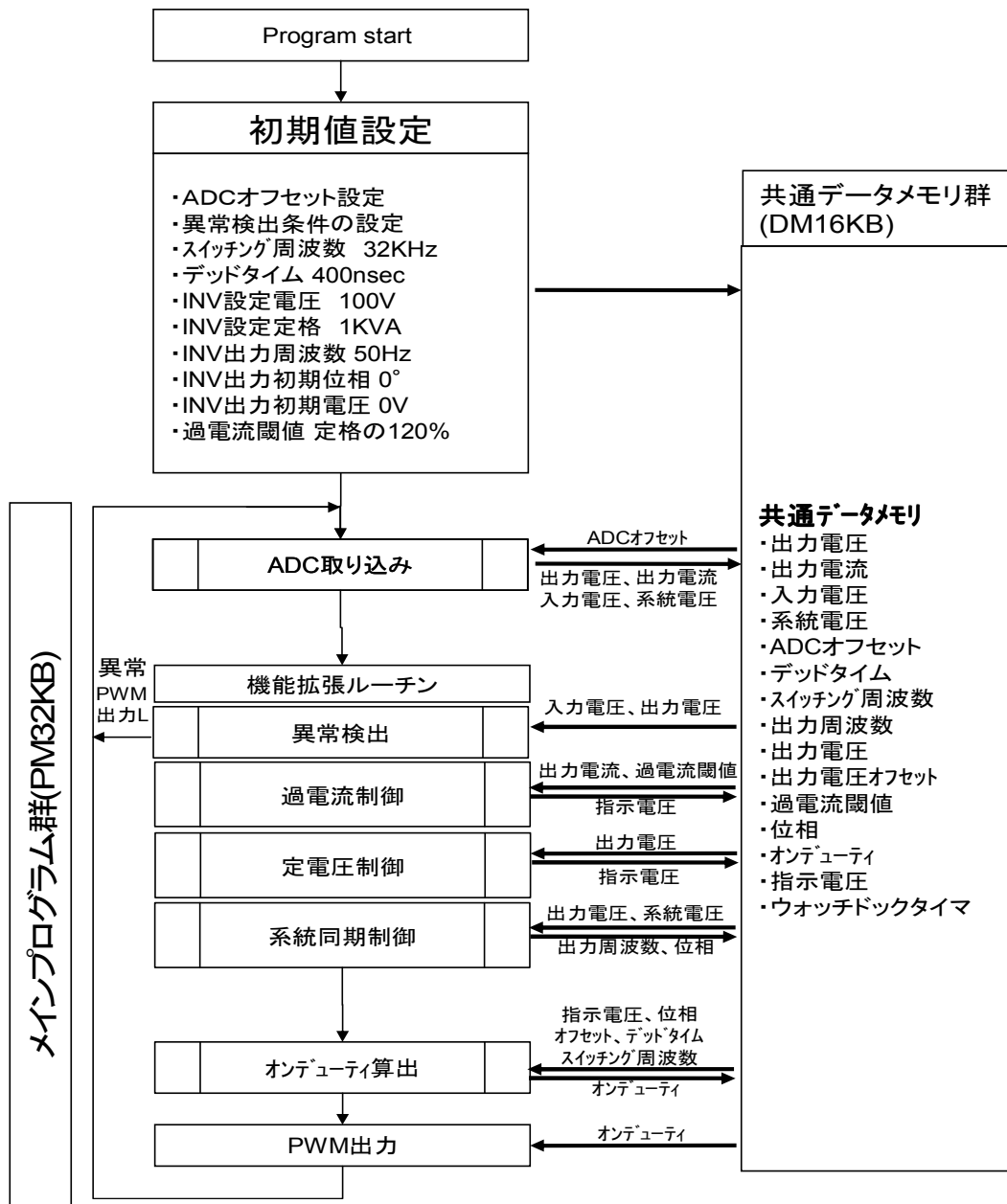


図6. 11 制御アルゴリズム

インバータ制御の基本機能となる定電圧制御のフローを図 6.12 に示す。提案方式の DSP デジタル制御ではフィードフォワード型の制御が基本となるが、負荷変動が生じた場合指示電圧と実電圧に対して偏差が生じるため、ADC より得た実電圧をフィードバック制御によりこの偏差を補償した。本方式では瞬時波高値 A に対して、第 2 章にて述べたデジタル PI 制御コントローラを実装することで 100V 定電圧制御を行う。同図に示す定電圧制御フローでは実行開始に伴いデータメモリより現在の出力電圧を取得し、目標となる電圧  $V_{ref}$  との偏差を求めデジタル PI コントローラに受け渡される瞬時波高値 A を算出し適切なオンデューティを導く。

過電流制御では、瞬時値に対する瞬時電圧垂下と継続的な過電流に対して電圧正弦波状態での電圧垂下制御の 2 制御が同時に要求される。そこで、図 6.13 に示す過電流制御フローでは、急速な変動に対して対応可能な PD 制御を採用した。同図に示すように、プログラム開始後インバータ出力電流値より偏差を求めデジタル PD コントローラにおいて瞬時波高値 A を算出することで瞬時的な電流に対応する。また、継続的な過電流に対し、提案法では平均値演算を過去 1 周期について行い、DSP が抵抗値を推定する。抵抗値は定格負荷値（純抵抗負荷  $10\Omega$  以上）を 100%、短絡時（ $0\Omega$ ）を 0% となるようレベル変換を行い A' に掛け合わせることで垂下を実現している。なお PI・PD 制御におけるコントローラ係数は実験的に得た値を初期値としてチューニングにより導出した。

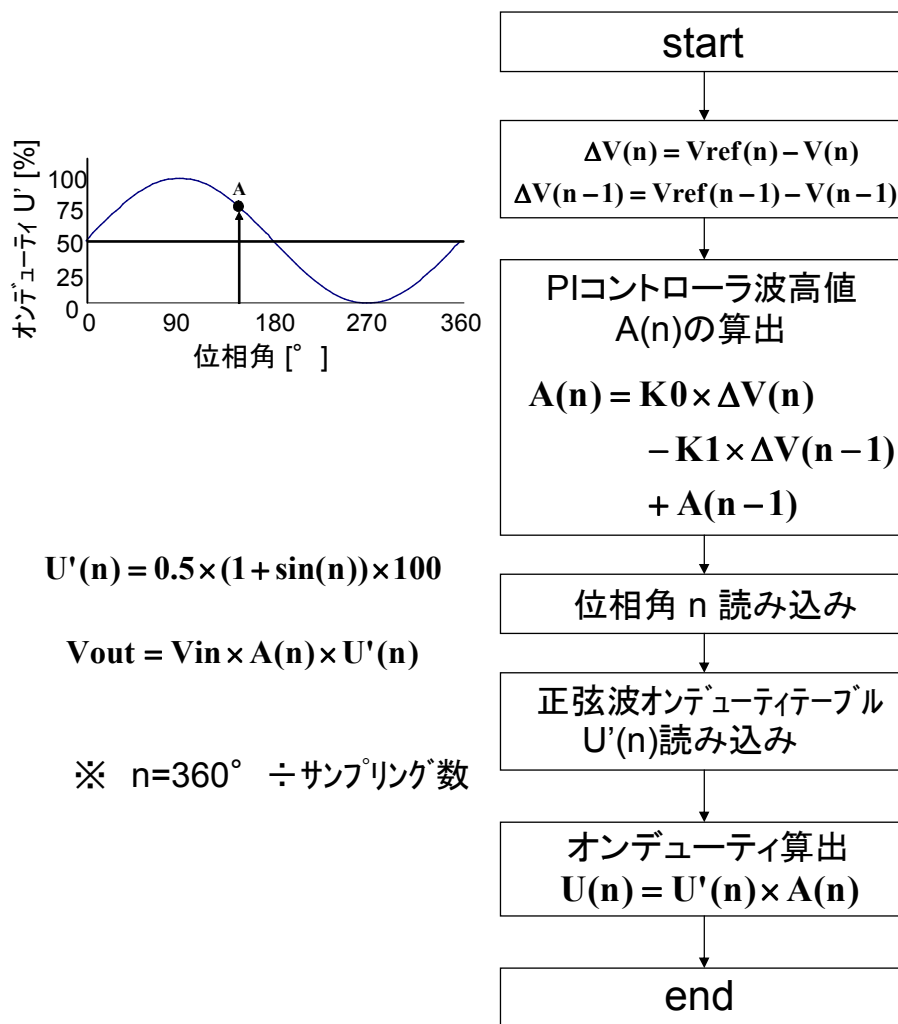


図6.12 定電圧制御フロー

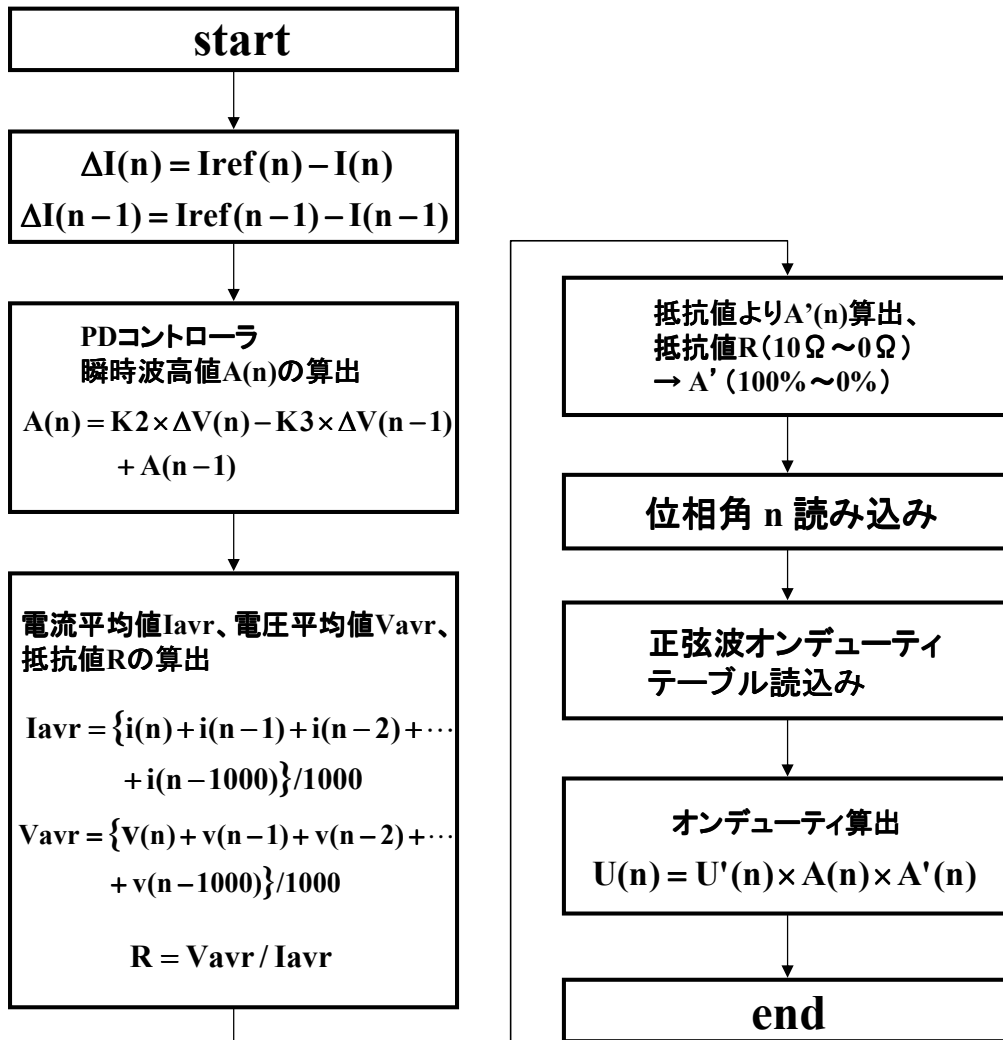


図 6. 13 過電流制御フロー

### 6. 3. 2 実装制御結果及び精度検討

前述したように、本節にて DSP デジタル制御化を行う UPS は常時インバータ給電方式であり、非常時給電方式 UPS とは異なり、商用電源に代わり高品質（定電圧・波形率・復帰時間・周波数制御）な安定化電源として常時使用されるという背景を持つ。この性能の獲得に対し、本節では、定電圧電源及び、常時インバータ給電方式の UPS に要求される各機能に対する DSP デジタル制御の制御結果について述べる。なお、性能評価は市販されている出力定格 100[V]、10[A]級の常時インバータ給電方式 UPS（アナログ制御）との比較により行われた。示される結果は工業規格及び市販製品の条件を基準としているが、示される性能以上の高性能を必要とする場合、回路の変更無しにアルゴリズム・プログラムの変更により対応できることを前提として示す。また、DSP デジタル制御では実装する全ての機能が単一制御回路にて管理されているため、以下に示される各機能の制御結果は、常に、他の機能と平行していることを付記する。

DSP デジタル制御による電圧・電流出力波形を、アナログ制御と比較して図 6. 14 に示す。なお、負荷は力率 1、定格負荷としたが、電源にとって悪条件として知られる無負荷、力率 0.8 定格負荷に対しても示す（製品仕様は高力率としているが 4 章の制御を用いているので広範囲力率に対応できる）。同図に示されるように、各制御ともに視覚的に確認できる波形の歪みはなく、表 6. 1 に示される電圧変動率 $\pm 3\%$ ・歪み率 3%以内の工業規格を十分に満たしているかに見える。これらの波形より算出される電圧実効値・歪み率及び負荷電流より作成されるグラフを図 6. 15 に示す。同図において、電圧特性（負荷力率 1.0・0.8）はアナログ制御で得られている性能と同様に、DSP デジタル制御の特性は変動率 1%以内となり規格を十分に満足している。

一方、歪み率特性について、両制御方式とも規格である 3%は十分に満たしているが、DSP デジタル制御では常にアナログ制御に比べ良好な波形を生成していることがわかる。これは、アナログ制御が一般的な方法である瞬時値での波形形成法であるのに対して、DSP デジタル制御ではフィードフォワード制御に加え、負荷接続による電圧変動分についてのみ PI の制御器によるフィードバック制御による効果と云えよう。なお、得られる電圧安定精度及び歪み率精度は、プログラム中により指定する閾値により指定されるもので、より高性能化を行う際には要求に応じて容易に対処でき、アナログ制御型が回路の変更を必要とすることに比し、大きな特徴と言える。



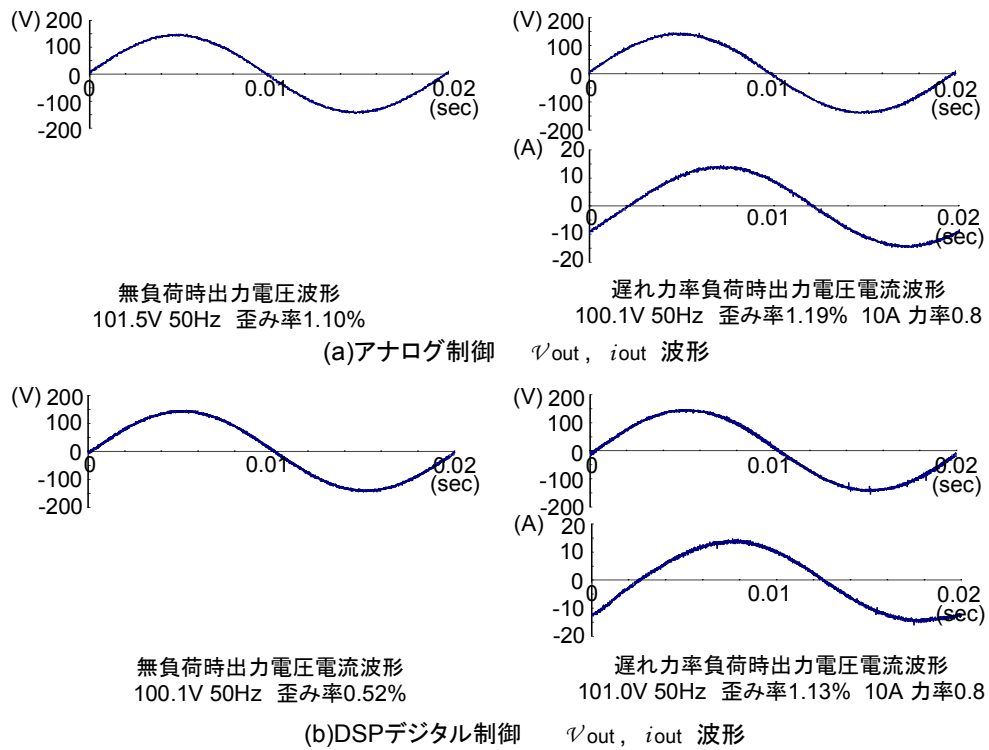


図 6. 14 定格内負荷接続時における出力電圧電流波形

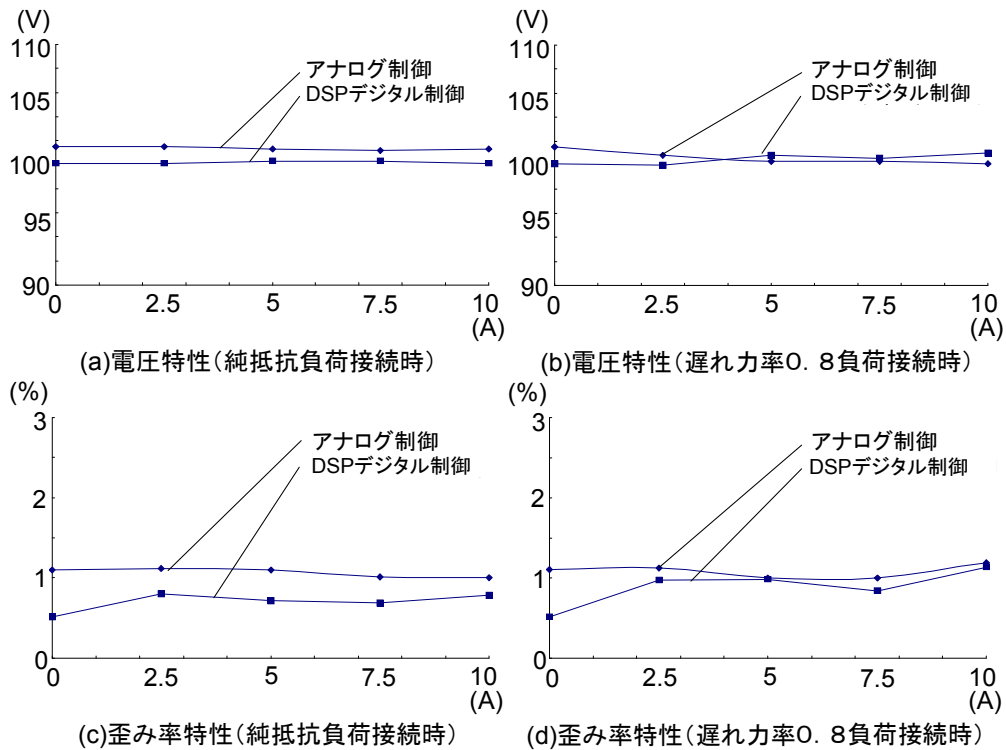
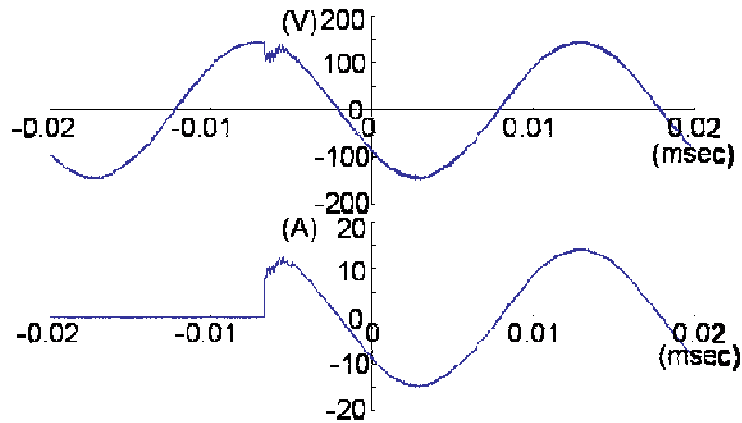


図 6. 15 負荷接続時の静特性

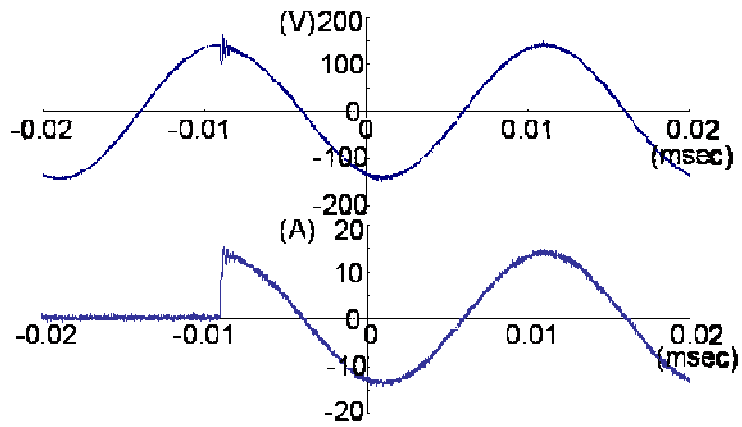
定電圧電源には以上に記した安定性・精度の他に負荷変動時における目標電圧への復帰時間が高速であることが求められる。そこで、負荷急変時における電圧復帰制御結果を図6.16(a, b, c)に示す。実験条件は無負荷時から最も変動の大きい条件として位相角 $90^\circ$ における定格負荷投入を条件とし、(a)アナログ制御結果、(b)DSP デジタル制御結果、(c)DSP デジタル制御における負荷急変時拡大波形として示す。一般的の電子機器は5~10msec程度の電圧変動により影響が生じることが知られていることから、電圧復帰目標時間を2 msec 以内の復帰が要求される。この要求に対し、同図(a, b)に示されるように、製品であるアナログ制御では当然満足しているが、DSP デジタル制御においても、ほぼ同様、もしくは、それ以上の結果を示している。負荷急変などのように波形が大きく変化する場合、連続的な波形修正を行うアナログ制御負荷に対し、DSP デジタル制御では電圧降下による偏差より適切なオンデューティが算出されるため、更に、高速な制御が行われる。同図(c)には負荷変動より約1.5msecで元波形へ復帰している様子が示されている。

以上は常時給電における最小限の機能であるが、常時インバータ給電方式UPSがメンテナンスにより一時系統ラインへの切り替えを要す場合及び、UPS インバータ・制御部の異常により系統ラインに瞬時に切り替えを行う必要がある。前者では、前もって切り替えが準備されるため、計画的に系統への同期を行なうこととなる。この同期作業の一例として同期動作が最も過酷な位相差( $180^\circ$ )からの制御結果を図6.17示す。同図より、同期制御は1 sec 以内に終了していることが示されており、この同期制御はUPS 復帰時においても同様に機能する。

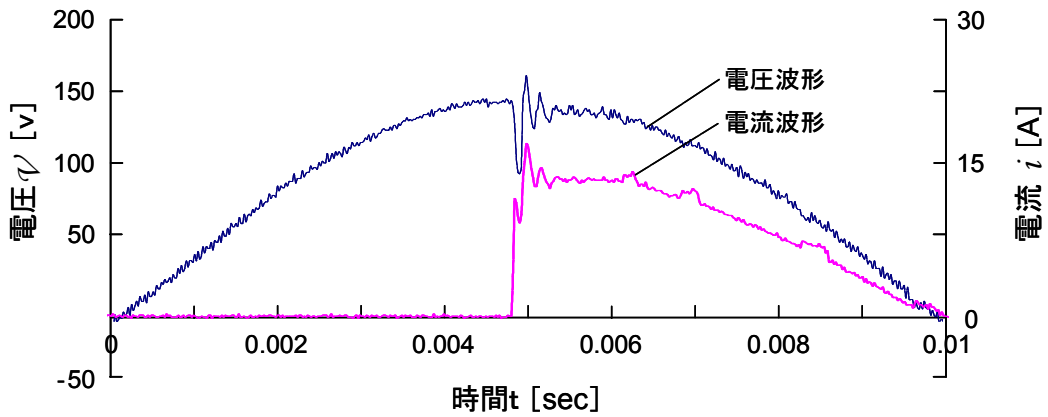
また、後者の瞬時切り替えに対しては図6.18に示される。常時インバータ給電方式である提案UPSでは、インバータ出力が何らかの理由により定格を維持できなくなった場合、商用ラインへの自動切り替えが必要となる。一般的にこの切り替え時間は、パソコンなどの電子機器に対し影響を及ぼさないよう10msec以内が要求されている。提案法では、インバータ出力は常に商用ラインと同期した波形を維持しており、インバータ出力から商用ラインへの切り替え時間は同図に示されるように5 msec となる。



(a)アナログ制御  $V_{out}, i_{out}$  波形



(b)DSPデジタル制御  $V_{out}, i_{out}$  波形



(c)負荷投入時拡大波形 (DSPデジタル制御)

図 6. 16 無負荷—負荷 100%急変に対する電圧復帰

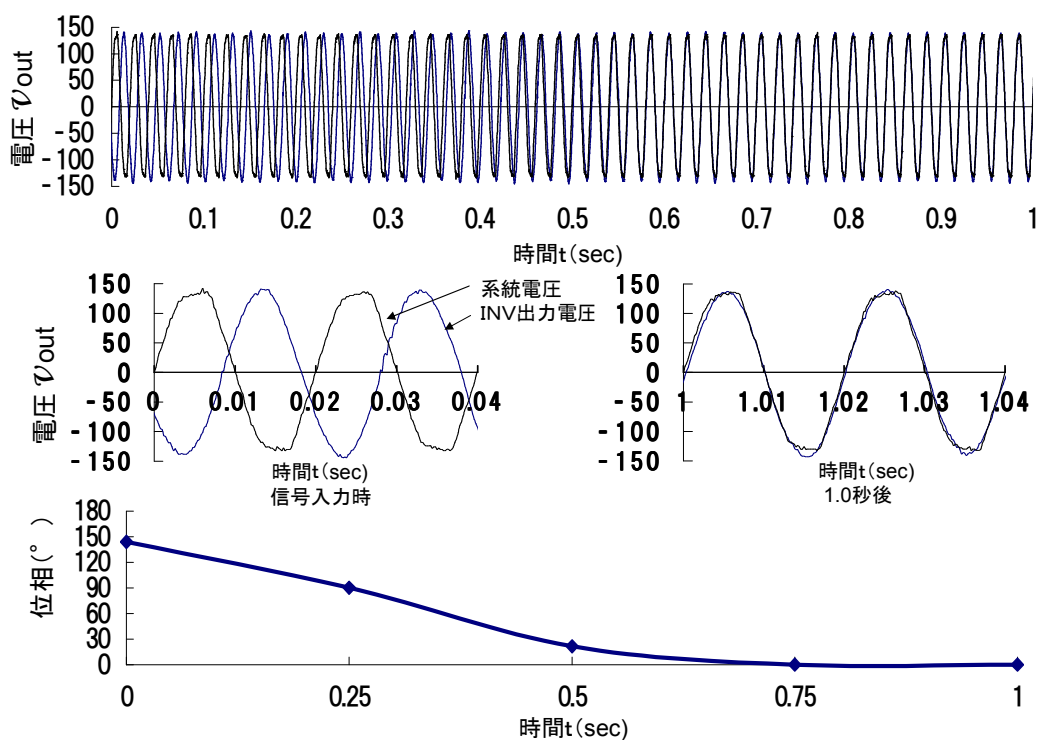


図6. 17 同期制御結果

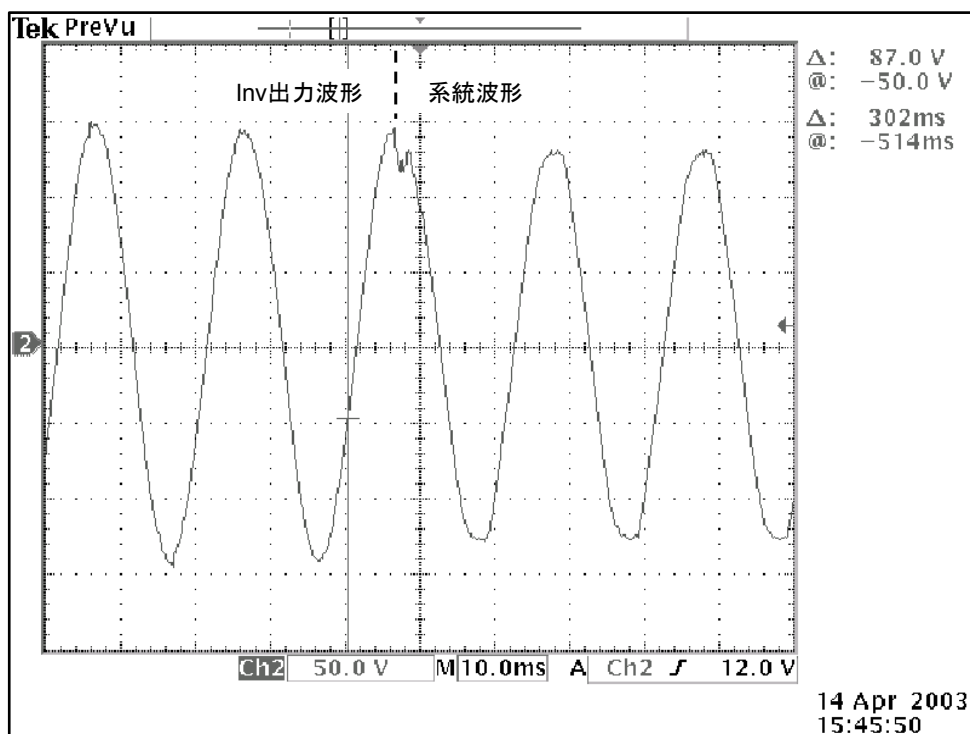


図6. 18 インバータ — 商用ライン切り替え試験

商用 UPS は利用する地域によって 50/60Hz の切り替えが必要であり、汎用電源においては外部スイッチによる出力周波数の変更が一般的である。また、試験用電源等においては、電源投入時の突入電流を防止するため出力電圧を徐々に昇圧するソフトスタートが要求される。これらの機能は、電源の性能を決定づけるものではないが、市販されている多くの UPS に搭載されているのが通例であることから、提案 UPS においても付加機能として実装した。出力周波数の変更結果として、図 6. 19 に DSP へ入力される IO ポート A からの外部信号及び周波数が変更された際の出力波形を示す。なお、出力周波数の切り替えは、ユーザによる制御信号入力後、装置の安全性確保の目的から、出力が負より正となる 0 V の地点より実行される。このため、周波数の切り替え指定に対する反応の遅れ時間は最大で一周期となる。

同様に、ソフトスイッチングに対しても IO ポート A を用いたユーザ指定による結果を図 6. 20 に示す。同図には外部信号による指示に従い、出力電圧が徐々に上昇しており、約 100msec で定格に到達する様子が示されている。同図は定格までの制限時間を 100msec とした場合における試験結果を示しているが、DSP へ指定する数値はユーザによって任意に制限時間を設定される。

以上に示すように、DSP による全デジタル制御による性能は従来のアナログ制御と同様の成果とすることができるばかりではなく、更に要求によっては性能を向上することもできる。また、拡張機能はサブプログラムであり、外部ポートにより使用の有無を指定するため、多くの機能を実装することができることも DSP 制御における利点の一つである。また、前述したように、全制御型の DSP デジタル制御では機能の拡張に対しても制御回路の変更を必要とせず、プログラム追記により対応される。

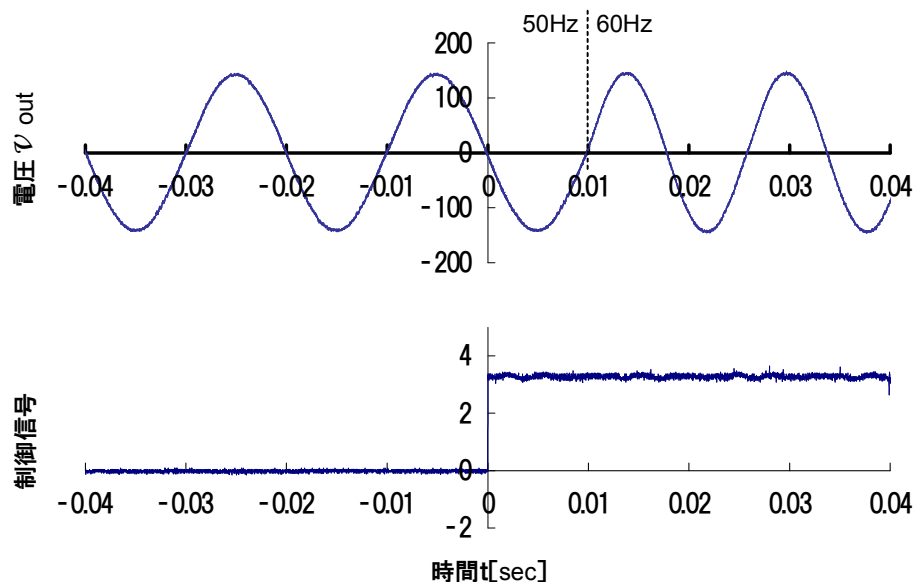


図 6. 19 出力周波数変更機能

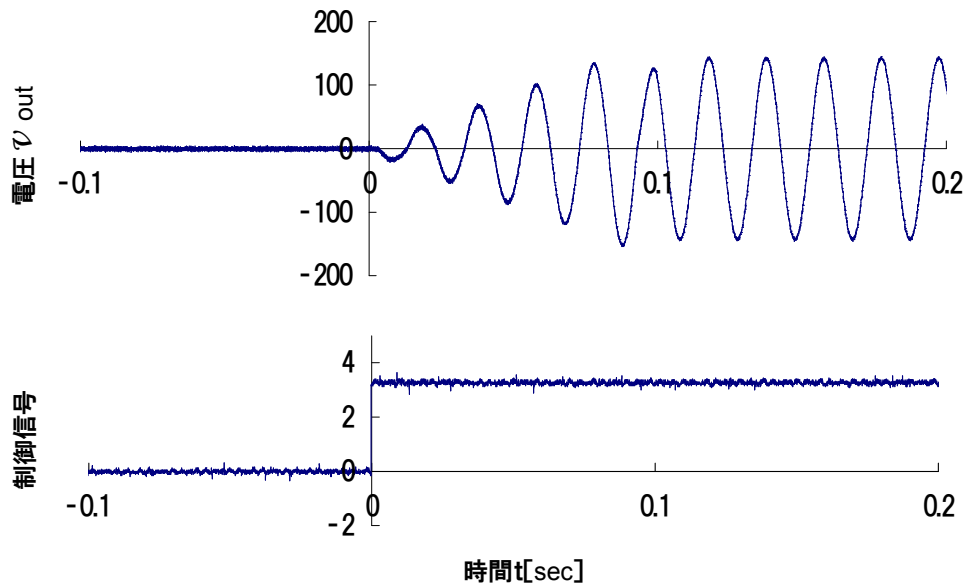


図 6. 20 ソフトスタート機能

製品レベルの電源には前節に示した基本機能に加え、出力側において過負荷や負荷短絡などの異常事態が発生した際、負荷及び電源回路自身を保護する機能が求められる。この保護機能は、従来、製品においてもアナログ制御として通常搭載されており、一般的には出力垂下動作により対応されている。これに対し、提案 UPS では DSP デジタル制御における特徴として、出力垂下・遮断、動作復帰などの機能が独立できるため、過電流時における垂下方法、出力遮断からの復帰時間の調節などを任意に設定することができ、各機能における指定値はプログラム上にて容易に変更することができる。

本提案法では、既存の UPS における制御値を基準とするため、過電流時における垂下動作については閾値を定格の 140% とし、実効値制御により出力波形は正弦波形を維持する方式を選択している。また、短絡保護については定格の 200% 以上を短絡電流と判断し瞬時垂下を行い、定格近辺での電力供給を維持するが外部へ短絡状態を知らせる信号を出力する。

回路保護機能として過電流に対し出力垂下を行った結果を図 6. 21(a, b) に示す。同図にはアナログ制御及び DSP デジタル制御適用時における過電流試験結果として、純抵抗負

荷 200%・800%時及び、短絡時の出力電圧電流波形が示される。なお、負荷投入角は出力変動が最も大きい90°付近とした。アナログ制御では全ての負荷において負荷投入直後に瞬時に電圧を垂下させることで回路の保護を行っており、同図では約100msec程度で電流波形が正弦波化されている。一方、DSP デジタル制御では過電流検出後、負荷投入による瞬時垂下から約40msecを超えた時点より電流の正弦波化が行われアナログ制御に比べ安定した正弦波形を維持している様子が示されている。

以上に示す試験結果は純抵抗負荷接続時としたが、実負荷を考慮した場合、一般的に力率負荷が含まれていることが考えられる。そこで、実負荷試験としてスライダック負荷接続時における過電流制御の制御結果を図6.22(a,b)に示す。スライダック負荷は特性上、負荷接続時の電圧の傾きによって偏磁電流を発生する。本論文では、偏磁電流が正に発生した場合と負に発生した場合についての制御結果を示している。同図(a)におけるアナログ制御では、負荷投入後瞬時に電圧を垂下し、発生した電流と逆電圧をかけ電流の閾値以内に収まるよう制御がなされ、偏磁電流が相殺されている様子が示されている。これに対し、DSP デジタル制御では偏磁電流発生後、電圧指示値の修正によりアナログ制御に比べ速やかな制御が成されている。また、過電流制御の制定時間はアナログ制御が100msecに及んでいるのに対し、DSP デジタル制御では約10msecで達成されており、高調波抑制の立場からもDSP デジタル制御方式が有利であることが分る。

以上に示すように、DSP デジタル制御では負荷異常時に対する回路保護機能についても安全な制御を行っている。本節に示している異常時制御では、アナログ制御による回路保護を模倣し、正弦波形を維持する実効値制御としているが、ユーザの指定により出力指示を0Vにする瞬時制御に切り替えることができる。また、偏磁電流の抑制についても、アナログ制御では困難とされている、負荷変更毎の調整が本方式では偏磁電流抑制モードで駆動することにより対応可能である。このようにDSP デジタル制御ではユーザの必要性により、制御形態を容易に変更できることが大きな利点の一つとなる。なお、本節において示された負荷異常時における回路保護機能は、基本機能である定電圧制御・周波数制御・歪み率制御と平行して実行されており、これらの制御の管理・実行は制御回路に用いているDSP によってのみ行われている。

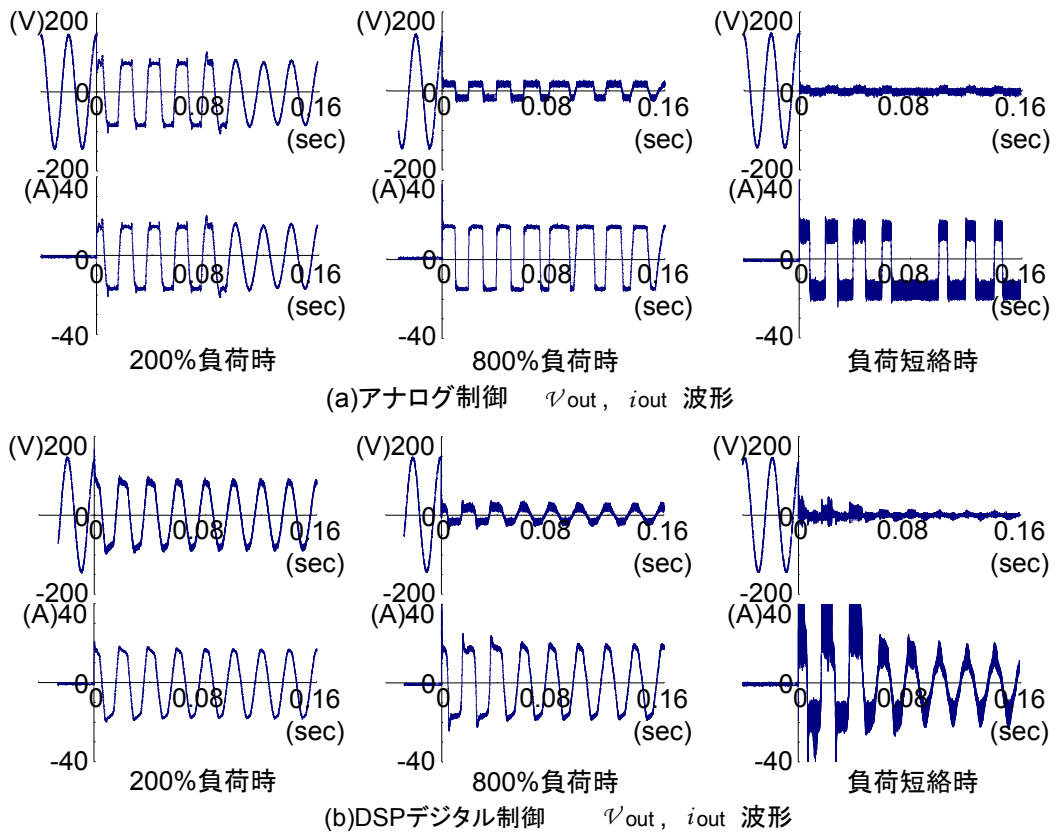


図 6. 21 純抵抗負荷接続時 INV 保護特性



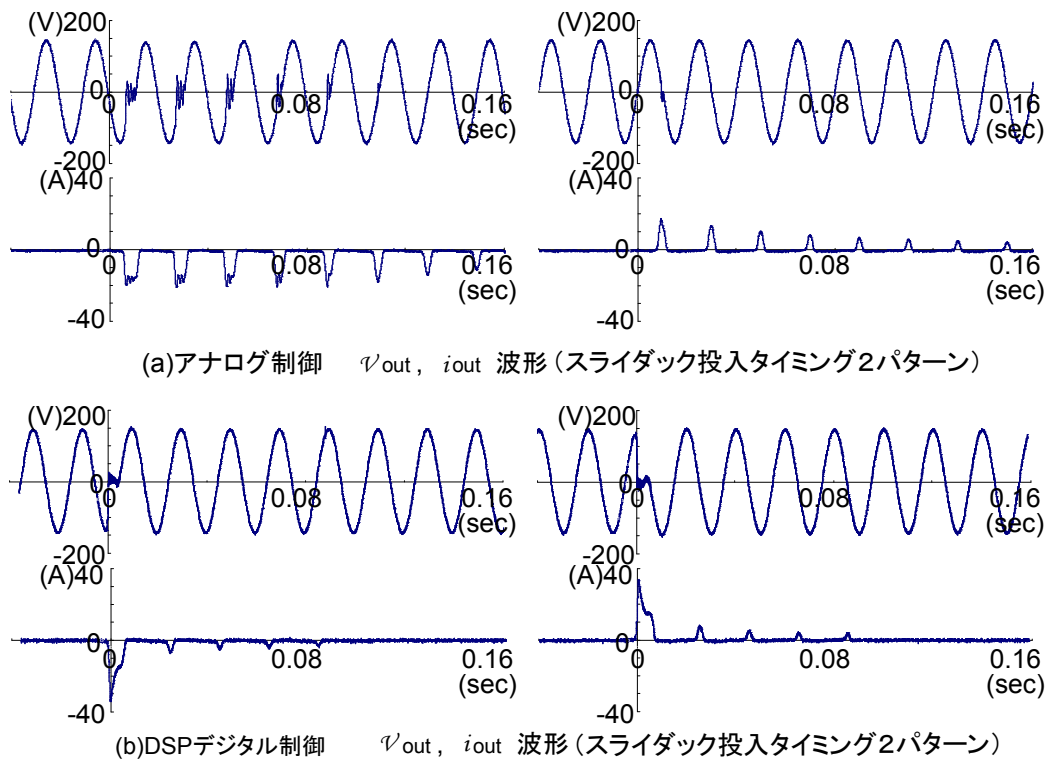


図6.22 スライダック接続時 INV 保護特性

試験用定電圧電源における仕様外の項目として、出力波形のオフセット調節やデッドタイムの設定項目が挙げられる。UPS の出力波形には多くの場合、直流電圧成分の重畳によるオフセットが存在しており、鉄心リアクタなどの正負非対称の磁気飽和に伴う偏磁電流の発生による回路の破損・焼損が広く知られている。

アナログ制御による UPS のオフセットは出荷時において調節されるが、出荷後における調節は行われぬのが一般である。しかし、電源装置の経年変化や使用負荷変更などに伴いオフセットは微妙に変動することから、装置の長期使用や効率向上の観点からもオフセットは逐次調節することが望ましい。一方、デッドタイム設定についても、アナログ制御ではスイッチング素子の特性やゲート駆動回路の応答速度に応じて、設計者が試行錯誤的に調節するが、同素子においても耐性に個体差が存在するため、基本的に  $1\ \mu\text{sec}$  程度とされている。しかし、この値も素子の経年変化により変化する。以上に述べた 2 項目について、アナログ制御では制御回路の変更・追加の問題により対応が困難とされている。そこで、DSP デジタル制御では、その利点として、この 2 項目への処理を以下に示す。

本制御方法においてオフセット調整は、PWM パルス作成時に用いられる正弦波教師データを調節することにより容易に行われる。なお、オフセット調整は負荷にインダクタ接続し、この際に発生する偏磁電流を利用した。オフセット未調整時より調整後までの出力電圧・電流波形を図 6. 23 に示す。この時 DSP はオフセット調整モードで動作しており、偏磁電流が最小となるようにオフセットを最小分解能(約  $0.1\text{V}$ )で変更している。同図には、オフセット調整により偏磁電流は減少している様子が示されている。DSP デジタル制御ではこのオフセット調節機能を常に駆動することも可能であり、駆動の有無はユーザにより指定できるようにした。

一般的にスイッチング電源における電力効率低下の主因として、デッドタイムの存在が知られている。デッドタイムは電力が供給されない状態であるため、可能な限り縮小することが好ましいが、素子により特性が異なるため、一般的には  $1\ \mu\text{sec}$  前後に設定されている。そこで、DSP デジタル制御におけるデッドタイムの設定について図 6. 24(a, b, c)に示す。同図にはデッドタイムを変更した際の代表的な出力電圧・電流波形が(a)  $400\text{nsec}$ 、(b)  $1200\text{nsec}$  として示される。さらに、同図(c)はデッドタイム推移による出力への影響を数値的に示している。DSP デジタル制御において、デッドタイムはプログラムサイクル数により決定され、種々の機能を実装した提案法の場合、その最小値は  $400\text{nsec}$  となる。また、最大値については一般的な値として、 $1200\text{nsec}$  を選択した。同図(a)に示されるように、デッドタイムが微小な場合においては、出力波形は歪みのない綺麗な波形となる。同図(c)には、デッドタイムが増加するのに従い明らかに電力効率が低下している特性が示されており、デッドタイムが電源性能に対し大きな影響力を持つことが分かる。

以上に示されるように、スイッチング電源の制御方法を決定する場合において、素子の経年変化によりデッドタイムの変更が必要となる。従来制御方式では、このデッドタイムの設定は回路に使用されるスイッチング素子により、試行錯誤的に調節が行われる。これは、DSP デジタル制御においても同様であるが、設定後デッドタイムの変更が容易ではないアナログ制御に対し、本方式ではデッドタイムはプログラム中にて指定される数値を変更することにより、容易に調節することができる。デッドタイムの最小化は電源の耐久性を損なうが、アルゴリズムによりデッドタイムを自動調節と自己診断を並行することも可能であり、DSP デジタル制御の大きな利点と成り得る。

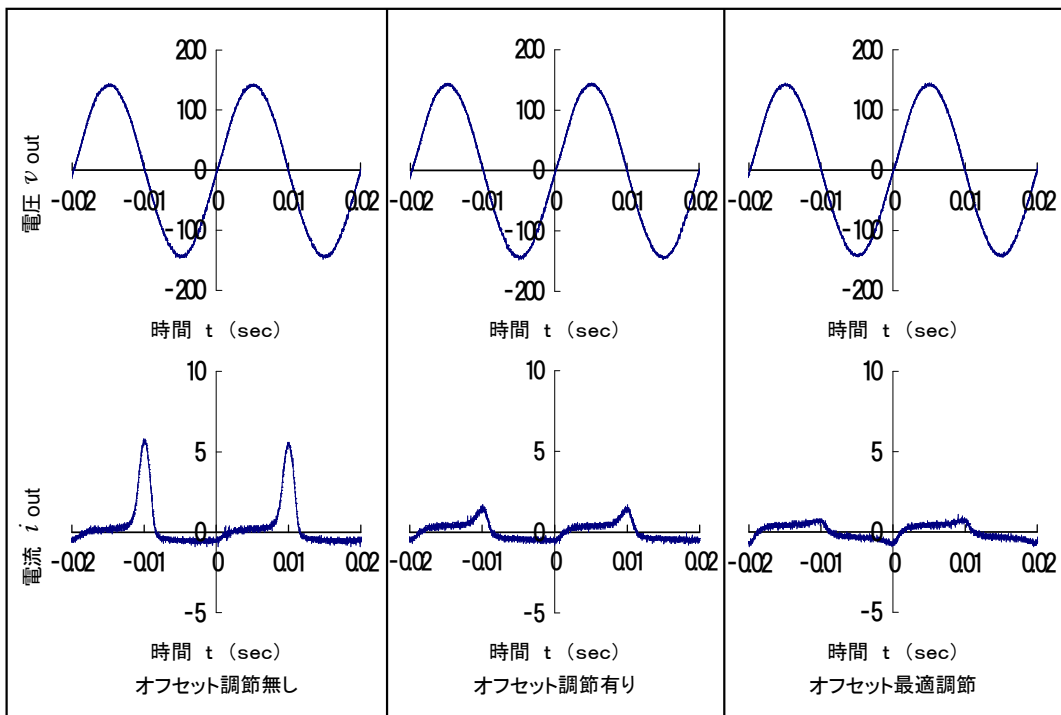
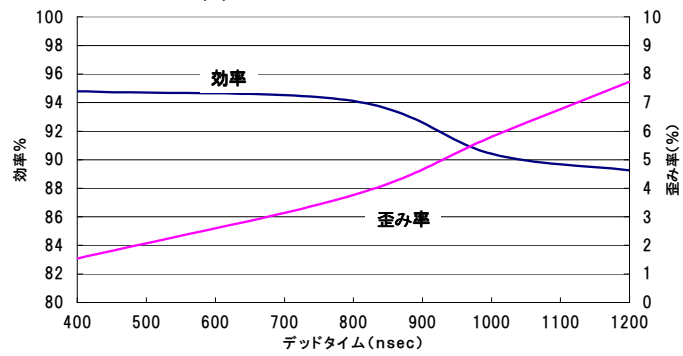
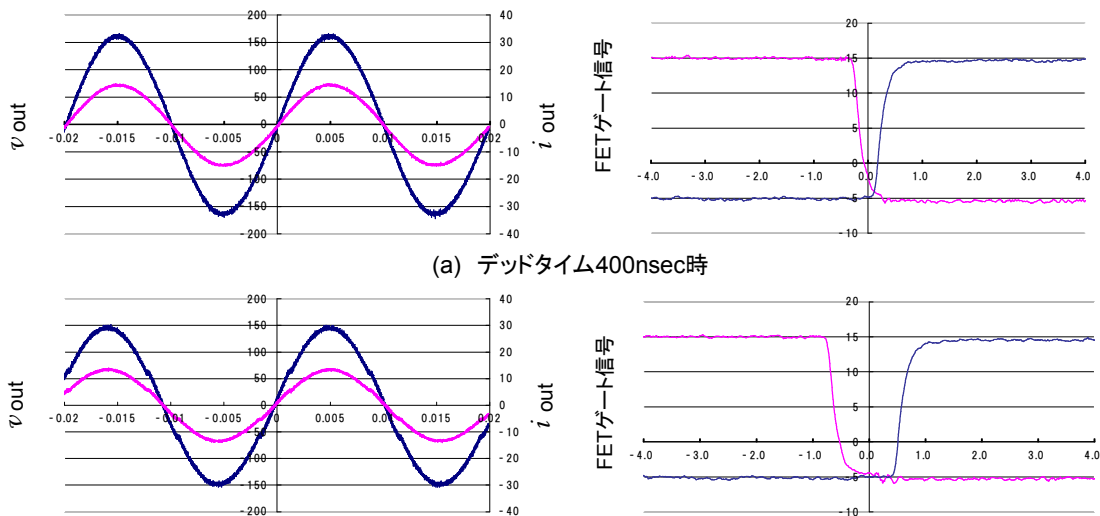


図 6. 23 オフセット調整機能



(c) デッドタイム変更時における歪み率および電力効率特性

図6. 24 デッドタイム変更時における性能改善

以上に述べるように、デジタル制御における機能の実装やより複雑な制御を考えた場合、メモリ使用量に対する検討を行う必要がある。そこで、本章で行った各種機能実装時のメモリ使用量ならびにプログラム実行量を図 6. 25 に示す。同図は DSP が保有するメモリ領域を、作成したプログラムを格納するプログラムメモリ、数値データを格納するデータメモリに分けて使用量を示している。同図に示されるように、プログラムメモリ 96Kb、データメモリ 64Kb に対し、機能実装時の使用量はプログラムメモリ約 7.8Kb、データメモリ約 7.2Kb と成っており十分な余裕があると云える。また、プログラムにおけるサイクル実行時間は約 5 $\mu$ sec であり、スイッチング周波数 30KHz (33 $\mu$ sec) である提案法の場合では、スイッチング 1 周期中に全ての機能を実行することが可能である。

使用した DSP は十分なメモリ容量と実行速度を有しており、さらに多くの機能拡張が見込める。代表的な例として、前章までに示したデジタル PWM 非線形負荷使用時における波形制御を本制御方式に追加した場合、プログラム領域は約 8% 増となるが、総使用量は 25% 程度であり更なる拡張が可能である。

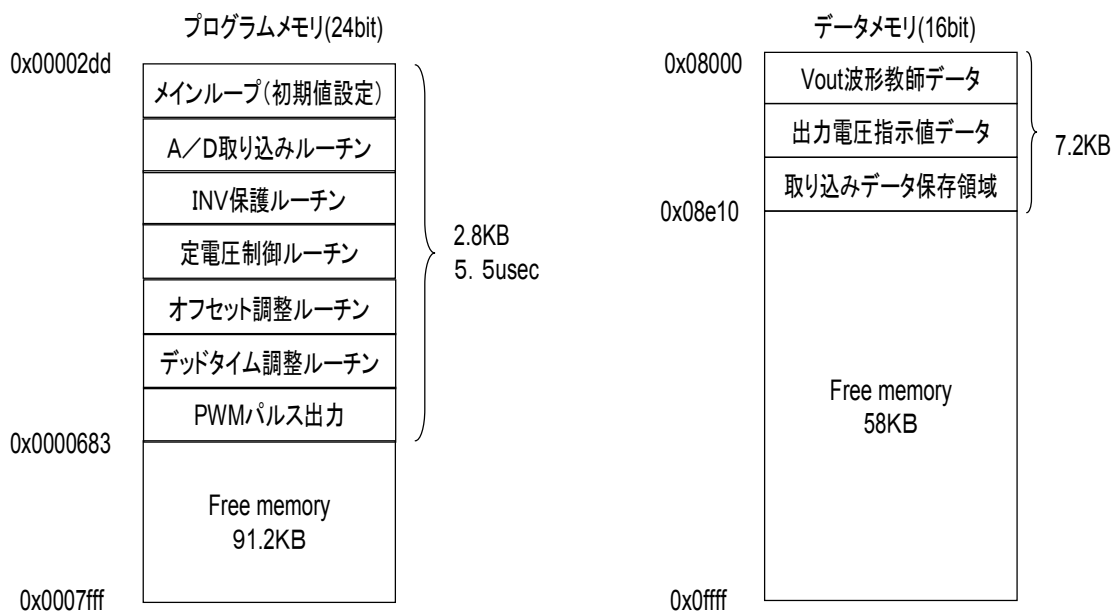


図 6. 25 DSP 内部メモリ

## 6. 4 DC-DC コンバータにおけるニューラルネットワーク制御

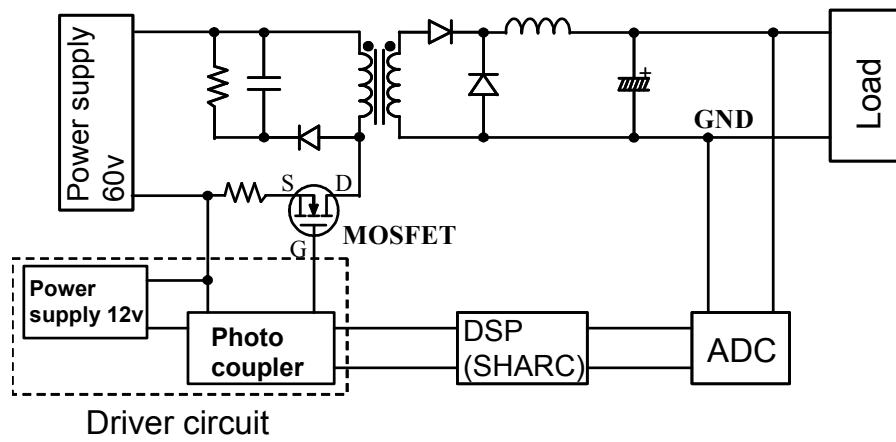
### 6. 4. 1 目的及び方法

これまでに述べた DSP デジタル制御による成果は、インバータ、電力回生電源、UPS など、交流型電源における出力波形制御など種々の制御について示している。直流・交流と大別されるスイッチング電源において、デジタル制御では PWM パルス生成時には DSP 内部で取り扱う教師データ形式（交流電源は正弦波）のみ異なり、基本的な制御アルゴリズムは同様である。従来、DC-DC コンバータにおける電圧制御にはアナログ制御が使用され、その制御方式は PI、PID 制御に代表される。この従来法は回路条件が線形域では有効であるが、制御対象にチョークコイル、ダイオードの非線形性及び鉄心のヒステリシス性により回路条件が定数化できない場合、適切な制御は期待できない。また、今後、変貌を続けるデジタル負荷に対し、柔軟に対応するための直流電源新制御方式の開発が求められる。

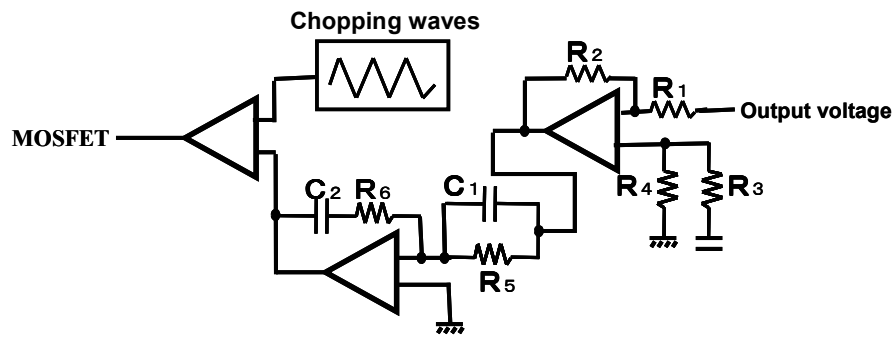
そこで、本節では、ランダム、かつ、急変をするデジタル負荷に対処するために、人工知能による出力電圧制御を導入した。人工知能は、大脳型（ニューラルネットワーク NN[17]-[23]）と反射神経型（ルックアップテーブル）に分けられるが、本節では、オフライン学習により汎化性に富んだ解を得ることができる NN を利用し、DSP による NN 制御を試みた。提案する NN ではネットワークの入力層に出力と目標値との偏差、偏差の微分量及び偏差の和（積分量）の 3 入力（一種の PID 制御）を用い、これら各入力の制御量への重みの適正值をネットワークの結合子の重みにより実現している。したがって、実負荷に対するオンライン制御学習後の NN の構築完了は PID 各係数の決定を意味し、回路系の変動にも安定な制御を行うことができる。しかし、学習には安定な制御の例を教師データとして与え学習させねばならない。これに対し、提案 NN では学習中に算出された出力値を仮の教師データとして与え、徐々に最適値に近づける逐次変動教師データを採用する。

実験に使用した DC/DC コンバータ回路の構成、及び、その回路特性を図 6. 26(a, b, c)に示す。同図(a)に示される DC/DC コンバータは、DC60[V]の入力から 5 [V]の出力を得るフォワードコンバータ型スイッチング電源であり、MOS FET のスイッチング周波数は 200[KHz]である。制御回路は ADC、DSP 及びドライバ回路から構成される。DSP には 32bit 浮動小数点演算が可能で、1 命令の実行サイクル時間が 25[nsec]の Analog Devices (AD) 社製 ADSP21062 (SHARC)を、ADC には $\pm 10$ [V]の範囲でサンプリングが可能で、最小サンプリング間隔が 10[ $\mu$ sec]の AD 社製 ADS7805 を用い、負荷には、任意に電流値の変更が行える電子負荷装置を用いた。制御周期は ADC のサンプリング及び NN 学習時間より 20[ $\mu$ sec]とした。制御上の条件としてオンデューティは MOSFET の破壊防止のため最大で 45%に制限し、DSP で生成される制御信号の分解能は 0.5%である。なお、参考としてアナログ制御回路を同図(b)に PID 制御の基本的例として示す。

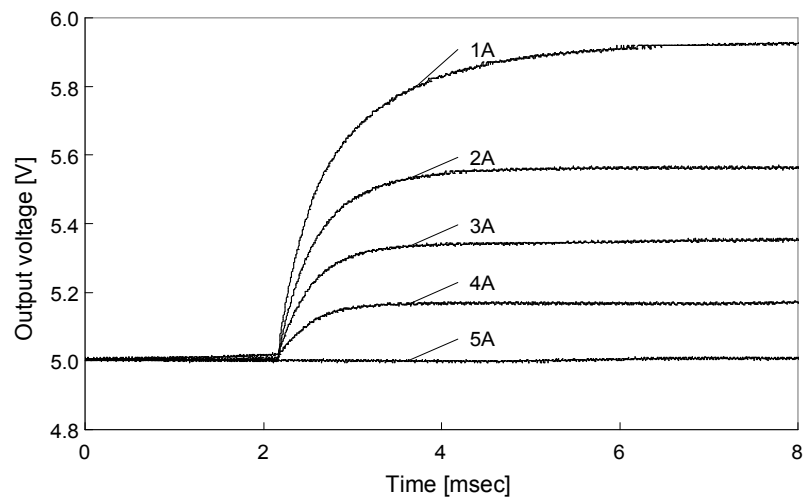
使用した回路はトランス、コイルやダイオードを含み、負荷の変化により各値が変化することが予想される。この系の変動（非制御時）をステップ応答として同図(c)に示す。同図に示されるように、負荷電流変化に伴い時定数が変動することから、使用する DC/DC コンバータの系に遅れ時間及びその変動が存在している。



(a) 直流電源回路



(b) PID制御回路



(c) 制御対象ステップ応答

図6. 26 直流電源及び制御回路

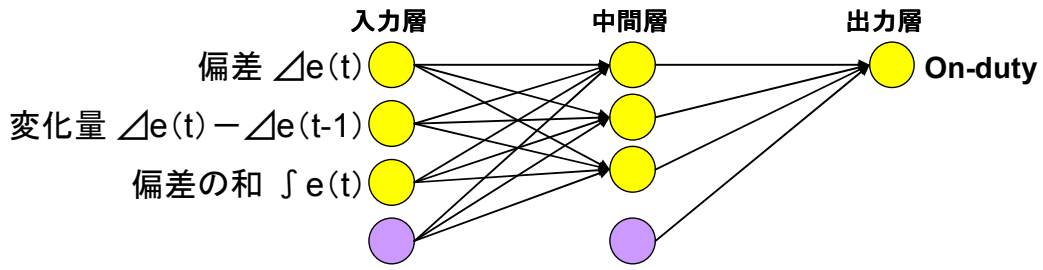
用いた NN は入力・中間・出力の 3 層構造とし、入力層に目標値に対する出力値の偏差、偏差の時間的変化（微分量）・偏差の和（積分量）を入力とする 3 入力型（PID 型）とした。この構成を図 6. 27(a)に示す。なお、参考として、2 入力型 NN・リカレント NN を図 6. 27(b,c)に示す。各 NN は、中間層数は 3、出力層数は 1 ユニットとし、出力層から制御のためのオンデューティを出力する構成である。すでに報告されている NN を用いた PID パラメータチューニングに関する研究は、電圧偏差のみを入力とし出力層に 3 ユニット設け、PID 各係数を得る構造を用いている。これに対し、本 NN ではオンライン学習・制御を行うため、出力層より出力される制御信号、すなわちオンデューティを得る点に大きな相違がある。

これらネットワークを図 6. 26(a)の制御信号として与え、負荷変動に対するオンライン学習・制御を行うアルゴリズムを図 6. 28 に示す。ADC により取得された出力電圧値と目標値との偏差  $P$ 、1 サンプル前の偏差との差  $D$ 、及び、過去の偏差の和  $I$  が算出され、ネットワークへ入力される。ネットワーク内では PID の各係数に該当する結合子との乗算が入力-中間、中間-出力層で行われ、出力層より仮のオンデューティとして算出される。この出力値は制御量の変更値として回路に出力されると共に準備された教師データと比較され、許容誤差外の場合、NN より出力されたオンデューティを新教師データへと変更し、逆伝播法により結合子の修正を行うオンライン学習過程に入る。学習過程では当然出力電圧は不安定となるが、許容誤差内に達し学習が終了すると、結合子は定数化され安定な制御が開始され、同時に教師データも最適値として維持される。

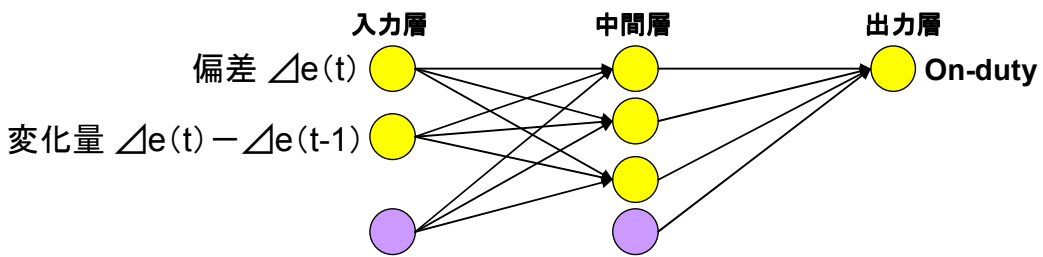
学習が初期においてローカルミニマムに陥る可能性があることから、新教師データへの修正量を偏差  $P$  に比例させ、修正量に変動を与えている。学習初期においては未学習状態のネットワークにより制御が行われており、偏差も頻繁に変動するため修正量に変動が生じ、ローカルミニマムの回避に有効である。なお、学習の後期においては十分に学習が進んでいることから、偏差と共に修正量も減少し、学習を安定化させる効果も得られると考えられる。

学習データは、工業規格のガイドラインを満たす制御性能を得るため、負荷変動として定格負荷 5 [A] に対し 20% 変動である 4 - 5 [A], 切り替え周波数 1 [KHz] を用いた。なお、結合重みの初期値は -1 ~ 1 の乱数として与えている。前述したように、本研究にて使用したデジタル制御回路において、ADC のサンプリング周期は 10 [μsec]、NN の演算時間は 10 [μsec] 以内で、一回の学習を行うために必要な演算時間は 20 μsec となる。このため、未学習状態よりネットワークの構築は数十秒にて終了することが予想されるがネットワーク完成後の学習は短時間で行われる。

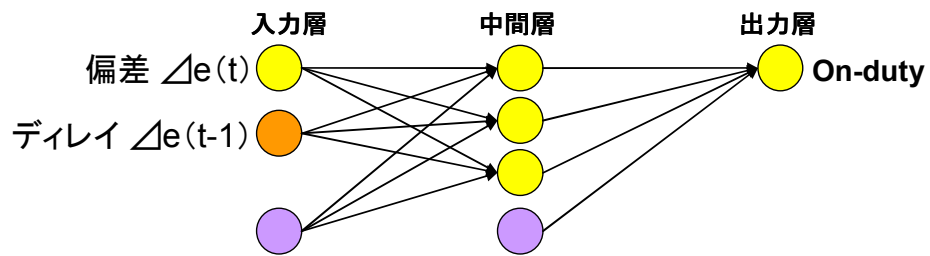




(a) 偏差、電圧の変化量、偏差の和3入力型NN



(b) 偏差、変化量2入力型NN



(c) リカレントNN

図6. 27 ニューラルネットワーク基本構成

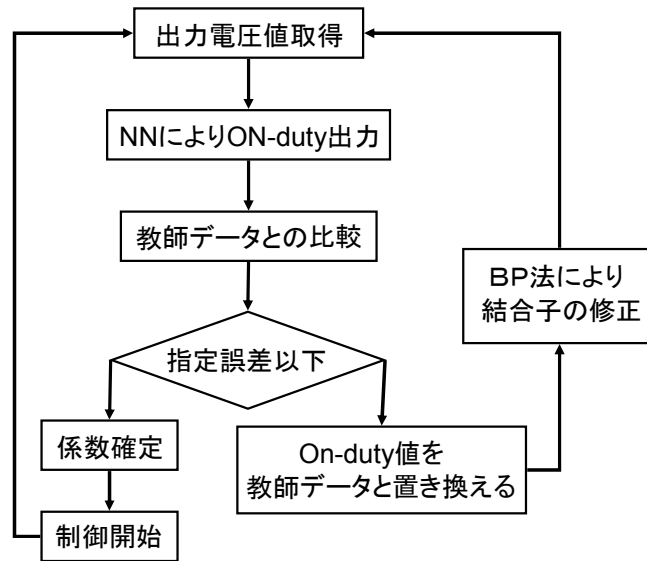


図6. 28 NNによる直流電源制御アルゴリズム

学習が終了しネットワークが完成された3入力型NNの構成を図6. 29に示す。同図において、入力層の偏差Pユニット、偏差の変化量Dユニット、偏差の和Iユニットと各中間層ユニットとの結合重みを、それぞれ  $W_1 \cdot W_2 \cdot W_3$ 、 $W_4 \cdot W_5 \cdot W_6$ 、 $W_7 \cdot W_8 \cdot W_9$  とし、中間層各ユニットと出力層ユニットとの結合重みを  $W'_1 \cdot W'_2 \cdot W'_3$  とすると、出力層から出力される値は式(6.1)によって近似的に与えられる。さらに、同式を整理すると式(6.2)の様に表現することができる。なお、シグモイド関数は線形近似している。また、バイアスユニットの効果は入力値を平行移動して動作点を決定していることにのみ利用され、PID係数算出に近似的には関与していない。

ネットワークが完成すれば、確立した各結合重みを式(6.2)に代入することにより、PID各係数を得ることができる。さらに、DC入力や負荷変動条件が変化した場合の式化による各係数の変化を求め、それらの関連性を近似することにより、NNによるチューニングを回避することができる。

$$\begin{aligned}
 \text{On-duty} = & W'_1(PW_1 + DW_4 + IW_7) \\
 & + W'_2(PW_2 + DW_5 + IW_8) \\
 & + W'_3(PW_3 + DW_6 + IW_9)
 \end{aligned} \tag{6.1}$$

$$\begin{aligned}
 \text{On-duty} = & P(W_1W'_1 + W_2W'_2 + W_3W'_3) \\
 & + D(W_4W'_1 + W_5W'_2 + W_6W'_3) \\
 & + I(W_7W'_1 + W_8W'_2 + W_9W'_3)
 \end{aligned} \tag{6.2}$$

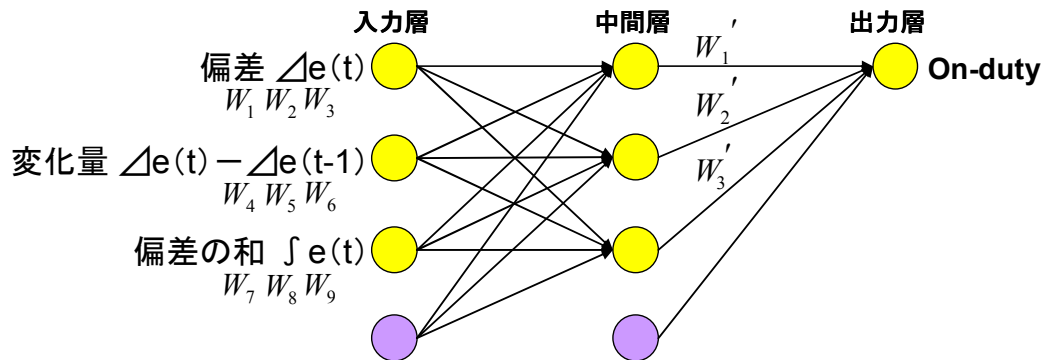


図 6. 29 直流電源制御用ネットワーク構成

#### 6. 4. 2 3層ニューラルネットワークによる学習制御

一般的な NN の学習では、教師データの値は変更されず常に固定されが、提案した学習アルゴリズムの教師データは直流電源作動中に適切な教師データへと変更され、学習中に固定されることはない。また、学習アルゴリズムでは修正量を偏差に比例させている事により、ローカルミニマムを回避することができる。その効果も確認するために、学習回数による誤差の推移を求め図 6. 30(a, b, c)に示す。

同図(a) に示される 3 入力型 NN における学習曲線において学習誤差は、学習回数 60 万回の時点で極小値となり、その後増加しているが、学習により再度減少し安定していることから、構築したネットワークがローカルミニマムを回避している様子が示されている。学習回数 150 万回以上では誤差に変動が生じていないため、200 万回にてネットワークの構築が終了していると判断した。構築したネットワークの誤差が汎化性の維持に役立ち、学習した 4 - 5 [A]以外の負荷変動に対しても柔軟な対応が可能であると予想される。なお、前述したように本 NN において一回の学習を含んだ制御周期は 20[μsec]であることから、3 入力型 NN の構築は完成までに約 40 秒の時間を有するが、その後は使用条件の変更が無い限り、常に安定した制御を行うことができる。

一方、参考とする同図(b)に示される 2 入力型 NN の学習においても、3 入力型 NN と同様、学習誤差は約 70 万回にて極小値となりその増加しているが、減少傾向に転じることからローカルミニマムの回避が十分に機能していると考えられる。同図(c) リカレント NN において、学習初期の誤差は 1.0 以上あるが、学習回数が進むにつれて誤差は次第に減少し、学習過程においてローカルミニマムに陥ることがないことが示されている。学習回数の増加により誤差が発散してしまうため、最小値を与える学習回数 12 万回で学習を終了した。

同図(a)に示されるように、3入力型 NN は 200 万回の学習によりネットワークが完成しているが、この間、入力層－中間層－出力層を結ぶ結合子は PID 各係数の導出の為に随時修正が行われている。前述したように、NN から出力されるオンデューティ (IN) は NN の各入力と重み係数の積の和である。このことから、本学習アルゴリズムでは P、I、D のゲインを学習によって調節しており、式(6.2)に対し学習を行った結合重みを代入した結果、式(6.3)を得る。同式における NN 入力値の各係数はいずれも負の値であり、NN の入力とは逆方向にオンデューティの加減を行い、DC/DC コンバータにおいて電圧変動が生じた場合に、電圧の変動を抑制する制御が行われることが示されている。

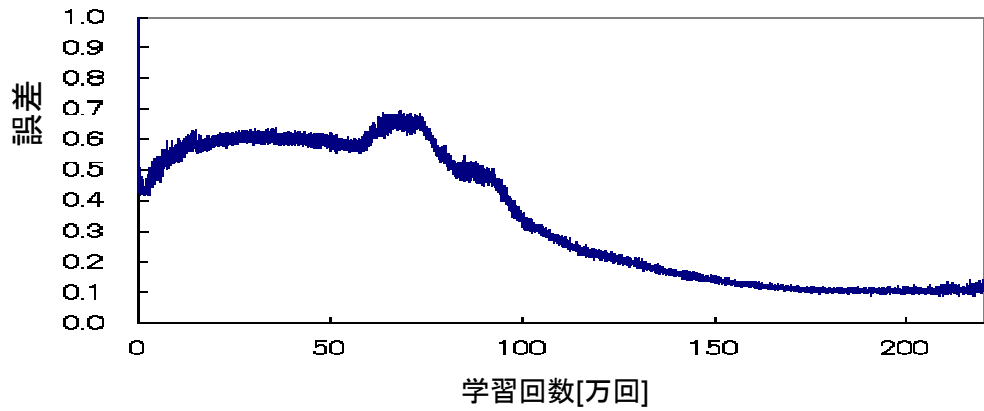
$$IN = (-21.1)P + (-1.0)D + (-10.7)I \quad (6.3)$$

直流電源における出力安定性の指標は、定負荷時においてリップル許容範囲は出力定格の $\pm 0.5\%$ 以内とされている。そこで、構築したニューラルネットワークによる制御性能を検討するため、定負荷時における出力電圧を拡大し図 6. 31(a, b, c)に示す。同図(a, b, c)は負荷電流の使用範囲 (1～5 [A]) における各負荷時に対し、構築した 3 方式 NN を電圧制御に適用した結果であり、各図において上部に出力電圧実測波形、下部に負荷電流波形が合わせて示されている。なお、同図中には定負荷時における電圧リップル許容範囲が破線にて示されている。

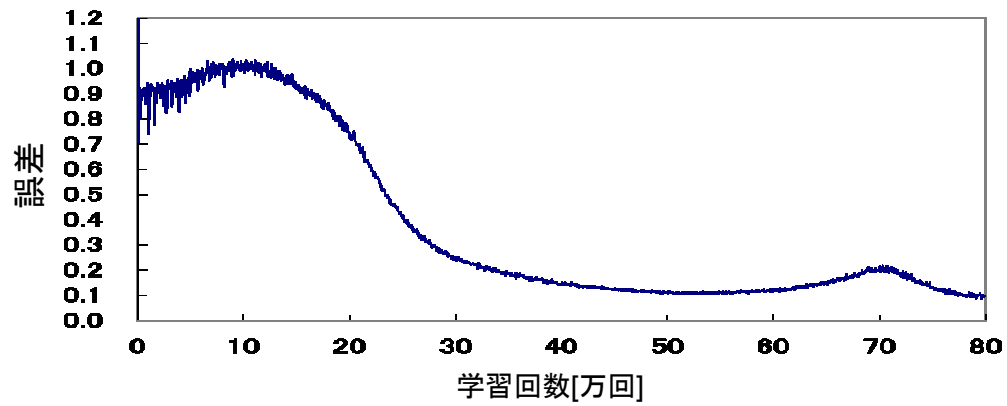
偏差の積分要素として逐次偏差を加算していく偏差の和を入力層に加えることにより常に目標値への制御を行う 3 入力型 NN では、同図(a)に示されるように負荷電流値に関わらず常に安定した出力電圧波形を維持している。また、各電流値においても電圧の安定性は高く $\pm 0.5\%$  範囲を十分に満たしている。なお、同図において負荷切り替え時に一部パルス状の電圧変動が観察されるが、この部分の変動は規格において別の指標が定められており、1%が許容範囲である。

参考として構築した NN の一つである 2 入力型 NN では、同図(b)に示されるように各負荷での安定性に欠けるが、使用電流範囲において出力リップルは全体的に許容範囲に収まっている。しかし、同図に示されるように電圧の傾きが無い定負荷時における制御性能が著しく劣っている。このため、負荷電流値によらず目標電圧を維持する制御を行うためには、目標電圧外にて安定した場合でも NN に入力される値が変化し、オンデューティが調節され続ける必要がある。

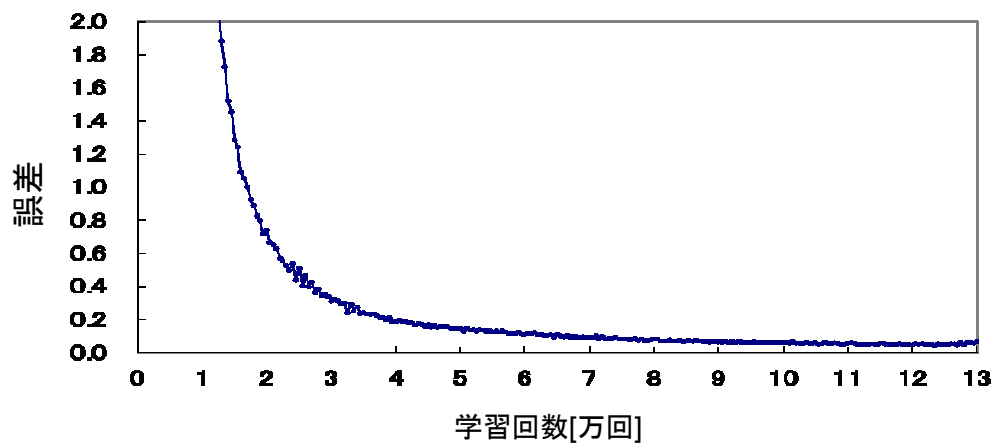
同図(c)に示されるリカレント型 NN による制御結果では、各負荷時においては安定した電圧波形となっている。しかし、負荷電流の低下に伴い出力電圧は変化しており、各負荷電流に対し最適なオンデューティが選択されていない様子が示されている。この原因として、リカレント型 NN はディレイユニットの入力により安定性は確保できる一方、負荷変動に対し偏差が入力されていない事が考えられる。



(a) 偏差、電圧の変化量、偏差の和3入力NN

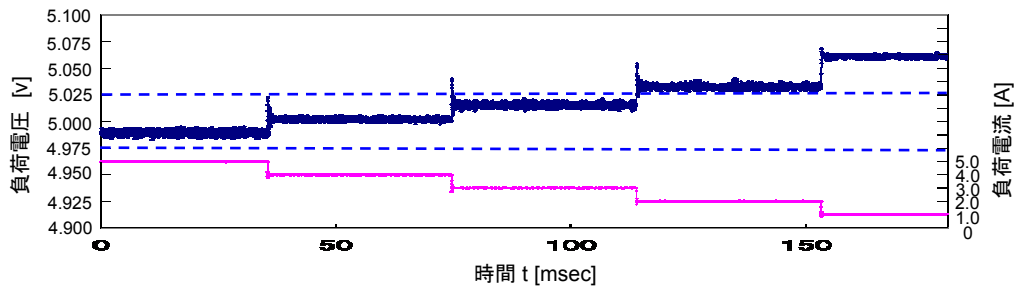


(b) 偏差、電圧の変化量2入力NN

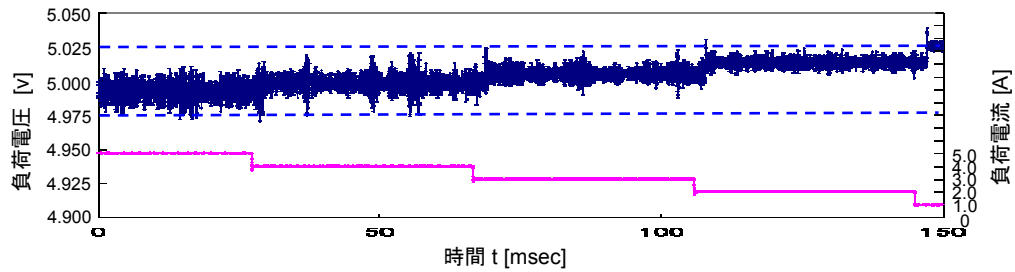


(c) 偏差1入力、ディレイ1ユニットNN

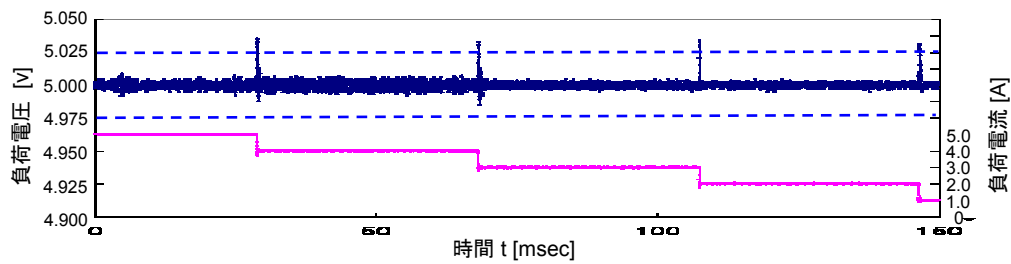
図6. 30 各ネットワークにおける学習特性



(a)偏差1入力、ディレイ1ユニットNN



(b)偏差、電圧の変化量2入力NN



(c)偏差、電圧の変化量、偏差の和3入力NN

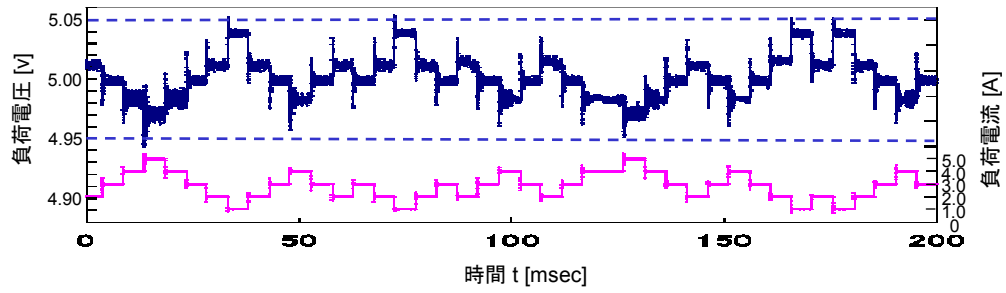
図6. 31 NNによる電圧制御効果

前述したように、構築した3入力型 NN は定負荷試験において、各負荷に対し良好な制御結果を得た。そこで、工業規格において直流電源に求められる指標となる負荷変動時に対する構築した NN での制御結果について示す。接続する負荷が変動した際における出力電圧制御結果を図6. 32(a, b, c)に、(a) 3入力型 NN、(b) 2入力型 NN、(c) リカレント型 NN として示す。同図には負荷電流が4-5[A]、3-4[A]など1[A]の範囲で変動した際の出力電圧波形制御結果が、図中上部に出力電圧波形、下部に負荷電流波形、工業規格として定められている定格の±1%の許容変動範囲を破線にて示している。

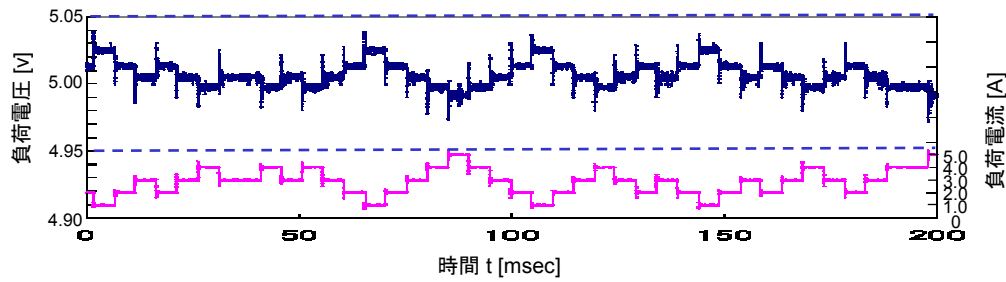
3入力型 NN は4-5[A]を負荷変動の例として学習を行っており、他の負荷変動は未経験であるが、同図(a)に示されるように出力電圧は常に目標値である5[V]を維持している。これは、学習により結合重みが良好に選定されている事を示しており、従来試行錯誤的にチューニングされていた PID 制御の各係数が構築したニューラルネットワークにより最適値として決定されていることが示されている。なお、負荷変動試験において、工業規格では負荷の変動は20%以内と指定されているが、本 NN では3-5[A]など20%以上の負荷変動に対しても良好な制御結果を得たことを付記する。

参考として構築した2入力型 NN 及びリカレント NN では、同図(b, c)において電圧変化は規格内に抑制されているが、電圧波形は負荷電流波形と同形となっており最適な制御が行われていない様子が示されている。出力電圧の変動範囲はリカレント型に比べ、2入力型 NN では全体的に抑制されているが、最適値には至っておらず実用には適していないことが分る。

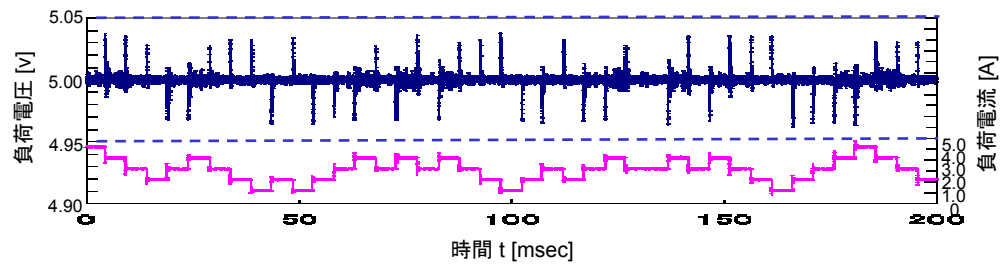
工業規格において、負荷の変動は25%以内で変動周波数は日本国内基準で100~500Hz、国際基準で100~1000Hz とされている。そこで、負荷電流を4-5[A]、10~1000Hz の条件で切り替えた場合における出力電圧制御結果について図6. 33 に示す。同図には上記の負荷変動に対し3入力型 NN を適用した結果が図中上部に電圧波形、下部に電流波形、電圧変動許容範囲を破線にて示されている。本 NN では、1 KHz の負荷変動を学習データとして用いているため、1 KHz 以下の周波数に対しては未経験な制御となる。しかし、同図にて構築した3入力型 NN は全ての周波数範囲に対して柔軟な制御を行っており、高い汎用性を示している。



(a) 偏差1入力、ディレイ1ユニットNN



(b) 偏差、電圧の変化量2入力NN



(c) 偏差、電圧の変化量、偏差の和3入力NN

図 6. 32 負荷変動に対する NN 電圧制御結果

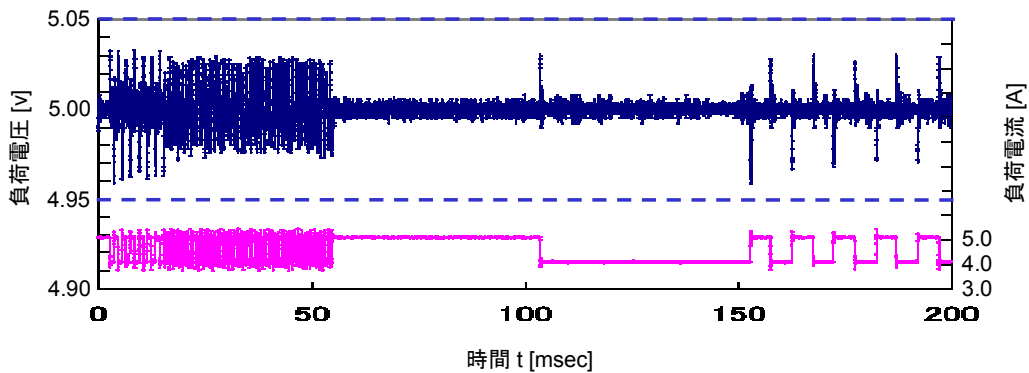


図 6. 33 高速負荷変動への電圧制御結果



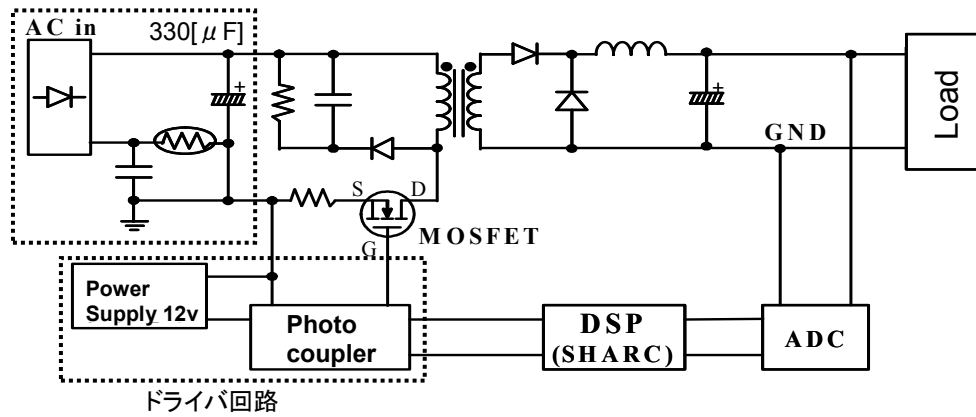
以上、示した NN の効果は、図 6. 26 に示される直流電源の初段に DC 電源が接続され、電圧変動の少ない良好な場合におけるものである。DC 電源の初段は商用電源の全波整流より得るため、その入力電圧には脈流電圧が重畳することが多い。そこで、初段 DC 電圧の脈流を考慮したネットワークの構築に本 NN 制御を適用した。AC/DC コンバータを付加した回路図及びその出力電圧の変動（負荷電流 5 [A] の定格負荷非制御時）を図 6. 34 (a, b) に示す。同図(b)に示されるように、定負荷時においても出力電圧は入力脈流の影響により大きなリップルが発生しており、トランス側における電圧変動幅は DC 入力時において 160[mV]程度であったのに対し、AC 入力では 1.5[V]にまで達しており、この結果、出力リップル幅は最大で 930[mV]に達している。

脈流重畳時における出力電圧制御では 3 入力型 NN を使用し負荷変動は 4-5[A] 1KHz とし学習を行い、ネットワークの構築を行った。NN 構築時の学習曲線を図 6. 35 に示す。同図に示されるように、学習ではローカルミニマムの回避が数回行われており、最終的に学習回数 250 万回で収束していることから、ネットワークを確立した。脈流が無い場合と比較すると、学習回数が多くなるが構築した NN は脈流の有無を包括している。完成したネットワークにおいて選定された結合重みを式(6.2)に代入すると式(6.4)を得る。同式において各係数を式(6.3)と比較すると、微分係数、積分係数共に変更されているが、比例係数が最も変化しており、脈流により発生した大幅な電圧変動に対し比例制御を強化している様子が示されている。

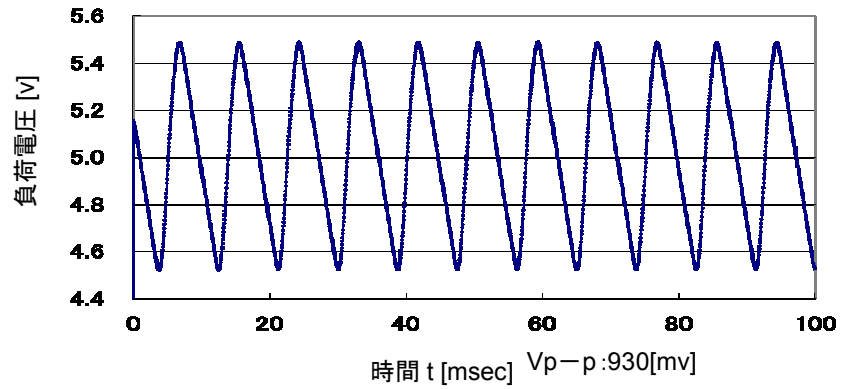
$$IN = (-31.1)P + (-0.8)D + (-10.9)I \quad (6.4)$$

構築したネットワークの制御性能評価を、これまでと同様、定負荷試験、負荷変動試験、周波数変動試験により行った結果を図 6. 36 (a, b, c) に示す。同図中には試験毎に工業規格にて許容されているリップル範囲を破線にて記しており、上部に出力電圧波形、下部に負荷電流波形を示している。同図(a)に示される定負荷試験では、負荷電流 5 [A] 時において多少のリップルが発生しているが、全体的に安定して規格を満足している。同様に、負荷変動試験及び周波数変動試験では同図(b, c)に示されるように、様々な負荷変動及び切り替え周波数の変動に対しても柔軟に対応しており常に目標電圧である 5 [V] を維持している。

以上に示すように、理想的な入力電圧ではなく、交流入力により入力電圧に脈流が重畳している場合においても、提案した学習アルゴリズムにより構築された 3 入力型 NN は様々な負荷試験に対し、柔軟な制御を実現した。本 NN の学習はオンラインにて行われるため、入力条件が脈流重畳へと変動しても、ネットワークの構築は 50 秒程度にて終了し、その後は安定した制御が可能となる。



(a) AC/DCコンバータ回路



(b) 出力電圧(出力電流5[A]非制御時)

図 6. 34 AC-DC 電源におけるリップル重畳出力電圧

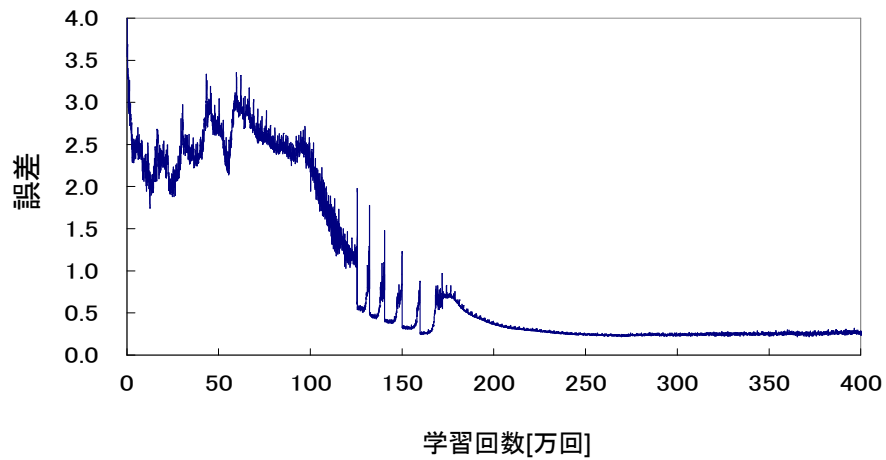
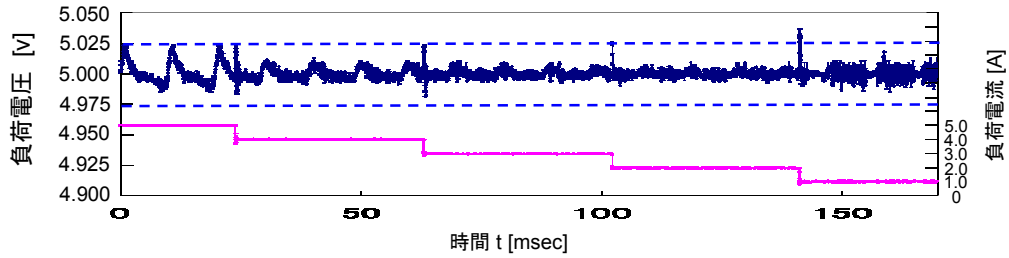
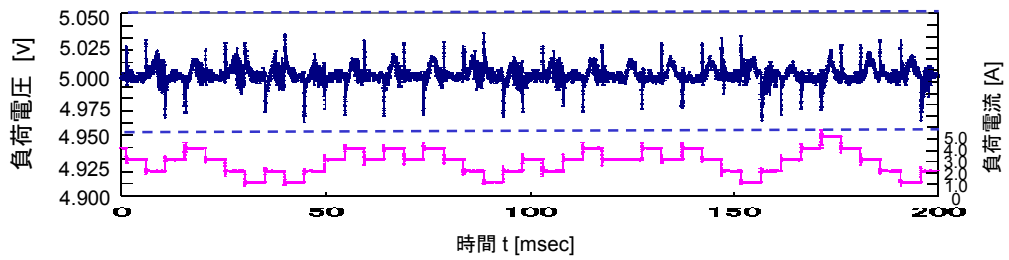


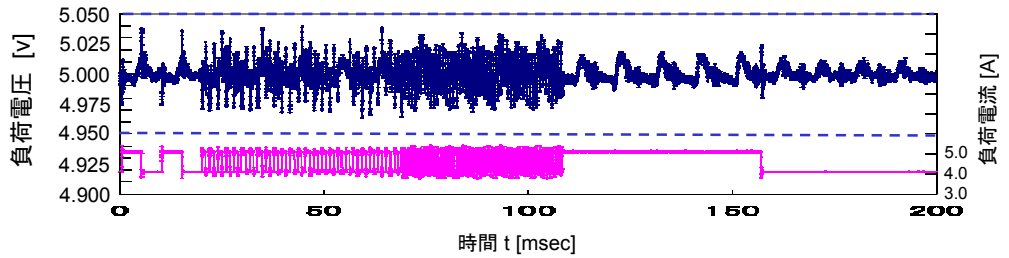
図 6. 35 再構築 NN 学習特性



(a) 各電流値における定負荷試験



(b) ランダム負荷変動試験



(c) 負荷変動周波数切り替え試験

図 6. 36 AD-DC 電源におけるリップルを考慮した出力電圧制御

## 6. 5 DC-DC コンバータにおけるルックアップテーブル制御

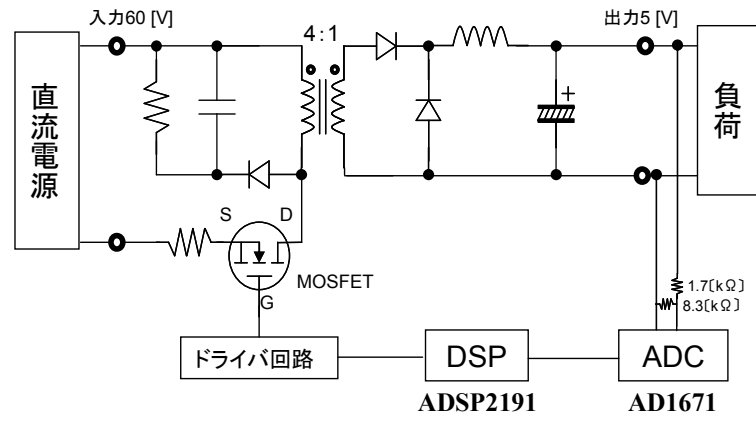
### 6. 5. 1 目的及び方法

デジタル負荷の直流電源(DC/DC 電源)に対する要求は高い安定性である。プロセッサ、IC等のデジタル部品用電源として用いられる低出力直流電源では、工業規格において負荷変動時における出力電圧変動(リップル)は、定格出力の1%以内(定負荷状態では0.5%以内)などが指定される。これらの要求に加え、電源の小型化、高性能化を目的として採用されるデジタル制御には、今後利用の拡大が予想されるデジタル負荷など備え、高次元制御の実装が求められている。前節では、急変をするデジタル負荷に対処するために、ニューラルネットワーク(NN)制御方式を採用し、実用可能な制御結果を得ることができた。しかし、NNではDSPにより長時間の学習を高速に行う必要があり、リアルタイム制御性能の更新を実現するには難点がある。

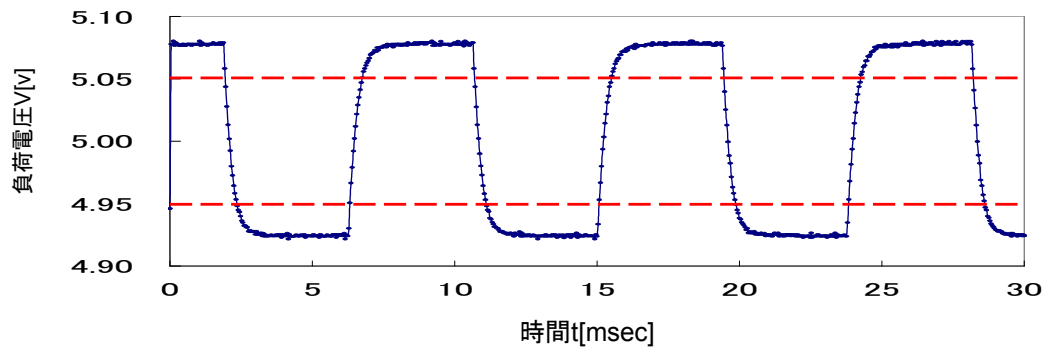
そこで、本節では5章に述べたデジタル制御のアルゴリズムを利用し、電圧リップルに対し、DSP内部における教師データを必要に応じて選択・修正するルックアップテーブル制御方式を提案する。提案法では、制御量変更時において膨大な演算などなどを必要としないため、NN制御では実装困難とされているオンライン化が容易に実現できる。また、本方式は制御結果を監視し、テーブル内のデータ調節を随時行うため従来制御の問題点とされていた電源回路・制御回路の経年劣化問題に対して良好に対応すると考えられる。なお、本方式における制御精度は、DSP及びADC性能に大きく左右されるため、これらに対する考察についても後述することとする。

実験に使用したDC/DCコンバータ回路の構成を図6.37(a,b)に示す。同図(a)に示す回路仕様は入力60[V]に対し、出力定格電圧5[V]・定格電流5[A]である。スイッチ部に用いられるMOSFETにおけるスイッチング周波数200KHzとし、制御信号はこれまでの制御方式同様にDSPよりドライバ回路を介して直接入力される。制御回路はADC、DSP、ドライバ回路から構成され、DSPにはADI製ADSP2191M(16Bit固定小数演算型、実行サイクル6.25[nsec])を、ADCには同社製AD1671(12Bit±7[V]input,変換時間0.8[μsec])を使用した。

制御基準は、より要求制度が厳しく設定されているアメリカ工業規格を適用し、定負荷時に定格電圧の±0.5%以内、負荷変動時(25%負荷変動周波数100Hz~1KHz)において定格電圧の±1%以内と定めている。また、定格電圧への到達時間については負荷変動より3[msec]以内とした。同図(b)には使用した回路の基本特性として、負荷電流を4-5[A]・100[Hz]で変更時における非制御出力電圧が示される。なお、同図中には工業規格である±1%を破線にて示している。同図に示されるように出力電圧は負荷電流の変動に伴い変化しており、非制御時では出力電圧リップルは160[mV]となっており、DSPはこれを規格内に制御する信号を出力する。



(a) DC/DCコンバータ



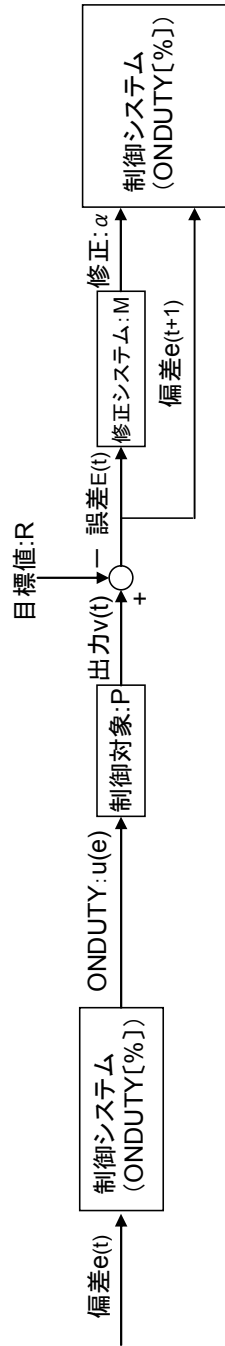
(b) 4-5[A]・100HZ

図 6. 37 実験回路及び基本特性

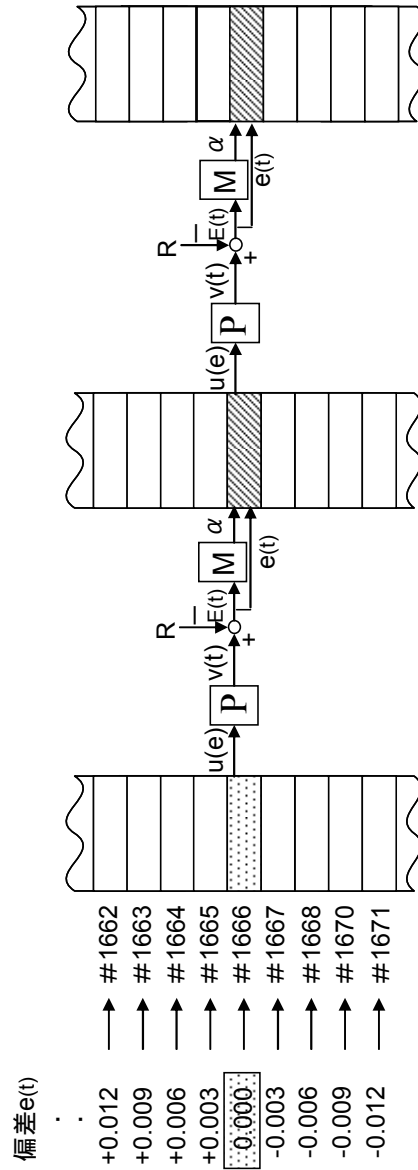
従来法であるアナログ制御では、コンパレータにより出力に応じた制御信号調節をリアルタイムに行うため、精度の高い制御が可能となる。デジタル制御においても制御信号修正のオンライン化が必要とされているが、現代制御理論や NN 制御などでは、制御プログラムが複雑であるため非常に困難とされている。これに対し、本件にて選択したルックアップテーブル方式では、偏差に応じた制御信号を出力後、出力電圧の変化によりルックアップテーブルの修正を随時行うことが容易である。

直流電源における出力制御として DSP に実装した制御方式のブロック図及びモデル図を図 6. 38(a, b)に示す。ルックアップテーブルを搭載したデジタル制御では使用した ADC は出力電圧を制御周期  $5[\mu\text{sec}]$ 毎に  $0.003[\text{V}]$ の精度でサンプリングし DSP へ伝達する。DSP 内部メモリには、各偏差に対応する制御量が格納されており、インデックスレジスタのように伝達された出力電圧偏差を情報としてメモリアクセスを行い、格納されている制御量をそのまま修正オンデューティとしてスイッチング素子へ入力する。制御後に出力電圧が目標値に達しない場合には、同図(a, b)に示されるように各メモリの修正量は“修正システム”において変更される。このオンライン（学習）作業によりルックアップテーブルが更新し続けられ、電源装置の経年劣化により出力特性が変化した場合においても、これを包括したオンデューティ選択を行うことができる。

作成したルックアップテーブルによる効果を図 6. 39 に示す。同図には電源起動時における電圧確立試験結果が示されている。同図では、初期ルックアップテーブルに対し、二回目以降では各偏差において制御量が修正されている為、立ち上がり時間が早くなっている様子が示されている。この結果より、作成したルックアップテーブルによる電圧制御が良好に動作しており、制御結果を反映して DSP 内でテーブルが修正されていることが確認できる。また、確立時間について、起動試験を重ねる度に立ち上がり時間の高速化は可能であるが、用途に応じて使用するルックアップテーブルを選定できることもデジタル制御の特徴の一つである。



(a) 制御ブロック図



(b) 制御モデル図

図6.38 ルックアップテーブル方式

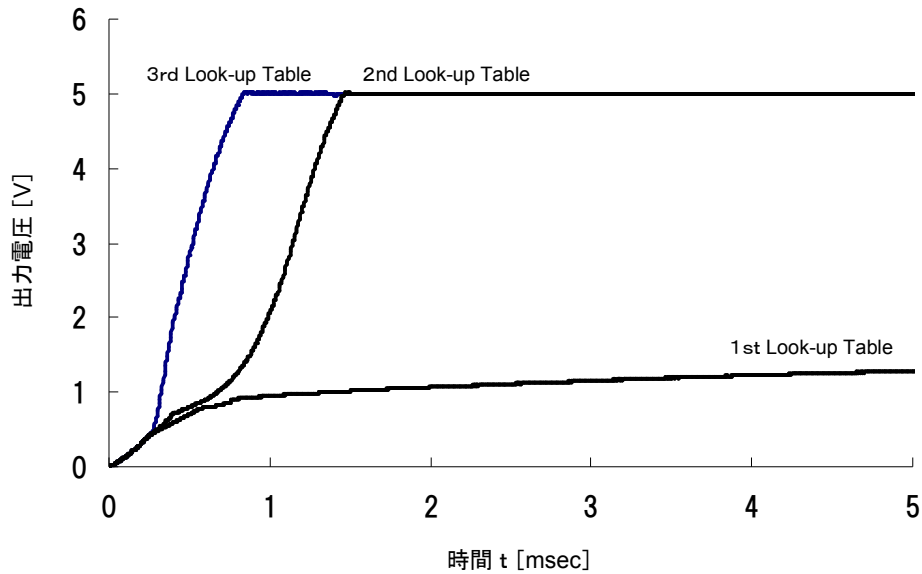


図 6. 39 電圧確立試験結果

### 6. 5. 2 ルックアップテーブルによる高速リアルタイム制御

前述したように、直流電源における評価基準は用途によって異なるため、一般的に汎用電源開発時における出力精度評価には工業規格が用いられている。評価は出力電圧のリップル幅によって行われ、国際規格では 25% 負荷変動 (100Hz - 1 kHz) に対し、定格電圧の  $\pm 1\%$  以内の変動と、また、定負荷時においては定格電圧の 0.5% 以内とされている。そこで、本節では提案法としてルックアップテーブル方式による、直流電源の出力制御結果を示す。なお、多くの電圧制御試験では同様の結果を得ているため、電圧波形図は代表的なもののみを示している。

負荷変動時に対する電圧制御結果及び、負荷変動瞬時における電圧変化動向を図 6. 40(a, b, c) に示す。また、電圧試験後に DSP 内部メモリより抽出したルックアップテーブルの一部を表 6. 2 に示す。同図(a, b)には、負荷が 4-5[A] 100[Hz] で変化した際における出力電圧波形が(a)非制御時、(b)制御時として示される。なお、同図には負荷変動時における工業規格  $\pm 1\%$  を破線で示す。非制御時では、出力電圧が負荷電流の変動に伴い矩形波形的に変化している。これに対し、制御時では負荷変動に対しても目標値である 5 [V] を安定して出力している。



同図(c)には、負荷変動時を中心に2[msec]間の電圧動向を抽出した波形を示す。同図では、電圧変化を分かり易くするために、電圧軸を工業規格フルスケール(4.95-5.05[V])とした。負荷電流の変化に応じて電圧も変動しているが、その後目標値へ収束しており制御が良好に動作している様子が示されている。また、表6.2においては、DSPが常にデータの微調整をしている結果が示されている。このように、提案法ではデータの書き換えを常に行うため、様々な試験を行うことにより完成度の高いロックアップテーブルの作成が可能となる。

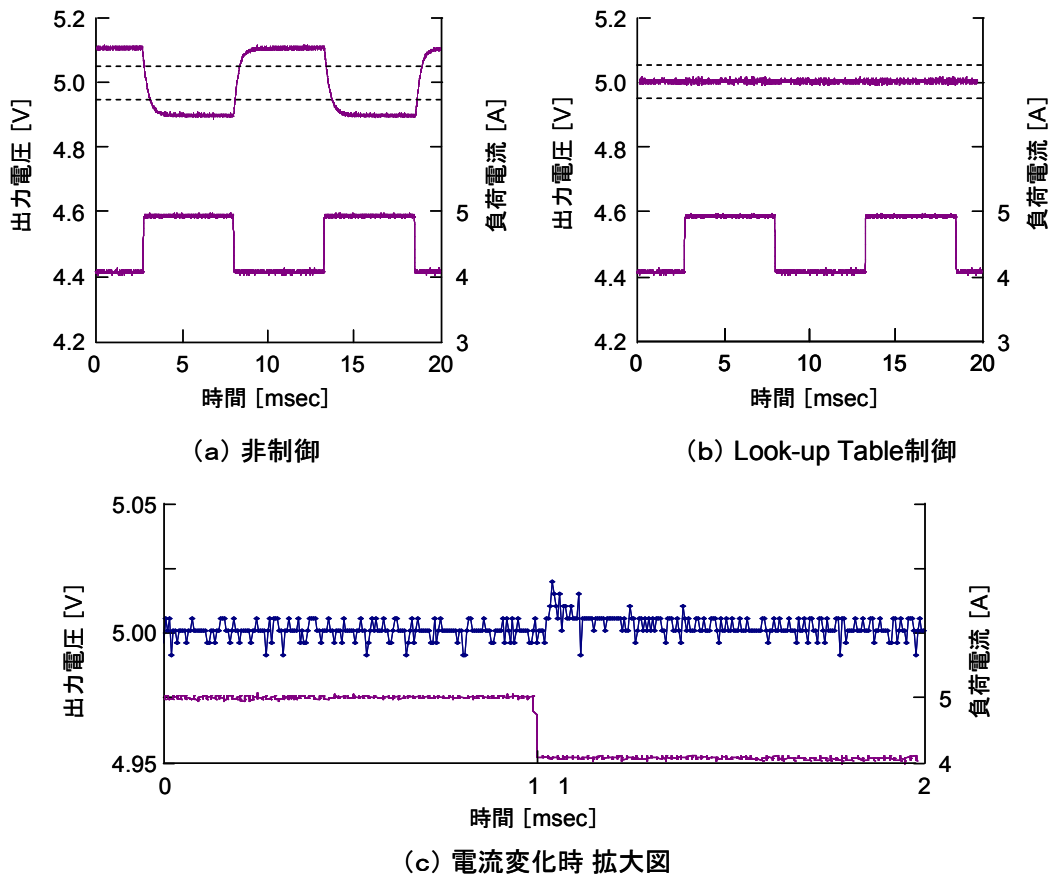


図6.40 4-5[A] 100[hz]負荷変動

表6.2 制御に伴うロックアップテーブル変動

ADC	メモリス の番地との関係	目標値	時間[μsec]							更新	
			0	5	10	15	20	25	30		
5006	#1669	0006	30	30	30	30	30	30	30	30	30
5008	#1668	0008	3625	3625	3625	3625	3625	3625	3625	3625	3625
5000	#1667	0	3825	3825	3825	3825	3825	3825	3825	3825	3825
4997	#1666	-0008	4375	4375	4375	4375	4375	4375	4375	4375	4375
4994	#1665	-0006	45	45	45	45	45	45	45	45	45

未使用      使用      更新

以上は、負荷変動試験における電圧変動について示しており、100[Hz]以上での負荷変動、定負荷試験などの制御結果については図6.41(a,b)に示される。同図(a)には、図6.40と同じく25%の負荷変動を変動周波数1[kHz]にて行った際の実出力電圧制御結果が示される。同図に示されるように、高周波での負荷変動に対しても制御結果は常に目標値5[V]を維持しており、負荷切り替えに対してもアンダーシュート・オーバーシュートなどが発生していない様子がわかる。また、同図(b)には定負荷時における出力電圧が示され、他の試験と同様の制御結果を示している。なお、図中における破線は、定負荷時の工業規格 $\pm 0.5\%$ を示しているが、制御結果はこの規格を十分に満たしている。

以上に示した3種の試験結果における目標電圧との誤差分布を図6.42に示す。同図は、出力波形から抽出した10000点の離散値データを分類しグラフ化したものであり、各試験における出力電圧の安定性を示している。同図において、負荷の変動周波数の増加に伴い出力電圧の安定性は悪化する。しかし、電圧リップルの変動範囲は全ての試験において約20[mV] ( $\pm 0.2\%$ )程度の変動に抑制されており、規格を十分に達成している。

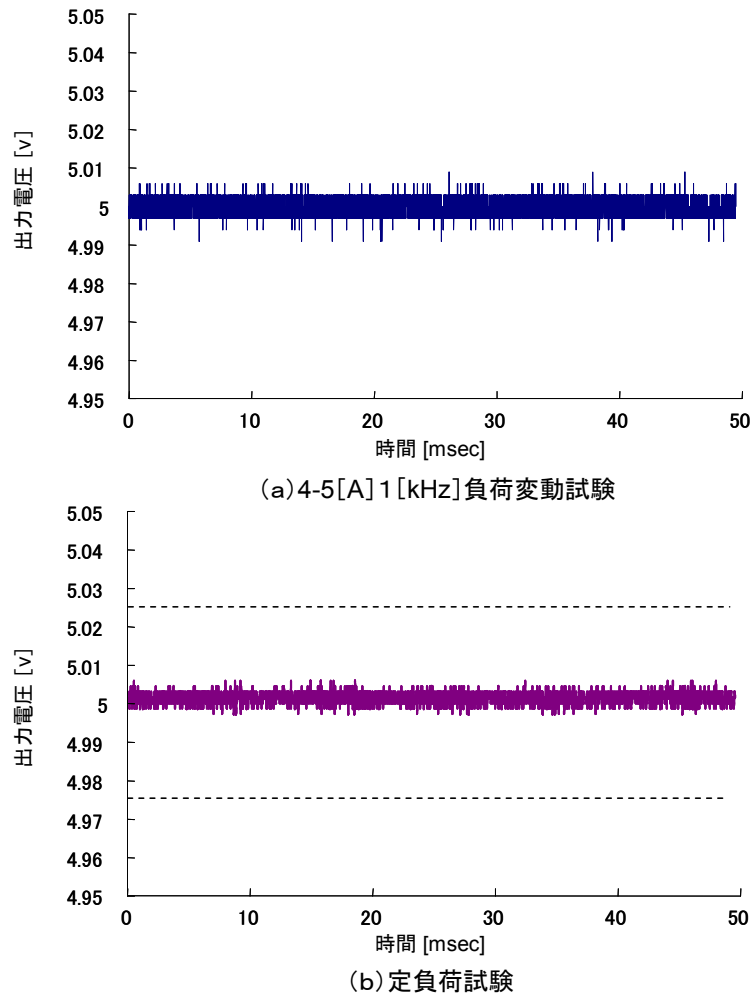


図6.41 各負荷試験における出力電圧制御

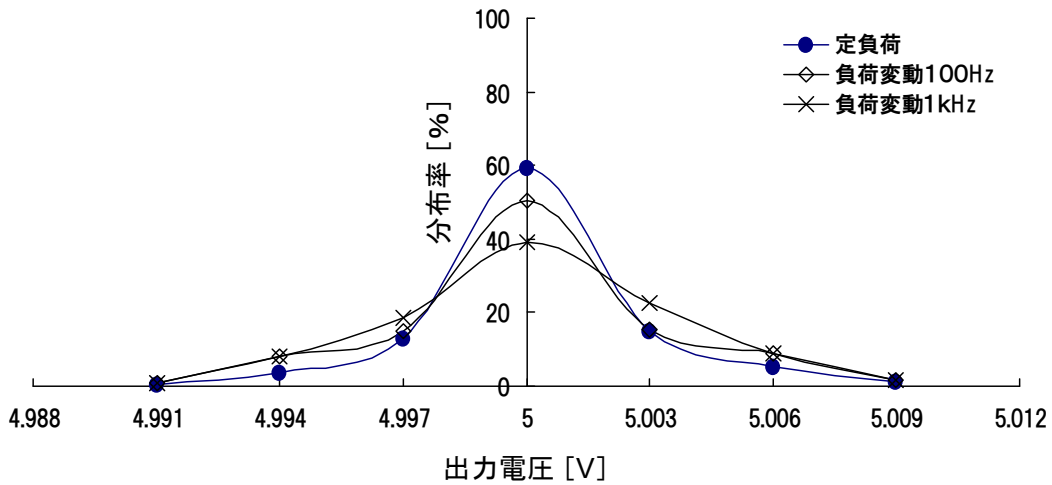
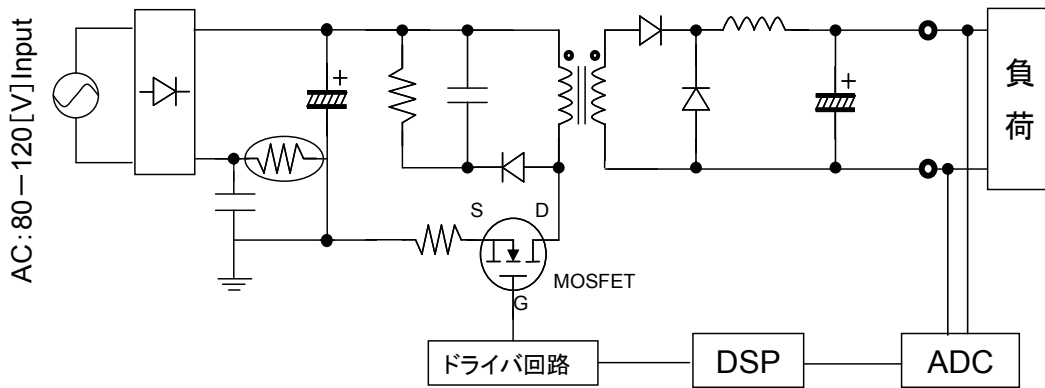


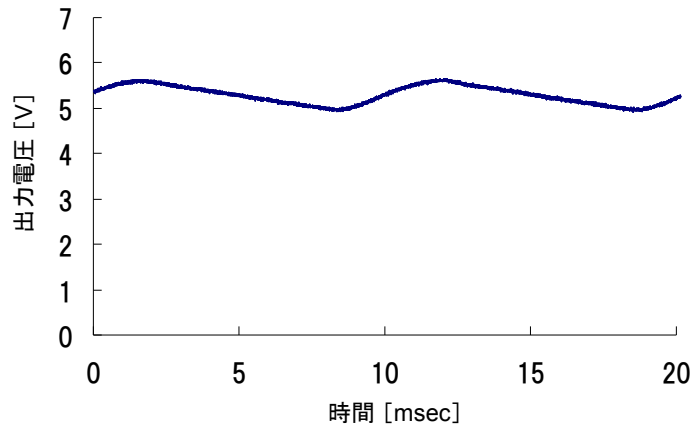
図6.42 電圧分布率比較

直流電源はDC/DC型とAC/DC型に大別することができ、本節ではこれまで前者における電圧制御について検討を行ってきた。前述したように、電子部品の電源として用いられるDC/DC型では、出力電圧の安定性が最も重視される。これに対し、AC/DC型は整流に伴う高調波電流の抑制が主な課題とされており、大容量コンデンサを搭載しない低出力直流電源回路では交流入力による脈流が出力電圧に重畳するため、電圧制御には更に工夫が必要となる。従来制御方式においても、交流入力による脈流除去もしくは重畳波形の安定制御は通常に比べ高度な制御回路を必要とするため、一般的に交流電源と電子部品の間にはAC/DC型及びDC/DC型の連携電源が用いられる。

しかし、提案するルックアップテーブル方式では、ADCを介して取得される出力電圧を目標値と比較して随時制御を行うため、電圧制御に際して脈流の有無などの条件を必要としない。つまり、提案アルゴリズムでは脈流が重畳した出力電圧に対しても、数回の試験を行うことにより最適なテーブルの構築が可能であると考えられる。そこで、本節では図6.43(a, b)に示す基本的なAC/DC型電源における電圧制御試験を同様に行った。同図(a)に示されるAC/DCコンバータ回路の仕様は、80–120[V]交流入力に対し定格出力5[V] 5[A]である。同図(b)には回路の基本特性として、定負荷試験を非制御とした場合における出力電圧波形が示されている。出力電圧には交流入力に伴う脈流が重畳しており、電圧リップル幅は850[mV] (DC/DC型で40[mV]程度)となっている。



(a) AC/DCコンバータ

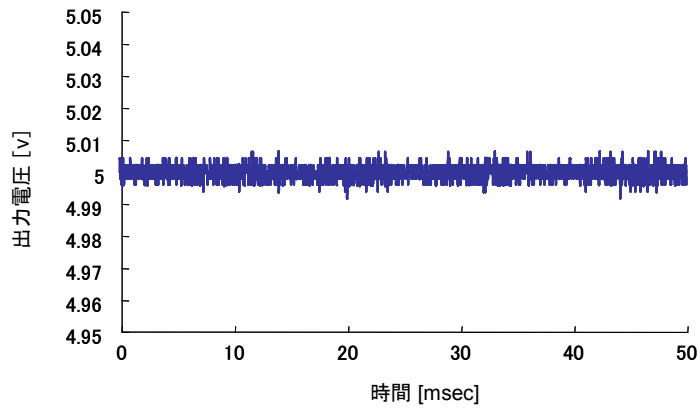


(b) 定負荷時 出力電圧波形

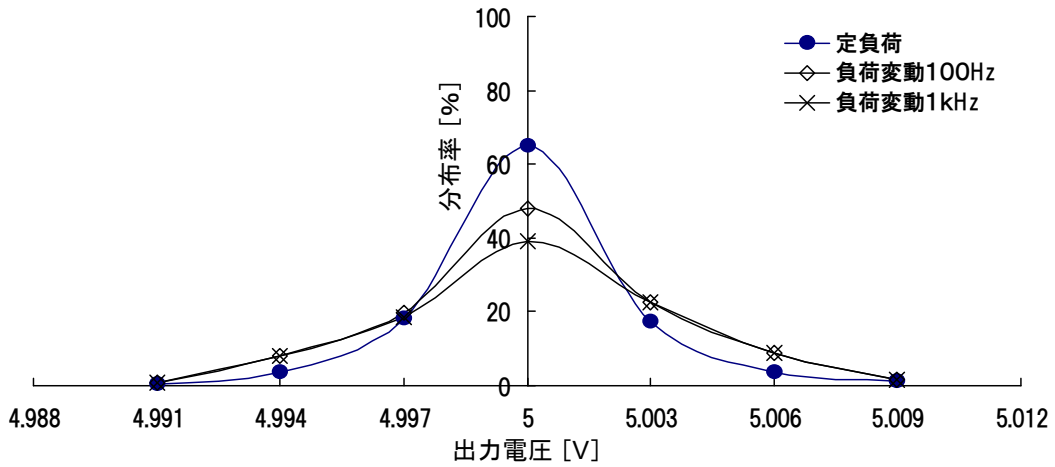
図6. 43 AC/DC コンバータ回路及び基本特性

AC/DC コンバータにおいても、評価は前述した工業規格を用いるため、代表的な負荷試験における出力電圧制御結果を図6. 44(a, b)に示す。同図(a, b)には、負荷変動試験における出力電圧波形及び他の試験結果における電圧分布図が、(a)4-5[A]100[Hz]負荷変動試験、(b)電圧分布図として示される。負荷変動試験において脈流が負荷変動に伴う電圧変化に重畳する場合、一般的には複雑な制御システムを必要とする。しかし、同図(a)に示されるように、提案法ではテーブルの逐次修正により極めて良好に対応する。この結果は他の試験においても同様であり、出力電圧リップルは同図(b)に示されるように常に工業規格を満足している。

以上に示すように、提案するルックアップテーブル方式を用いたデジタル制御では、定負荷・負荷変動及び脈流重畳の有無に関せず常に安定した電圧出力を得ることができる。提案法においては、主に制御周期及び、外部情報を伝える ADC 性能により電圧リップルの制御領域が決定される。このため、各負荷試験における制御性能は、高性能な DSP 及び ADC を使用することにより、さらに向上することが可能である。



(a)4-5[A]100[Hz]負荷変動試験



(b)電圧分布比較

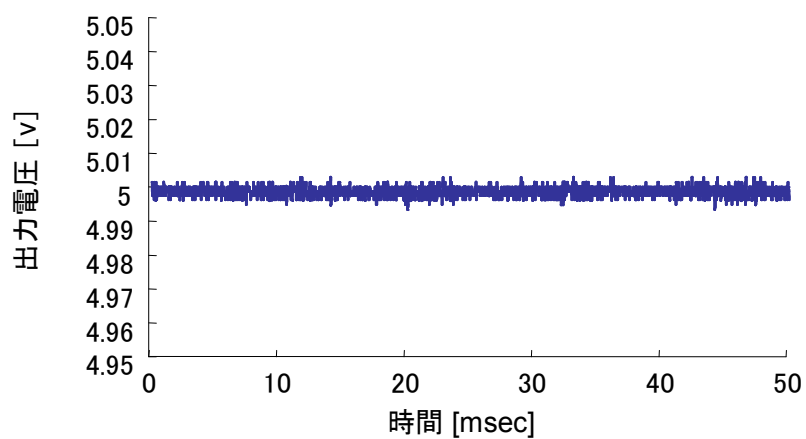
図6. 44 脈流重畳波形に対する電圧制御結果

以上に示すように提案するルックアップテーブル方式では、全ての負荷変動試験に対して良好な結果を得ることができた。これらの結果は実用化において十分な精度と考えられるが、前述したように提案法の制御性能は、デジタル回路に用いられる DSP の演算速度及び ADC 性能によって大きく左右される。しかしながら、高性能な DSP・ADC はアナログ部品に比べ高価であるため、電源制御部品としては適さず実用化が難しいとされていた。そこで、本節では DSP 及び ADC が制御性能に及ぼす影響について制御性能の違いを確認し、電源に求める機能・精度に応じて DSP・ADC が選択できるよう検討する。

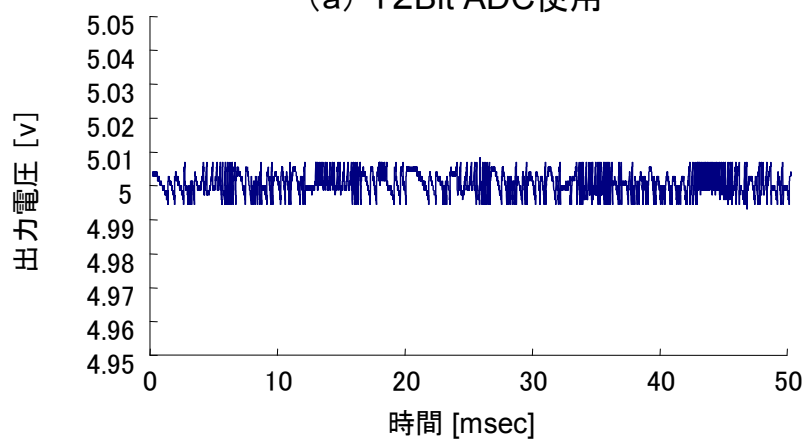
一般的に ADC の性能評価にはサンプリングを行う際の変換速度及び Bit 数が用いられるが、近年の ADC におけるサンプリング速度はスイッチング電源に適用されるスイッチング周波数に比べ遥かに高速であるため、本検証では特に Bit 数に注目する。現在、制御用として用いられる ADC は 8-12Bit 程度のものが多く、価格も比較的安価である。そこで、8-12Bit の各 ADC をデジタル回路に使い、4-5[A]100[Hz]負荷変動の電圧制御結果を図 6. 45(a, b, c)に示す。同図には各 Bit の ADC を用いた場合の代表的な 3 種の出力電圧波形が (a)12Bit、(b)10Bit、(c)8 Bit として示されている。また、図 6. 46 には各 ADC を使用した場合の制御比較として、電圧分布比較図を示す。

提案法におけるルックアップテーブルを用いた電圧制御試験では 12BitADC を使用している。12BitADC は出力電圧を最小分解能 0.003[V]の精度でサンプリングし、DSP へ外部情報として伝達する。DSP 内部では出力電圧が 0.003[V]以上変動した場合、目標値からの誤差が算出されルックアップテーブルより修正量を導く。すなわち、ADC におけるサンプリング最小分解能は、制御性能に大きく影響する。Bit 数が 10Bit、8 Bit と低下することにより、DSP が認識する電圧変動幅は 0.012[V]、0.048[V]となる。このため、8 Bit タイプの ADC を使用した場合、DSP は出力電圧が 48[mV]以上変化しなければ電圧変動を認識できない。この結果、図 6. 45(a, b, c)及び図 6. 49 に示されるように、低 Bit タイプ ADC の使用により、制御性能は低下するが出力電圧制御により電圧リップルは工業規格を満足している。

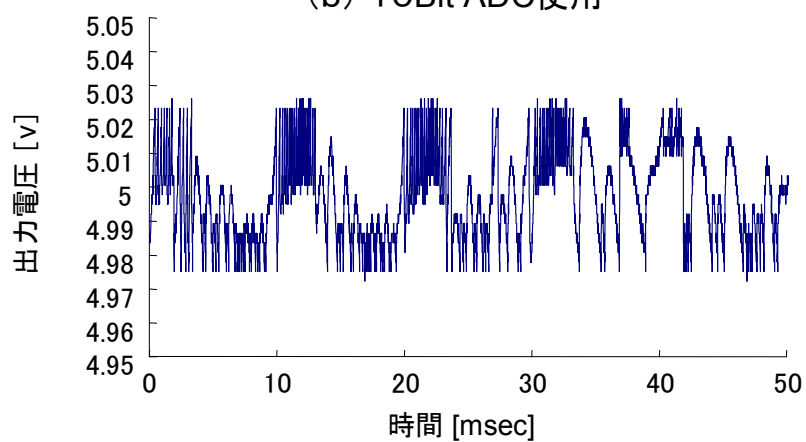
以上には ADC の性能が制御結果に及ぼす影響について述べたが、DSP における演算速度についても同じことがいえる。デジタル制御では通常の制御に加え、並列運転・情報転送などの高機能化が要求されるため、プログラムの複雑化に伴い電圧制御における制御周期の増加が予想される。そこで、制御周期が増加による制御性能の変動結果を図 6. 47 に示す。同図には提案法にて電圧制御を行う際の制御周期を、5[ $\mu$  sec]から 10[ $\mu$  sec]、15[ $\mu$  sec]、20[ $\mu$  sec]と変更した場合における電圧分布比較が示されている。同図において制御周期の増加により、電圧変化に対する反応が遅れるため、制御性能は悪化の傾向を示している。しかし、15[ $\mu$  sec]程度までは比較的良好な結果を示しており、規格を十分に満たしている。



(a) 12Bit ADC使用



(b) 10Bit ADC使用



(c) 8Bit ADC使用

図 6. 45 ADC における Bit 別制御性能比較 (出力波形)



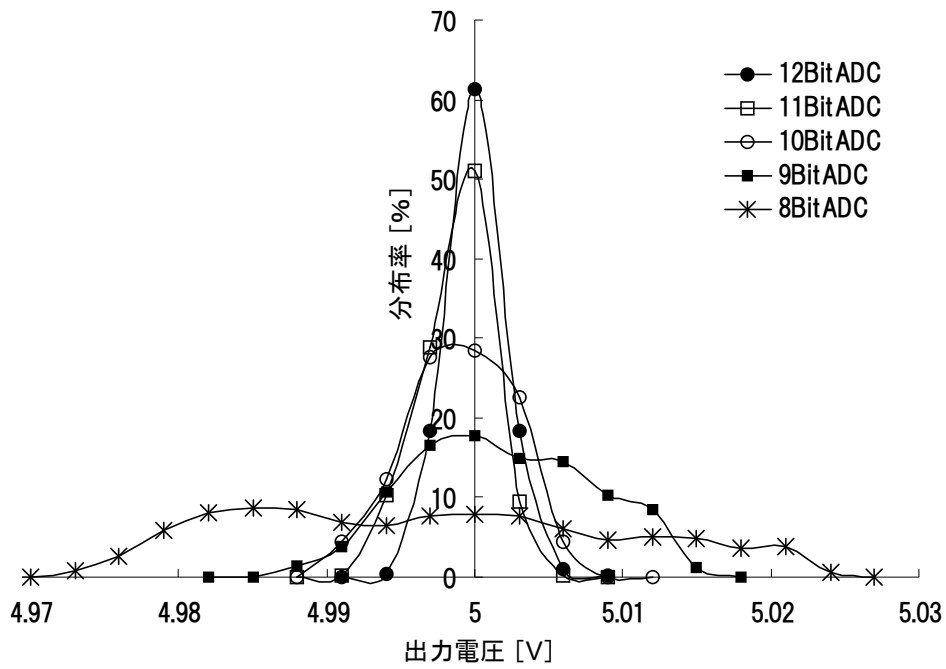


図 6. 46 ADC における Bit 別制御性能比較 (電圧分布)

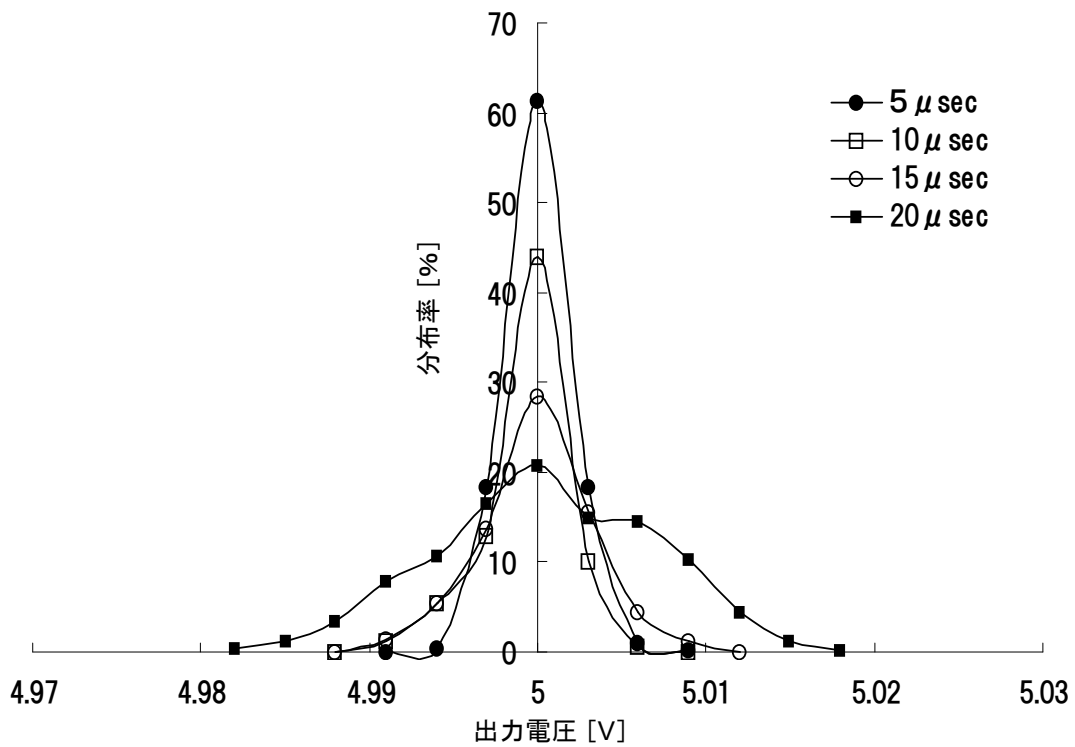


図 6. 47 制御周期別による制御精度比較

## 6. 6 むすび

負荷に対し要求される電力を供給する電源には、内部抵抗が存在し、出力電圧には電圧降下が発生するため、線形負荷、非線形負荷、不規則な急速負荷変動を行うデジタル負荷の影響を受けて正弦波形を維持することが困難となる。本論文では、種々の負荷へ安定した電力供給を行う電源の開発を目的として、3章から5章までに推奨負荷及び推奨外負荷に対し、波形整形制御を行うデジタル制御を提案した。各章に示される基礎技術は、開発中もしくは既存製品に対し転用可能であり、各制御方式の技術応用として、1. 電力回生電源 2. 無停電電源装置(UPS)における出力制御を行った。

### 1. 電力回生電源

制御対象が推奨負荷状態に限定される電源として、接続対象が力率 1.0 の商用電源となる電力回生電源があげられる。回生時の出力波形生成において、商用波形との同期制御が求められる電力回生電源には、3章に述べた技術が有効である。提案するデジタル制御を搭載した同電源では、系統連系及び並列運転を実装し、更に良好な電力回生状況の選択として、出力波形の位相制御を実現した。

### 2. 無停電電源装置(UPS)

UPS は安定化電源として利用されるインバータ製品であり、ユーザーの都合により、推奨外のような負荷接続が予想される。実電源に接続される負荷には負荷力率が 1.0 以下となる非線形負荷が急増しているため、UPS における出力制御には 4章に述べた広範囲の負荷力率対応を行うデジタル制御が適切であると考えられる。デジタル UPS では基本機能に加え、負荷短絡時における保護動作、波形周波数制御など多機能実装を実現した。

上述した実用電源への展開に留まらず、デジタル制御は電源制御における将来展望として、デジタル負荷などによる不規則な急速負荷変動に対し、高次元（人工知能）制御を実装することができる。現在、交流電源には高速負荷変動に対する規格が定められておらず、5章における提案法を評価することが難しい。そこで、1 kHz までの負荷変動に対し、定格出力 1%以内の電圧変動など明確に規格が定められている DC/DC コンバータへのデジタル制御の適用を行った。

### 3. ニューラルネットワーク制御方式

NN は汎化性（ロバスト性）に富み、系の定数の変動を吸収することが期待される。オフラインでネットワークを構成する NN 制御は、学習範囲内の負荷変動に対し、回路特性を考慮した電圧制御を行い、出力精度は上記する工業規格を満たすことができた。

### 4. ルックアップテーブル制御方式

インデックス レジスタの利用により、ルックアップテーブルを用いた電圧制御では、電圧偏差に対し最適な制御量をテーブルより抽出することで、高速制御が行われ、NN 制御と同様に工業規格を容易に満たす。さらに、同方式ではルックアップテーブルの常時更新が実行され、機器の経年劣化を伴う長期間運転に対しても、常に安定した制御性能を維持することができる。

## 参考文献

- [1] 坂下：「IEC・欧州の高調波規制と日本の家電・汎用品ガイドライン」、電子技術 No.37, pp8-12 (1995)
- [2] 馬場：「分散型電源系統連系の保護ーガイドラインと保護継電器ー」、電気評論'89 No.11, pp66-69 (2004)
- [3] 進士：「系統連系技術要件ガイドラインの経緯とその内容」、電気設備学会誌, No.5, pp306-308 (1998)
- [4] 日本電機工業会：「汎用半導体交流無停電電源装置(汎用UPS)のユーザーズガイドライン」、日本電機工業会技術資料, No.185, pp12 (1993)
- [5] 曾禰、光井、飯島、曾禰：「デジタル制御によるインバータ機能の分散化とその効果」、電気設備学会誌 Vol.12, No.6, pp502-509 (平13)
- [6] 曾禰、曾禰、田口：「DSPを用いたデジタルPWMによる交流電源の波形・効率の改善」、電気設備学会誌 Vol.26, No.2, pp129-135 (平17)
- [7] 曾禰、竹田、曾禰：「DSP 制御による電力回生電源」、高速信号処理応用技術学会誌 第12巻・第1号、pp31-pp36 (平21)
- [8] 曾禰、柴田、曾禰、吉野、林、星野：「DSPによる全デジタル制御常時インバータ給電方式 UPS の開発」、高速信号処理応用技術学会誌 第8巻・第1号、pp21-pp29 (平17)
- [9] 松井、小西：「電圧形インバータにおける直流リアクトルの媒介による PWM 電力回生制御の一方式」、電気学会論文誌-D No.4, pp343-pp351 (1990)
- [10] 山下、小笠、渡邊：「抵抗挿入による電力回生ブレーキの高速域電気ブレーキ力増大」、電気学会論文誌-D No.1, pp90-pp98 (2001)
- [11] 古関：「電気鉄道における電気ブレーキ技術と直流き電システムにおける電力回生」、日本 AEM 学会誌 No.1, pp139-pp144 (2006)
- [12] 伊東：「単相無停電電源装置における新しい電力変換方式」、電学論 D-112, No.2 (平14)
- [13] 大西：「多機能高品質単相 PWM 制御電源」、電学論 D-115, No.1, 70 (平7)
- [14] 安東：「3アームインバータ／コンバータを用いた高効率フライバック式 UPS の開発」、電学論 D-116, No.11 (平8)
- [15] 大島：「誤差追従式 PWM をマイナーループとする単相 UPS 用インバータ」、電学論 D-120, No.1 (平12)
- [16] 長井：「高効率・低ノイズ共振形三相変換器」、電学論 D-122, No.3 (平13)
- [17] 青山、大松：「ニューラルネットワークによるセルフチューニング PID 制御系の設計」、電気学会論文誌 (C)、Vol.116, No.11 (1996)
- [18] 大西、山本、大松：「ニューラルネットワークを用いた非線形システムの学習制御」、電気学会論文誌 (C)、Vol.121, No.11 (2002)
- [19] 山本、沖、兼田：「ニューラルネットワークを併用したセルフチューニング PID 制御系

の一設計」、計測自動制御学会論文集、34-7 (1998)

[20]山本、満倉、兼田：「遺伝的アルゴリズムを用いた PID 制御器の一設計」、計測自動制御学会論文集、35-4 (1999)

[21]満倉、山本、兼田：「GA (遺伝的アルゴリズム) を併用したセルフチューニング PID 制御系の一設計」、計測自動制御学会論文集、36-1 (2000)

[22]笠原、松葉、葛生、山崎、橋本、神村、黒須：「特性変動をともなう空調システムへの PID 制御の適用」、計測自動制御学会論文集、36-5 (2000)

[23]中村、白砂、杉、大山、小河：「非線形スタティクス補償型 PID 制御」、計測自動制御学会論文集、35-3 (1999)

## 7章 結論

電力供給を役目とする電源には、接続される負荷の機能低下、もしくは、停止を防ぐ目的から、定電圧出力が要求され、特に、交流電源では電圧保障に加え、正弦波維持の条件が追加される。しかし、実電源では内部抵抗の影響から、負荷電流増加により、端子電圧に電圧降下が発生や、RLC 線形負荷・半導体非線形負荷・デジタル負荷による負荷力率変動に対し、正弦波電圧維持が困難になりつつある。この傾向は負荷のデジタル化が促進されれば、より深刻な問題に発展する。

これらの問題を解決するために、制御方式では多くの努力が行われているが、OP アンプによる比較器や制御を目的とした制御 IC で構成されるアナログ制御では、制御内容の高度化に比例して制御回路が肥大することが懸念されている。これに対し、DSP を制御コアとするデジタル制御では、種々の制御を 1 チップ内に格納することが可能であり、自由度の高い制御が実装可能である。本論文では、DSP デジタル制御の柔軟性に着目し、電源の定格出力に影響を与える負荷として、1. ガイドライン推奨力率負荷 2. 推奨力率外負荷 3. 急速変動負荷に対する波形整形手法を提案し、下記の結論を得た。

### 1. 推奨力率負荷に対する定電圧波形整形制御

従来、三角波比較方式によって管理される PWM 方式に対し、DSP デジタル制御では、内部メモリへ保存する正弦波教師データから、オンデューティを導出する新 PWM 方式を提案した。提案法は正弦波各値をオンデューティへ変換する方式であり、教師データの形状を変更することにより、従来困難とされていた PWM パルスの部分修正が容易に実現される。提案法のデジタル制御は、交流電源における推奨負荷として、力率 1.0~0.9 の線形負荷に対し、定電圧波形整形制御として有用な方法であることを結論した。

### 2. 推奨力率外負荷に対する定電圧波形整形制御

負荷力率が 0.9 以下へ変動した場合、波形整形ではインピーダンス変動に伴う応答時間の変化を考慮する必要があるが、制御システムを事前に構築する一般的な制御方式では、負荷力率に伴う制御応答の変化に柔軟に対応することができない。これに対し、デジタル制御では正弦波教師データの位相を調節することで、応答時間の変化に対応することができるため、負荷力率の変化に応じて教師データの位相を随時調節する機能を提案した。提案法は、一般的に正弦波出力が困難とされる低力率においても、波形整形を良好に行うことができる方法であることを結論した。

### 3. 急速負荷変動

現在交流電源では、急速な負荷変動は対象とされていないが、交流電源に接続される副 DC 電源には、高速変動を伴うデジタル負荷が接続され、今後の増加が交流電源の波形歪みの原因となる。このため、人工知能高速波形整形を目的としたデジタル制御として、PID 制御理論とルックアップテーブルを複合した制御方式を提案した。提案法では、負荷力率を加味した教師データをルックアップテーブルより瞬時選択し、負荷急変に対

し、周期単位で波形整形が行われる。さらに、同方式には電源駆動中のルックアップテーブル更新機能を付加しており、未経験の力率に対し学習を行うことで次回以降の最適制御を実現することができた。これにより、近未来の負荷変動に対し、知能型制御が有効であることを結論した。

以上に述べた 3 基本制御法の工学的応用として、製品利用されている各種電源の出力制御に適用した。

4. 推奨負荷を条件とする電力回生電源に適用し、系統連系、及び、並列運転の実現により、3 章の制御法の応用を確認した。
5. 不特定力率負荷の汎用電源として、無停電電源(UPS)に適用し、常時、安定化電源として機能するばかりでなく、周波数制御、負荷短絡に対する電源保護、無瞬断制御などにおいて良好な結果を得た。

また、急速負荷変動に対する工学的応用として、負荷変動時の出力精度が工業規格に明示されている、DC/DC コンバータに対し提案する高速制御を適用した。DSP デジタル制御では、次世代電源における人工知能型高速制御として、

6. ニューラルネットワーク制御では、電源制御開始前(オフライン)の学習でネットワーク構築し、学習範囲内の負荷変動に対し出力電圧変動は工業規格を十分に満足した。
7. ルックアップテーブル方式では高速制御に加え、学習機能としてルックアップテーブルを更新することにより、リアルタイムでの制御性能改善を実現した。この高次元制御の実装により、将来負荷に対しても良好に対応することができる。

以上に述べる第 1 章における問題定義から、第 6 章の工学的応用に示されるように、DSP を用いたデジタル制御は、現在・近未来におけるスイッチング電源の制御方式として、人工知能型制御の搭載など、非常に大きな役割を担うと結論する。

## 関連発表論文

### 学会誌

1. 曾禰大介、光井英雄、飯島伸一、曾禰元隆：「デジタル制御によるインバータ機能の分散化とその効果」 電気設備学会誌 Vol.12・No.6 平成13年6月
2. 曾禰大介、曾禰元隆、田口亮：「DSPを用いたデジタルPWMによる交流電源の波形・効率の改善」 電気設備学会誌 Vol.26・No.2 平成17年2月
3. 曾禰大介、柴田浩平、曾禰元隆、吉野國由、林辰雄、星野登：「DSPによる全デジタル制御常時インバータ給電方式UPSの開発」 高速信号処理応用技術学会誌 第8巻・第1号平成17年6月
4. 曾禰大介、曾禰元隆：「ルックアップテーブル化されたDSP制御回路による低出力直流電源制御」 高速信号処理応用技術学会誌 第10巻・第2号 平成19年12月
5. 吉田史生、曾禰大介、曾禰元隆：「負荷急変に対するPI制御パラメータのLook Up Tableによる最適化」 高速信号処理応用技術学会誌 第10巻・第2号 平成19年12月
6. 曾禰大介、竹田史章、曾禰元隆：「DSP制御による電力回生電源」 高速信号処理応用技術学会誌 第12巻・第1号 平成21年6月
7. 曾禰大介、綾部宏規、竹田史章、曾禰元隆：「DC/DCコンバータのニューラルネットワークによるオンライン学習・制御」 電気設備学会誌 (投稿中)

### 国際会議

1. Daisuke Sone、Akira Taguchi、Ben T. Nohara、Nobukazu Iijima、Mototaka Sone ; Efficient Inverter by Digital PWM Switching、SHARC International DSP Conference、2001/9
2. Daisuke Sone、Mototaka Sone ; Switching power supply control by Artificial Intelligence type PWM、International Workshop on Signal Processing Applications and Technology、2002/10

3. Daisuke Sone、Mototaka Sone、Akira Taguchi、Yoshinao Akima ; Inverter output voltage and waveform control by software switching by DSP、International Signal Processor Conference 2003、2003/3
4. Daisuke Sone、Fumiaki Takeda ; Inverter output voltage and waveform control by DSP software switching 、 5<sup>th</sup> International Conference on Collaborative Computing ; Reference Materials、2009/11

### 受賞歴

1. 2002年 計測自動制御学会 学術奨励賞・技術奨励賞  
【DSP デジタル PWM による交流電源(DC/AC 変換)の波形・効率の改善】
2. 2002年 電気設備学会 全国大会発表奨励賞  
【デジタル PWM 制御によるインバータ高速波形修正】
3. 2007年 電気設備学会 論文賞  
【DSP を用いたデジタル PWM による交流電源の波形・効率の改善】



## 謝 辞

この度、私へ学位挑戦への機会を与えて下さり、学位論文作成では人工知能について多くの貴重なご意見をご教示頂きました、高知工科大学 竹田史章教授に心より感謝申し上げます。海外において勤務している身として、竹田先生のご理解及びご助力が無ければ、学位論文を完成することは出来ませんでした。また、本論文作成において、有益なご意見をご教示賜りました、高知工科大学 井上喜雄教授、岡宏一教授、芝田京子准教授に感謝申し上げます。

研究活動から本論文作成に至るまで、専門分野における貴重なご指摘を数多く賜りました名古屋工業大学 鶴飼裕之教授に感謝申し上げます。本論文の作成過程において、鶴飼先生の制御理論や人工知能に関するご意見は多大な参考とさせて頂きました。

DSP を電源制御へ適用する本論文において、研究の意義や将来展望など、道筋を指し示して下さい、元武蔵工業大学教授（現 DSP 応用技術研究所）であり、父である曾禰元隆氏に深く感謝致します。

そして、武蔵工業大学 電力情報工学研究室に在籍時、共同研究を始め多くの研究活動において、共に研究に勤しみ、また私をサポートして下さいました全ての方々に感謝致します。

高知工科大学への在学及び論文作成に対し、特別な配慮を頂きました Total Computing Solutions of America, Inc. 千々和副社長、松井主任及び、Denso International America, Inc.の皆様へ感謝申し上げます。

最後に、私の学位論文作成にあたり、日々、献身的に協力し、励まし支え続けてくれた妻 友美に心より感謝します。