

# 論文内容の要旨

大規模集積回路 (LSI) の微細加工技術の進展に伴って、今やCMOSトランジスタのゲート長は10nmに近づきつつあり、1つのLSIチップに数十億トランジスタを集積化できる時代になっている。この集積化が可能なトランジスタ数の増大に伴って、LSIチップの消費電力は増加する傾向にあり、様々な低消費電力化技術の研究開発が進められている。特に、回路技術による省電力化手法においては、より消費電力を低減する目的で、電源電圧の制御粒度を空間的もしくは時間的に細かくする技術が各所で研究されている。これら技術により、アプリケーションの実行時も含めて消費電力の無駄を徹底的に排除できる可能性がある。しかしながら、細粒度の制御においては、制御すること自体で消費する電力量を考慮する必要があるため、電力量の収支による設計制約が存在する。電力量の収支とは省電力技術を適用したときに必要となる電力量と、技術を適用しないときに必要とされる電力量の差のことである。そのため、従来型の商用LSIチップでは、チップ単位ないしはプロセッサコア単位のような比較的規模の大きな回路に対して時間的・空間的に粗粒度の省電力化技術しか適用されていないのが実情である。

本論文は、細粒度の電力制御の効率的な実現を目的として、省電力LSIの実現法として着目した自己同期型パイプラインSTP (Self-Timed Pipeline) 回路の省電力化手法について述べている。STPでは、隣接するパイプライン段間でのみデータ転送制御信号 (send/ack信号) を授受することによって、動作する必要があるパイプライン段のみを自律的に駆動させるため、データを保持していないパイプライン段のトランジスタは全く動作しない。よって、クロック同期回路で一般に用いられているクロックゲーティングのような付加的な回路がなくとも、ダイナミック電力に関しては省電力であるという特長がある。また、隣接する前後のパイプライン段との転送制御、すなわちハンドシェイクは互いに独立して行えるため、一時的な過負荷に対する自律緩衝能力 (エラスティック能力) といった、LSI実現に適した特性がある。その自律的かつ局所的に動作するSTPに対して、非動作時には電力供給そのものを遮断するパワーゲーティングPG (Power Gating) 技術とパイプラインに要求される処理性能 (スループット性能) に応じて動的に供給電圧を変更する動的電圧制御DVS (Dynamic Voltage Scaling) 技術を適用するところで、さらなる低消費電力化を実現する。このように、STPが本来有している省電力特性に加えて、供給する電力を細かく実時間制御する機構を導入することによって、さらなる省電力化を実現することを目標としている。そのためには、パイプラインの処理性能を維持しつつこの電力を削減できる方式の確立が特に重要な課題となっている。その実現のために、時々刻々と変化するプロセッサ内部の動作環境下において、いかに電力を効率的に分配するかについて議論している。その上で、STPの自律的かつ局所的な動作様式を活用した細粒度電力制御機構の実現法について述べ、その有効性を定量的に示した。以下に、それら技術の効率的な実現法と評価結果の概要を述べる。

## 細粒度の電源遮断機構

STP内のステージ間で授受されるsend信号とack信号は、当該ステージにおけるパケットの有無を表している。これらの信号を活用すれば、パイプライン段毎に電力の供給/遮断を制御することが可能になる。すなわち、動作していないステージの電源線をパワースイッチによりオン/オフすれば、プロセッサコア単位よりも細かなパイプラインステージ単位で無駄な漏れ電流を防ぐことが可能になる。電源遮断用のパワースイッチPSとして、漏れ電流が比較的少ない、高しきい値MOSトランジスタを用い、これを処理回路とグラウンド線VSSとの間に挿入する。このPSを制御する回路PC (power controller) は、当該段の前後のsend/ack信号と転送制御回路Cの内部信号を入力とする6入力NANDゲートのみで簡単に構成できる。以上の回路を各パイプライン段に付加することによって、パイプライン段単位のPGが実現される。一方で、パイプライン段水準のように細かな領域を対象としたPGでは、一般に、PS、PC、および、電源遮断された回路ブロックから電源供給されている回路ブロックへの不安定な信号値が伝搬するのを防ぐために必要となる分離セルISO (isolation cell) の性能・電力オーバーヘッドや電源オン時の突入電流に伴うノイズの影響をなるべく小さく抑えることが肝要である。前者の中で、PC回路については上述したようにNANDゲートのみで実現可能である。またSTPでは、データラッチ回路の一部がISOの機能を果たすことができるため、分離セル専用の追加回路が不要になり、電力的にも性能的にもオーバーヘッドが生じないという利点がある。一方、PSに関しては、性能・電力オーバーヘッドを低減するために、ゲート長とゲート幅のサイジング

を行った。突入電流に伴うノイズに関しては、STPでは各パイプライン段のDL開閉信号はクロックに同期していないため、複数のパイプライン段が全く同時に電源オンになる可能性が極めて低い。よって、電源オン時に発生する突入電流の発生が時間軸上で分散するため、クロック同期型パイプライン回路に比べてグラウンドバウンス・ノイズの影響を軽減でき、結果的に、PSオンからDL開閉信号を立ち上げるまでの時間（以上、ウェイクアップ時間）を短くできるといった特徴がえられることを明らかにした。

### 実時間の動的電圧制御機構

STPの消費電力は、パイプライン内のデータ流に擾乱を与えるインタロックやフォワードリング機構を導入しない限り、データ流量に比例するという素直な特性を有している。これは、同期回路におけるクロック分配のように、データ流量とは無関係に消費される電力がないためである。したがって、STP内で消費される電流を観測することによって、その時点のデータ流量、すなわち、処理負荷を観測できる。トランジスタの動作速度は電圧に比例し、スイッチング電力が電圧の二乗に比例することから、観測した処理負荷に応じて電源電圧を昇降させれば、OSを介さずに省電力化が可能になる。また、同期回路では、電圧の昇降に伴ってクロック周波数も昇降させる必要があり、クロック信号用の位相同期回路PLL（Phase Locked Loop）が追加的に必要になる。このPLLによるクロック周波数の昇降には通常数十 $\mu$ sを要するため、それより短い時間での電圧制御が困難である。これに対して、STPにおいては、PLLが不要であるため、実時間での電圧制御が可能になる。さらに、クロック周波数の昇降を待つ必要がないため、回路が誤動作しない範囲の小さな電圧昇降幅、あるいは、緩やかな電圧昇降を保証すれば、電圧昇降の過渡的な期間でも回路の動作を停止せずにプログラムを継続的に実行することが可能になる。しかし、処理負荷を検出してから電圧を変更するまでには、一定の遅延時間が生じる。そのため、できる限り負荷に追従するためには、電源電圧を高速に昇降する必要があるが、その場合オーバーシュートによる過剰な電圧印加や、アンダーシュートによる誤動作を招く恐れがある。

そこで、PID制御回路を導入することで電圧昇降値を安定的にフィードバック制御できる構成とし、STPのエラスティック能力を活用して、一時的にシステムの処理能力を上回る負荷を吸収できる実時間電圧制御方式を着想した。さらに、アプリケーションごとの入力特性やプログラムの並列度に応じて、エラスティック能力により吸収でき負荷の許容範囲を超えないよう適応的かつ安定的な電圧の昇降を実現するために、観測した消費電流から適切な目標電圧を定め、PIDパラメータを設定することでその制約を満たすことができることを明らかにした。

### 省電力効果の評価

実時間の細粒度電力制御が可能なSTPの実用性を実証的に評価するために、65nm CMOSプロセスを用いて試作したデータ駆動プロセッサLSIに提案方式を適用し、その省電力性能を評価した。先に、各技術が有効に作用するための条件を明らかにするために、パワーゲーティングPGにおける損益分岐スリープ時間BEST（Break Even Sleep Time）を評価した。各パイプライン段を評価した結果、0.8V、25°Cの条件においてBESTは159ns～998nsとなった。よって、アプリケーションプログラムの平均的な処理負荷に応じて決まるスリープ時間よりもBESTが短いステージのみパワーゲーティングを有効にすれば、プロセッサ全体のリーク電力削減効果を上げることが可能になるという知見を得られた。また、動的電圧制御が有効に作用するための条件となる損益分岐処理負荷BEPL（Break Even Processing Load）は113パケットであった。これらの評価結果は、定常的なUDP/IPトラフィックを前提としたものであるが、実システムでトラフィックは変動する。本研究では、現実的な条件での実効的な省電力効果を明らかにするために、アドホックネットワーク環境を想定したネットワークシミュレーション結果から得られたUDP/IPパケットログを対象にして、試作チップの消費電力を評価した。54M bit/sの無線インタフェースを前提として、パワーゲーティングPGのみを適用した場合、動的電圧制御のみを適用した場合、両者を併用した場合の評価を行った。結果、パワーゲーティングの適用によってリーク電力が48 $\mu$ Wに低減できた。これは通常のSTP構成と比較して、リーク電力を6%にまで削減できている。また、動的電圧制御の適用によって、スイッチング電力は51.7 $\mu$ Wに低減できた。これは通常のSTP構成と比較すると32%の電力に抑えられている。さらに両者を併用した方式では、データ駆動プロセッサLSIの総消費の電力を13%にまで低減できることを確認した。これによって、本来ダイナミック電力に関して省電力であるSTPをさらに低消費電力化できる技術の確立に見通しが得られた。