

平成 25 年度

博士学位論文

細粒度電力供給機構を備えた  
省電力自己同期型パイプラインの研究

1146008 宮城 桂

指導教員 岩田 誠

平成 25 年 2 月 12 日

高知工科大学大学院 工学研究科 基盤工学専攻  
情報システム工学コース

# 要 旨

## 細粒度電力供給機構を備えた 省電力自己同期型パイプラインの研究

宮城 桂

### 要旨

将来の情報化社会を持続可能な社会へ導くために、情報通信機器の省電力化は欠かすことのできない技術の一つである。したがってトランジスタの集積度向上に応じた、低消費電力かつスケラブルに高速化を達成できる省電力化技術の確立が求められている。近年では、消費電力を低減する目的で、電源電圧の制御粒度を時間的もしくは空間的に細かくする細粒度の電力制御技術が注目されている [1] ~ [9]。これを実現するためには、省電力化の機会を適切に検出して、プログラム実行性能を劣化させずに電力供給を制御する必要がある。さらに、電力削減効果を向上させるために、検出や制御に要する電力オーバーヘッドをできる限り抑制することも重要な課題である。

本論文では、LSI システムの低消費電力化技術における細粒度電力制御技術に着目して、クロックを用いない自己同期型パイプライン STP (self-timed pipeline) [10],[11] を活用した省電力化手法について述べている。STP では、隣接するパイプライン段間でのみデータ転送制御信号を授受することによって、動作する必要があるパイプライン段のみを駆動させるため、データを保持していないパイプライン段のトランジスタは全くスイッチングしない。したがって、クロック同期回路で一般に用いられているクロックゲーティング [12],[13] のような付加的な回路がなくても、スイッチング電力に関しては省電力になるという特長がある。本研究では、STP 回路の処理要求に応じて自律的かつ局所的に動作する特性を活用することによって、必要最小限の追加回路で省電力化の機会を適切に検出して、実行性能を

劣化させることなく処理に本質的に必要となる電力のみを供給できることに着目した．具体的には，パイプライン段の有効データの有無に応じて電源を遮断するパイプライン段単位のパワーゲーティング PG (Power Gating) 機構と，パイプライン内部の処理負荷に応じて自律的かつ安定的に電圧の制御を実現する動的電圧制御 DVS(Dynamic Voltage Scaling) 機構を考案し，STP のさらなる省電力化を目指した．また，65nm CMOS プロセスを利用して試作した LIS チップの実測結果を通して，本提案方式の有効性を定量的に評価した結果，パワーゲーティング機構により，リーク電力を約 26%，動的電圧制御機構により，スイッチング電力を 26%削減できることを確認した．これによって，本来スイッチング電力に関して省電力である STP をさらに改善し，超低消費電力化できる技術の確立に展望が得られた．

キーワード 自己同期型パイプライン，細粒度電力制御，省電力システム，パワーゲーティング，動的電圧制御

# 目次

第 1 章	序論	1
1.1	大規模集積回路システムの動向	1
1.2	従来の低消費電力化手法	4
第 2 章	低消費電力化の要件	9
2.1	諸言	9
2.2	細粒度電力供給機構の要件	9
2.3	細粒度電力供給制御における関連研究とその課題	12
2.4	自己同期パイプライン	16
2.5	結言	20
第 3 章	細粒度パワーゲーティング機構	21
3.1	諸言	21
3.2	パイプライン段単位の細粒度パワーゲーティング	22
3.3	パイプライン段単位の細粒度 PG の実装法	25
3.3.1	損益分岐スリープ時間 BEST	26
3.3.2	PS の省電力化	28
3.3.3	PS による性能劣化の低減化	29
3.3.4	LSI レイアウト設計	29
3.4	結言	31
第 4 章	動的電圧制御機構	32
4.1	諸言	32
4.2	サスペンドフリー動的電圧制御	33
4.3	サスペンドフリー動的電圧制御回路の実装法	35

## 目次

4.3.1	損益分岐処理負荷 BEPL . . . . .	35
4.3.2	動的電圧制御回路による電力オーバーヘッドの抑制 . . . . .	36
4.3.3	DC-DC 変換器による電力オーバーヘッドの抑制 . . . . .	37
4.4	結言 . . . . .	39
<b>第 5 章</b>	<b>LSI 実装</b>	<b>40</b>
5.1	セルライブラリの選択 . . . . .	40
5.2	ULP-STP チップの実装 . . . . .	42
5.2.1	PS セルの設計と予備評価 . . . . .	43
5.2.2	実装方法と評価方法 . . . . .	45
5.3	ULP-DDCMP チップの実装 . . . . .	46
5.3.1	ULP-DDCMP チップの電力・性能評価機能 . . . . .	50
5.3.2	高精度実時間観測を実現するロギング機構 . . . . .	51
5.3.3	サスペンドフリー動的電圧制御の実装 . . . . .	54
5.4	プラットフォームシミュレータ . . . . .	55
5.5	結言 . . . . .	57
<b>第 6 章</b>	<b>試作チップの評価</b>	<b>58</b>
6.1	ULP-STP チップの実測評価 . . . . .	58
6.1.1	損益分岐スリープ時間 BEST の評価 . . . . .	62
6.1.2	パイプライン段単位パワーゲーティングの省電力効果 . . . . .	63
6.2	ULP-DDCMP チップの実測評価 . . . . .	67
6.2.1	損益分岐処理負荷 BEPL の評価 . . . . .	67
6.2.2	サスペンドフリー動的電圧制御機構の省電力効果 . . . . .	72
6.3	結言 . . . . .	73
<b>第 7 章</b>	<b>結論</b>	<b>77</b>

目次

謝辞	81
参考文献	83
付録 A 関連業績	93
A.1 査読付き論文誌 . . . . .	93
A.2 国際会議 . . . . .	93
A.3 国内学会 . . . . .	95

# 目次

1.1	トランジスタ数と消費電力の関係 . . . . .	2
2.1	スイッチング電力とリーク電力 . . . . .	10
2.2	細粒度電力供給機構の要件 . . . . .	11
2.3	従来型のパワーゲーティングと動的電圧周波数制御機構 . . . . .	12
2.4	電力量と粒度の関係 . . . . .	16
2.5	自己同期型パイプライン STP . . . . .	17
2.6	自己同期型パイプライン STP のタイミング図 . . . . .	18
2.7	細粒度電力供給機構における粒度 . . . . .	19
3.1	パイプライン段単位パワーゲーティング回路 . . . . .	23
3.2	パイプライン段単位パワーゲーティングのタイミング図 . . . . .	24
3.3	パワーゲーティングの等価回路モデル . . . . .	26
3.4	スリープ時の過渡現象 . . . . .	28
3.5	標準論理セル・ロウ単位の仮想グラウンド構築 . . . . .	30
4.1	サスペンドフリー動的電圧制御 (SF-DVS) 回路の基本構成 . . . . .	33
4.2	動的電圧制御方式の等価回路モデル . . . . .	35
4.3	サスペンドフリー動的電圧制御 (SF-DVS) 回路の構成 . . . . .	37
4.4	SF-DVS における電力オーバーヘッドの低減 . . . . .	38
5.1	セルライブラリ毎の電力量と遅延時間の積 . . . . .	41
5.2	スリープ時の総消費電力量 (L=80nm で正規化) (0.7V, 75°C) . . . . .	44
5.3	試作チップのレイアウト . . . . .	46
5.4	ULP-STP ボードの構成 . . . . .	47

## 目次

5.5	試作データ駆動プロセッサの STP 構成	48
5.6	試作 ULP-CUE のレイアウト	49
5.7	ULP-DDNS プラットフォーム	52
5.8	サスペンドフリー動的電圧制御の実装	54
5.9	プラットフォームシミュレータの概略	56
6.1	ULP-STP チップの実測結果	60
6.2	SPICE シミュレーションと実測値の比較 (PG-enable)	61
6.3	SPICE シミュレーションと実測値の比較 (PS-on)	62
6.4	SPICE シミュレーションと実測値の比較 (PS-off)	63
6.5	パイプライン段単位 PG による低消費電力化効果 (0.7V, 75°C)	64
6.6	パイプライン段単位 PG による低消費電力化効果 (0.7V, 25°C)	65
6.7	通信処理時のリーク電力削減効果 (0.7V, 75°C)	66
6.8	通信処理時のリーク電力削減効果 (0.7V, 25°C)	67
6.9	通信処理時の電力に占めるリーク電力削減効果 (0.7V, 75°C)	68
6.10	VDD 昇圧時の消費電流波形の実測例 (25 )	69
6.11	試作プロセッサの損益分岐処理負荷 BEPL (0.8V 1.2 V, 25 )	70
6.12	試作プロセッサの性能 - 電力特性 (25 )	70
6.13	VDD 昇圧時間とその間の処理性能 (25 )	71
6.14	PID 制御とダイレクト制御の過渡特性	72
6.15	動作率の変化に伴う低消費電力効果	73
6.16	動作率の変化に伴う低消費電力効果	74
6.17	上位レイヤとの協調設計による適応型電力供給機構	76
7.1	適応型電力供給機構の要件	79

# 表目次

1.1	DVFS プロセッサとその電圧切り替え時間 . . . . .	5
2.1	ウェイクアップ時間 . . . . .	13
2.2	PLL による周波数切替え時間 . . . . .	14
2.3	DC-DC 変換器による電圧切替えスピード . . . . .	14
5.1	トランジスタのしきい値電圧 . . . . .	42
5.2	損益分岐スリープ時間 BEST の予備評価 (0.7V, 75°C) . . . . .	44
5.3	ULP-DDCMP チップの諸元 . . . . .	53
5.4	プラットフォームシミュレータにおける設定パラメータ一覧 . . . . .	55
6.1	ULP-STP チップの諸元 . . . . .	59
6.2	損益分岐スリープ時間 BEST の評価 (0.7V) . . . . .	62
6.3	DC-DC 変換器のパラメータ . . . . .	68
6.4	PLL と転送制御回路による電力オーバーヘッド . . . . .	75

# 第 1 章

## 序論

### 1.1 大規模集積回路システムの動向

大規模集積回路 (LSI) の微細加工技術の進展に伴って, CMOS トランジスタのゲート長は 10nm に近づきつつあり, 今や 1 つの LSI チップに数十億トランジスタを集積化できる時代になっている. 今後の半導体チップの集積度の指標としては, 国際半導体技術ロードマップ (ITRS) があり, 集積回路チップ上の最小配線間距離 (プロセス・ルール) を基準に, 設計面や製造面の技術目標が整理されている [14]. 今日まで, これらの技術目標を達成するための研究開発の努力が行われ, これによってプロセス・ルールの断続的な縮小が達成されており, 将来的には, 同一チップ上に集積できるトランジスタの数は数百億となることが予想されている. 今後は, こうした膨大な量の計算資源を活用した, 情報処理通信システムの高性能化が期待できる. 例えば, アプリケーション毎の処理やデータの並列度に応じて多数の処理回路を搭載することによる処理の高並列化が可能である. また, 無線処理用の回路などの周辺装置を含む情報通信処理システム全体の機能をチップに収める SoC (System-on-a-Chip) [15] ~ [17] により, 同一チップ内の低遅延の信号の伝達が実現でき, 処理速度は飛躍的に向上する. さらに, 近年では携帯情報端末向けの LSI チップでも大規模な回路を実装できるようになった. 例えば, 2013 年に Samsung から発売された「GALAXY S4」では, ARM 社の高性能型プロセッサである Cortex-A15 と低消費電力型プロセッサ Cortex-A7 (各 4 コア構成) を含む計 8 つのプロセッサコアを搭載している [18].

一方で, この集積化可能なトランジスタ数の増大に伴って, LSI チップの消費電力も増加し続け, これに対応するために様々な低消費電力化技術の研究開発が進められている

## 1.1 大規模集積回路システムの動向

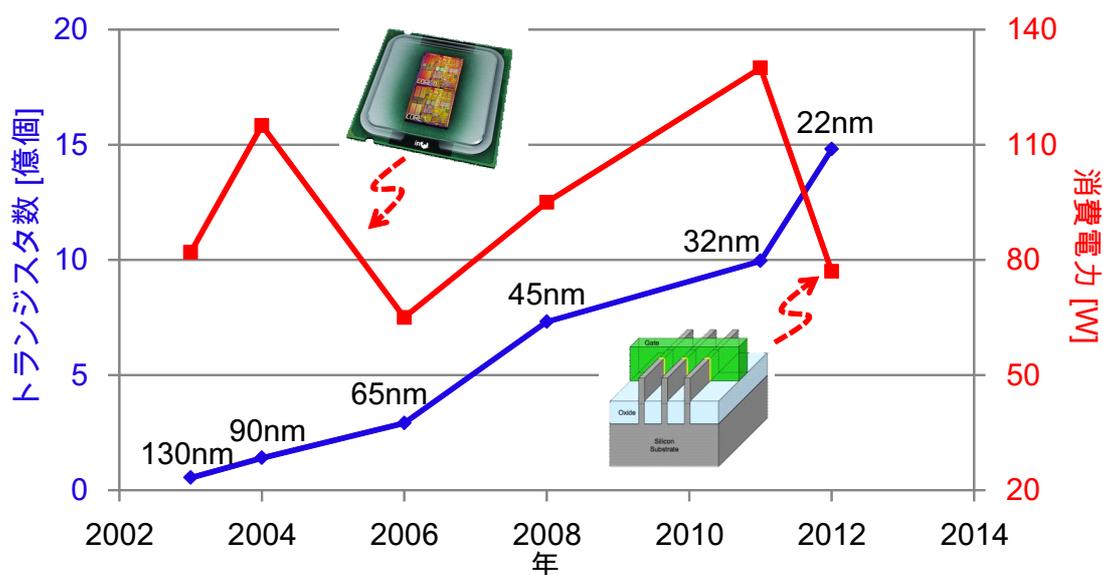


図 1.1 トランジスタ数と消費電力の関係

[19],[20]．その一例として，図 1.1 に，Intel の商用プロセッサ（デスクトップ）におけるトランジスタ数と消費電力の関係を示す．LSI 技術は，1970 年代初頭から過去 30 年以上に渡り，スケーリング則 [21] に基づく微細化によって高速化・高集積化とともにトランジスタ当りの消費電力と製造コストを下げてきた．しかし，2004 年頃，シングルコアプロセッサはクロック周波数 4GHz を目前にして，消費電力と発熱の制限により性能向上の限界に達したため，多数のプロセッサコアによって性能向上を図るマルチコアプロセッサが主流となった．マルチコア構成では，シングルコアよりもクロック周波数を下げ，かつ，それに見合うように電源電圧を抑えて動作させることで低消費電力化を実現している．前述したように，現在では携帯情報端末に搭載されている組込み機器向けのプロセッサにおいても，複数のプロセッサコアを持つマルチコアプロセッサを採用することが一般的となっている．

しかしながら，微細化によってコア数が増加しても，今度はリーク電力の制約から，電源電圧をスケーリングする事が困難 [21] になり，コア当たりの消費電力をさほど下げることができないという事態が発生した．そのため，2006 年以降，消費電力は再度増加に転じることになった．この消費電力の増加に歯止めをかけるために，2012 年には，22nm プロセスで「トライゲートトランジスタ」が採用された [22]．従来のトランジスタは 2D の平面で

## 1.1 大規模集積回路システムの動向

あったのに対して、トライゲートトランジスタは 3D の立体構造となっている。このトランジスタの利点は、リーク電流の抑制、スイッチング電力の低減、トランジスタのスイッチングスピードの向上など多岐にわたる。このように、近年の LSI の低消費電力化は、絶え間ない技術革新により支えられてきた。これらの技術により、例えば、データセンター等の電力コスト削減や、スマートフォン等のバッテリー持続時間の延長が可能になり、様々な情報通信システムをインフラとする現代の情報化社会の持続可能性の向上に寄与している。

しかし、今後さらに微細化が進展することで、消費電力が増加することは避けて通れない。そのため、近い将来、高集積化に伴う発熱や電力の制約から、全てのコアを同時に動作させることができないダークシリコンの問題 [23] が顕在化することが予想されている。その結果、2024 年頃実現される見通しの 8nm プロセスでは、全体の 50%以上のトランジスタが不活性化されるため、45nm プロセス時の 7.9 倍にしか性能が向上しないと予測されている [24]。文献 [23] では、この不活性化させるダークシリコン部分を、高い電力効率（電力当りの性能）で専用的な処理を行う Conservation Core(C-core) と呼ばれる処理回路を構成するのに用いることを提案している。具体的には、汎用処理向けの CPU コアの数を増やすのではなく、ソフトウェアの中で実行頻度の高い Hot Code と呼ばれる部分を抜き出し、その処理を効率的に実行することが出来る C-core を構成することで、電力効率の高いシステムを構成できるとしている。このように、今後は、膨大な数のトランジスタを、高性能化だけでなく、いかに省電力化に還元するかについて検討することも重要な課題になる。当然のことながら、低消費電力化技術は総合技術であるため、デバイス技術から回路技術、マイクロアーキテクチャ、さらにはソフトウェアに至るまで横断的に検討しなければならない。本研究では、今後課題となることが予想されているダークシリコンの問題も考慮に入れ、トランジスタ資源を有効活用して低消費電力化を実現する回路技術について検討する。

## 1.2 従来の低消費電力化手法

本節では，商用プロセッサの消費電力を削減する従来の回路技術の特徴について概説する．回路技術による主要な省電力化手法としては，

1. クロックのスイッチングが不要な個所を検出して，クロックの分配を選択的に停止する  
クロックゲーティング
2. 回路に要求される動作速度に応じて動的に供給電圧（およびクロック周波数）を変更する動的電圧周波数制御 DVFS (Dynamic Voltage Frequency Scaling) [25]
3. 回路が非動作時である場合に電力供給そのものを遮断するパワーゲーティング PG (Power Gating) [26]

これらの技術は，商用 LSI の分野において，すでに実用化されている．例えば，クロックの分配を選択的に停止することによる効果は大きい．文献 [13] では，90nm のマイクロプロセッサで，消費電力全体の 35% をクロックのスイッチングが占めていると報告されている．クロックゲーティングの適用方法としては，プロセッサコアのような大きな回路ブロックに供給するクロックを一括して止める粗粒度のクロックゲーティングと，フリップフロップに供給するクロックを止める細粒度のクロックゲーティング方式がある．IBM のマルチコア POWER プロセッサでは，細粒度のクロックゲーティングを適用することでスイッチング電力を 32% 低減できたと報告されている [27] ．

DVFS においては，Transmeta Crusoe の LongRun[28]，Intel の SpeedStep[29]，AMD の PowerNow[30] などが知られている．DVFS では，プロセッサに適用可能な周波数と電源電圧は 1 対の組となっており，周波数（もしくは電源電圧）を選択すれば，電源電圧（もしくは周波数）も決まる．Enhanced Intel SpeedStep では，プロセッサの負荷状況を OS のレベルで監視しており，周波数と電源電圧の決定は，OS から得られた情報を元に，電力管理専用のファームウェアによって行われ，どの周波数と電源電圧の組を用いるのかをプロセッサに伝える．プロセッサには，動的に周波数と電源電圧を変更する仕組みが備わっており，その仕組みを用いてソフトウェアの要請に応じて変更を行うため，タスク全体のよう

## 1.2 従来の低消費電力化手法

な比較的粒度の大きい処理単位で負荷を捉えることになりがちである．そのため，例えば，ネットワーク処理のように，トラヒックに依存して変動するような負荷に正確に追従して電圧と周波数を制御することは困難だと思われる．また，従来の DVFS 技術は，周波数と電圧の切換えにマイクロオーダーの時間を要するため，リアルタイムシステムを主なターゲットとはしていない．ここで言うリアルタイムシステムとは，決められた制限時間内に与えられたタスクを完了するコンピュータシステムのことを意味する．表 1.1 に商用の DVFS プロセッサとその電圧切り替え時間を示す．通常，電圧と周波数の切替え時にはプログラムの実行を停止する必要があるため，これらの時間は処理性能の低下を招く要因となる．また，これらの時間よりも短い負荷変動の周期に対しては，省電力化の機会があっても，それを活かさないことを意味している．このため，近年では，さらなる低消費電力化を目的として，より時間的に細かい粒度で電源電圧を制御する技術が注目されている．

表 1.1 DVFS プロセッサとその電圧切り替え時間

プロセッサ	電圧 [V]	切り替え時間 [ $\mu\text{s}$ ]
Trandmeta's Crusoe[31]	1.1–1.65	300
AMD Mobile K6[32]	0.9–2.0	200
Intel PXA250[33]	0.85–1.3	500

2011 年には，ARM 社から省電力技術として big.LITTLE 技術が発表された [34]．この技術では，比較的大型の高パフォーマンスコア (big) と，小型で低消費電力のコア (LITTLE) を組み合わせて省電力化を図っており，前述した「GALAXY S4」にも採用されている．具体的には，処理負荷に応じて，プロセッサ (Cortex-A15 と Cortex-A7) を使い分けることで，電力を抑えながら高い処理性能を実現できるヘテロジニアス型のマルチコア構成となっている．また，各コアの切替えに要する時間は  $20\mu\text{s}$  以下であると報告されており [34]，その切替えは電力管理用ソフトウェアによって行われる．さらに，各プロセッサは DVFS の機能も備えている．

## 1.2 従来の低消費電力化手法

また，昨今の微細化されたトランジスタでは，動作していない時でも微小な漏れ電流が流れて無駄に電力を消費するため，パワーゲーティング PG や基板バイアス [35],[36] が既に常套手段として導入されている．このうち，基板バイアスは，データが消失しないという利点はあるが，主にサブスレッショルドリーク電流のみを削減対象としているため，リーク電力削減効果はパワーゲーティングよりも劣る．一方，パワーゲーティングは，ゲートリーク電流や，ゲート誘導ドレインリーク電流（GIDL）に対しても有効であるため，高いリーク電力削減効果が期待できる．そこで，本研究では，リーク電力の削減手法としてパワーゲーティングに着目する．商用プロセッサにおける電源の切替え時間としては，ARM 社 Cortex-M0 では電源の復帰に数  $\mu\text{s}$  ~ 数十  $\mu\text{s}$  の時間を要している [37]．

このように，従来の省電力化手法は，電源電圧の切替えにマイクロオーダーの性能オーバーヘッドを許容しなければならない．電源遮断制御が，数ミリ程度の比較的長い期間を想定する場合には，さほど問題とならない場合も考えられるが，細粒度の電源制御を行う場合には決して無視できない．また，従来型の商用プロセッサでは，チップ単位ないしはプロセッサコア単位のような比較的規模の大きな回路に対しての省電力化技術しか適用されていないのが実情である．

各技術を適用し，将来の大規模 LSI において，電力削減効果を最大化するためには，従来の時間的・空間的にも粗粒度の電力制御 [38] だけでなく，細粒度の電源電圧制御が必要になると考えられる．近年では，より消費電力を低減する目的で，電源電圧の制御粒度を空間的もしくは時間的に細かくする技術が各所で研究されている [1] ~ [9]．これら技術により，アプリケーションの実行時も含めて消費電力の無駄を徹底的に排除できる可能性がある．その実現には，時々刻々と変化するチップ内部の動作状況に応じて，処理に本質的に必要な電力のみをいかに効率的に供給するかが重要となる．また，細粒度の制御においては，制御すること自体で消費するエネルギー（電力量）をより考慮する必要があるため，電力量の収支による設計制約について十分検討した上で実装しなければならない．電力量の収支とは省電力技術を適用したときに必要となる電力量と，技術を適用しないときに必要とされる電力量の差のことである．したがって，その差を最大限に大きくできる効率的な細粒度の電源電圧制

## 1.2 従来の低消費電力化手法

御を実現できる省電力化手法について検討する必要がある。本研究では、アプリケーションの実行時も含めて消費電力の無駄を徹底的に排除する電力制御手法を、従来の電力制御手法と区別して細粒度電力供給機構と呼ぶ。

本論文は、効率的な細粒度電力供給機構を実現することで、電力当りの性能を改善することを目的として、細粒度電力制御の実現法として着目した自己同期型パイプライン STP (Self-Timed Pipeline) 回路の省電力化手法について述べている。STP では、隣接するパイプライン段間でのみデータ転送制御信号 (send/ack 信号) を授受することによって、動作する必要のあるパイプライン段のみを自律的に駆動させるため、データを保持していないパイプライン段のトランジスタは全く動作しない。よって、クロック同期回路で一般に用いられているクロックゲーティングのような付加的な回路がなくとも、ダイナミック電力に関しては省電力であるという特長がある。また、隣接する前後のパイプライン段との転送制御、すなわちハンドシェイクは互いに独立して行えるため、一時的な過負荷に対する自律緩衝能力 (エラスティック能力) といった、LSI 実現に適した特性がある。その自律的かつ局所的に動作する STP に対して、非動作時には電力供給そのものを遮断するパワーゲーティング PG 技術を、パイプラインに要求される処理性能 (スループット性能) の変化に対しては、動的に供給電圧を変更する動的電圧制御 DVS 技術を適用する。このように、STP が本来有している省電力特性に加えて、供給する電力を細かく制御する機構を導入することによって、さらなる省電力化を実現することを目標としている。本論文では、先に STP の自律的かつ局所的な動作様式を活用した細粒度電力制御機構の実現法について述べる。次に、LSI チップを 65nm CMOS 標準論理セルライブラリで試作し、その有効性を定量的に示す。

以下に本論文の構成を示す。第 2 章においては、LSI の省電力化を実現するための要件について議論した上で、関連研究について述べ、それらの課題について述べる。その上で、それら課題を克服するために着目した自己同期型パイプラインの動作特性を示し、その局所自律的な特徴を活用することで、細粒度かつ自律的な電力供給機構が実現できることを明らかにする。

## 1.2 従来の低消費電力化手法

第3章では、自己同期型パイプラインの転送要求、許可信号に基づくパイプライン段単位のパワーゲーティング方式について述べ、細粒度パワーゲーティングを効率的に行うための回路構成法について述べる。

第4章では、自己同期型パイプラインの処理負荷を示す消費電流値に基づく動的電圧制御方式について述べ、電圧切替え時の一時的な停止を必要とせずに電圧制御を可能とし、さらに、安定的な電圧の昇降を実現するための回路構成法について述べる。

第5章では、細粒度電力制御が可能な STP の実用性を実証的に評価するために、65nm CMOS プロセスを利用して試作した、パイプライン段単位パワーゲーティング機構を備えた ULP-STP チップと、動的電圧制御機構を備えた実用的なプロセッサである ULP-DDCMP (Data-Driven Chip MultiProcessor) チップの構成について述べる。また、総合的な消費電力を見積もることを目的として構築したプラットフォームシミュレータの構成について述べる。

第6章では、試作チップの実測に基づく評価結果について述べる。その結果、パワーゲーティング機構を備えていない STP 回路と比較して、待機時のリーク電力を約 26%低減できることを述べる。また、動的電圧制御機構により、スイッチング電力を約 26%低減できる見通しが得られたことを述べている。

## 第 2 章

# 低消費電力化の要件

### 2.1 諸言

トランジスタの高密度集積化技術のさらなる進展を，今後も継続的に計算機システムの高性能化に転換するにはスイッチング電力とリーク電力の低減が重要である．本研究は，プログラム実行時も含めて細かく電力供給を制御することで消費電力を徹底的に削減し，LSI の電力当りの性能を改善することを目指している．そのためには，消費電力の削減だけでなく，実行時の処理性能も考慮しなければならない．特に，一般には，プロセッサ内の処理負荷は，プログラムに内在する並列度，および外部からの処理要求トラフィックに応じて，時々刻々変動する．本稿で提案する細粒度電力供給機構は，このような処理負荷の変動状況に応じて性能を維持しつつパワーゲーティングならびに動的電圧制御を実現し，可能な限り消費電力を抑えることを目的としている．

本章では，先に低消費電力化の要件について述べ，関連研究の技術的課題について論述する．次に，その課題を克服することを目的として着目した自己同期型パイプラインの自律的な動作様式について述べ，その特性を利用することで，効率的な細粒度電力供給機構が実現できる所以について述べる．

### 2.2 細粒度電力供給機構の要件

従来の LSI では，動的な消費電力であるスイッチング電力が支配的であった．しかし，トランジスタの微細化に伴う高集積化と絶縁能力の低下により，スイッチング電力とリーク電

## 2.2 細粒度電力供給機構の要件

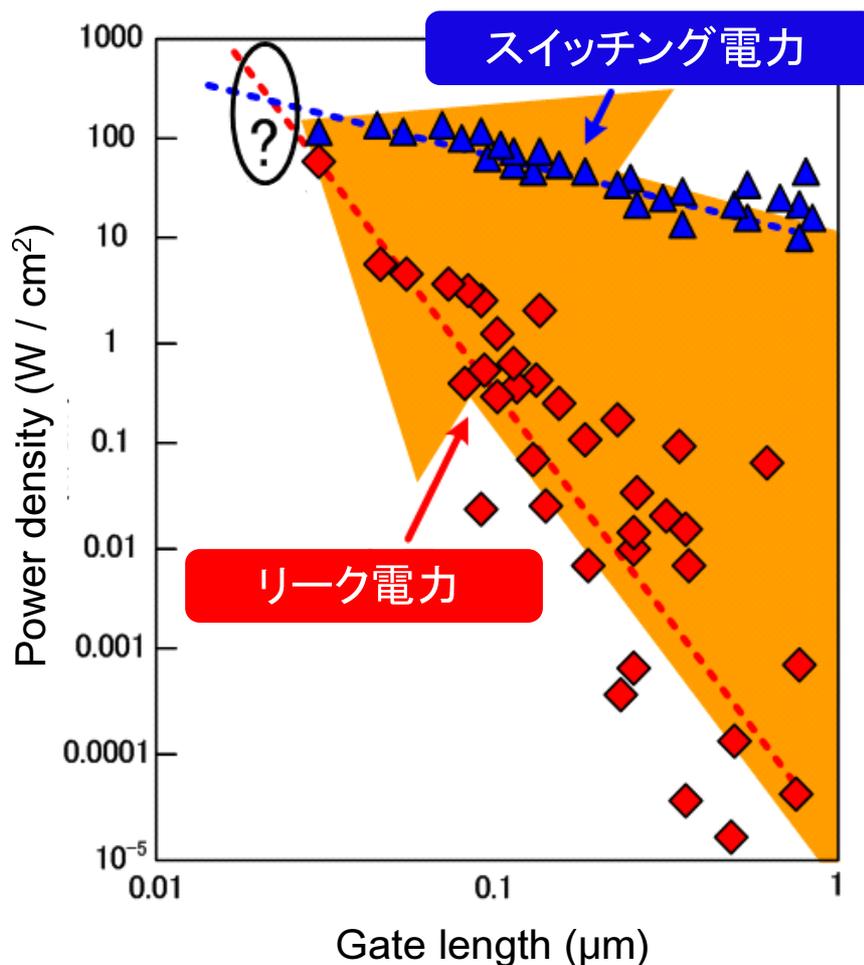


図 2.1 スイッチング電力とリーク電力

力の増加が顕著になっている．図 2.1 に，近年の微細プロセスにおけるスイッチング電力とリーク電力の傾向を示す [39]．横軸は，トランジスタのゲート長であり，縦軸は電力密度を表している．図からも分かるように，近年の微細プロセスでは，スイッチング電力とリーク電力の密度が同等にまで増加しており，両方を抑制するための技術の確立が強く望まれている．

LSI の消費電力  $P$  は，回路動作に関係なく消費するリーク電流による静的電力と回路のスイッチング動作に伴う動的電力に大別され，一般に次式で表される．

$$P = V_{DD} \times I_{leak} + V_{DD}^2 \times f \times \alpha \times C_L \quad (2.1)$$

ここで， $V_{DD}$  は電源電圧， $I_{leak}$  はリーク電流， $f$  は動作周波数， $\alpha$  はスイッチング確率，

## 2.2 細粒度電力供給機構の要件

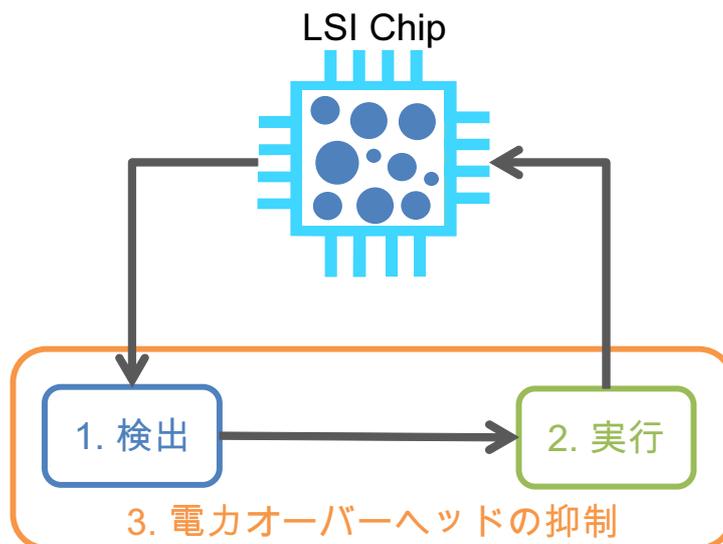


図 2.2 細粒度電力供給機構の要件

$C_L$  は負荷容量である．しかし，各回路ブロックにおいて，常に最高速・最高性能が要求されるとは限らない．

本研究では，LSI の総合的な省電力化を実現するために，式 (2.1) の右辺第 1 項の静的電力に対しては，電源電圧の供給を遮断し，待機時のリーク電流を削減するパワーゲーティング PG (Power Gating) 技術 [26]，第 2 項の動的電力に対しては電源電圧と周波数を下げて動作時電力を削減する動的電圧周波数制御 DVFS (Dynamic Voltage Frequency Scaling) 技術 [25] を応用して細粒度の電力制御を実現する．さらに，細かく制御を行うことで，アプリケーションの実行時も含めて消費電力の無駄を徹底的に排除できる可能性がある．しかし，細粒度の電力供給制御により，処理性能が劣化すれば，電力当りの性能を改善する上で問題となる．そこで，本研究では，電力当たりの性能を改善するために，図 2.2 に示すように細粒度電力供給機構の要件を定義する．具体的には，省電力化の対象とする LSI チップに対して，

1. 検出：プログラムに内在する並列度，および，外部からの処理要求に応じて，時々刻々変動する省電力化の機会（待機状態 / 低処理負荷）を適切に検出できること
2. 実行：プログラムの実行性能を低下させずに，電力供給制御を実現できること

## 2.3 細粒度電力供給制御における関連研究とその課題

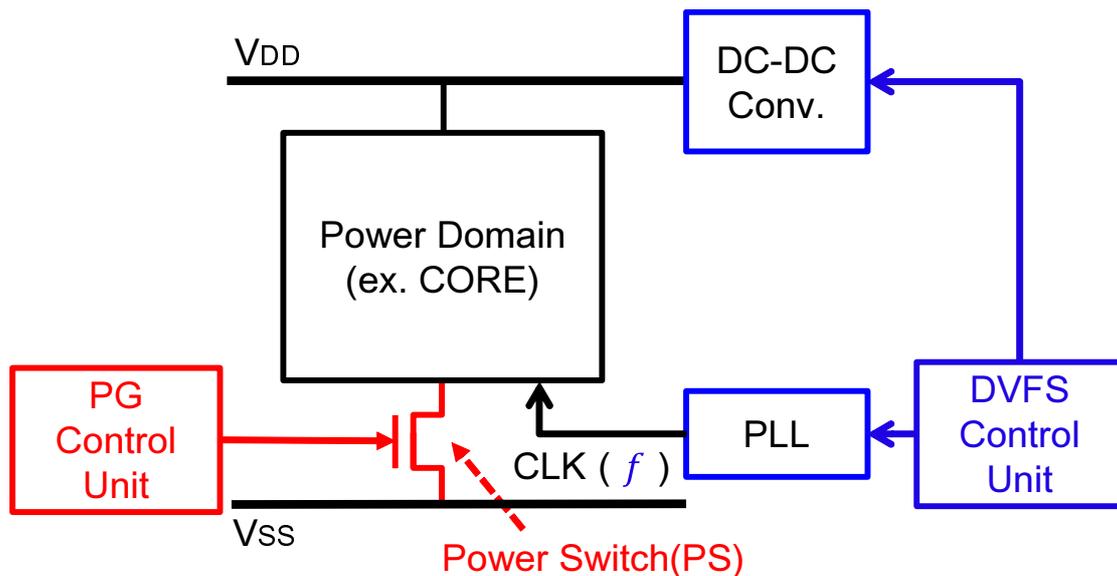


図 2.3 従来型のパワーゲーティングと動的電圧周波数制御機構

3. 電力オーバーヘッドの抑制：検出と実行に要する電力オーバーヘッドをできる限り抑えること

を要件として定義する．次節では，細粒度電力供給機構を実現するための技術的課題について述べる．

## 2.3 細粒度電力供給制御における関連研究とその課題

細粒度電力供給制御を従来のクロック同期型のシステムで実現するためには，多くの課題が存在する．従来のクロック同期システムに対して，パワーゲーティングと動的電圧周波数制御 DVFS を適用した場合の模式図を図 2.3 に示す．パワードメインの電源を遮断するためには，パワースイッチと呼ばれるスイッチを挿入し，それをコントロールユニットで制御することでパワーゲーティングを実現する．また，動的電圧周波数制御においては，コントロールユニットで DC-DC 変換器と PLL (Phase Locked Loop) を制御して，電源電圧と動作周波数を変更する必要がある．以上の制御を，プログラムの実行性能を落とさずに実現する必要がある．

## 2.3 細粒度電力供給制御における関連研究とその課題

表 2.1 ウェイクアップ時間

	Process [nm]	Gate Count	Wakeup Time [ns]
Kanno [40]	90	1000000	3900
Lee [41]	90	43743	10.6
Lee [41]	90	9860	2.31
Matsutani [6]	65	111060	2.8
Matsutani [6]	65	4910	1.3

プログラムの実行性能を低下させる要因としては、パワーゲーティング適用時のウェイクアップ遅延や、クロック周波数および電源電圧切替え時間に伴う一時的な実行停止時間がある。前者に関しては、パワーゲーティング対象となるパワードメインを細分化することで、ウェイクアップ遅延を短縮する手法が考えられる。しかし、その時間をゼロにすることは、原理的に不可能であるため、何らかの対策を講じる必要がある。

表 2.1 に、パワーゲーティングにおける性能低下の要因となるウェイクアップ時間を示す。従来の方式 [40] では、大きな単位で電源をオン、オフするため、電源の復帰（ウェイクアップ）には数  $\mu\text{s}$  の時間を要していた。これは、電源接続時に発生する大電流（突入電流）によるノイズが、回路の誤動作の要因となるため、電源遮断用のスイッチを同時にオンできないためである。そのため、ノイズの影響を抑制するために、ウェイクアップのスケジューリングが必要になる。しかし、近年では、回路技術の進展により、高速なウェイクアップが可能となっている。文献 [6] では、CMP におけるオンチップルータを 35 個のパワードメインに分割することで、3ns 以下のウェイクアップ時間を実現している。しかし、このウェイクアップ時間に起因して、動作周波数が 1GHz の場合、アプリケーション性能が 4% 低下している。したがって、電力当りの性能で考えた場合、4% の電力削減効果は、性能ペナルティにより相殺されてしまう。

## 2.3 細粒度電力供給制御における関連研究とその課題

表 2.2 PLL による周波数切替え時間

	Process [nm]	Output Range [GHz]	Locking Time [ $\mu$ s]
Seo [42]	180	0.9 - 1.25	$< 5\mu$ s
Kim [43]	130	0.3 - 1.4	$3.5\mu$
Rout [44]	45	0.8 - 12	$46\mu^*$

\* : Estimated from plot

表 2.3 DC-DC 変換器による電圧切替えスピード

	Process [nm]	Output Range [V]	Voltage Scaling Speed [mV/ns]
Clark [45]	NA	0.75 - 1.65	0.016
Tseng [46]	180	0.9 - 1.68	2.9
Kim [47]	65	0.6 - 1.0	30

また，クロック周波数および電源電圧切替えに伴う遅延時間に関しては，クロック信号を生成する PLL の改良や，電源電圧を供給する DC-DC 変換器をオンチップ化するなどの手法が考えられる．表 2.2 に，PLL による周波数切替え時間を示す．おおよそ数  $\mu$ s ~ 数十  $\mu$ s の時間を要することがわかる．

また，表 2.3 に，DC-DC 変換器による電圧の切替えスピードを示す．Off-Chip の DC-DC 変換器 [45] では，0.1V 電圧を変えるために，約  $6.3\mu$ s の時間を要することになる．これでは，数 GHz で動作するプロセッサの処理負荷に追従できないことは明らかである．そのため，近年では，DVFS 向けの On-Chip 型 DC-DC 変換器が注目されており，文献 [47] で示されているオンチップ DC-DC 変換器を用いた場合，約 3ns の短時間で 0.1V 程度の昇降が可能になる．しかし，PLL の切替え時間の制約から，プログラムの実行性能を落とさずに電力供給制御を行うことは困難であると考えられる．

## 2.3 細粒度電力供給制御における関連研究とその課題

文献 [48] では、性能と電力の切り替えにかかるオーバーヘッドを小さくすることを目的として、負荷変動に瞬時に適応可能なマルチパフォーマンスプロセッサを提案している。各 PE ( Processing Element ) コアは同一の命令セットアーキテクチャを持つが、消費エネルギー特性と動作性能が異なっており、アプリケーションの負荷状況に応じて適切な PE を稼働させる構成となっている。PE の切り替えにかかる時間は約  $1\mu\text{s}$  程度であり、その時のエネルギーオーバーヘッドは約  $10\text{nJ}$  と報告されている。したがって、 $1\mu\text{s}$  以下の電力削減機会に対しては、電力供給制御を行うことができない。また、切替えに要する性能オーバーヘッドも無視できない。これは、結果としてプロセッサの処理負荷に余裕が出来ても簡単には電源電圧とクロック周波数を下げられないためである。そこで、本研究では、 $1\mu\text{s}$  以下の負荷変動に対しても追従できる細粒度電力供給機構の実現を目指した。

一方で、電源電圧の制御には、電力オーバーヘッドが伴うため、電力の収支を考慮した制御が重要となる。特に、細粒度の電力供給制御においては、制御の頻度も増加するため、とりわけ考慮しなければならない。この電力の収支は、1回の制御に対する電力量オーバーヘッドと、それにより得られた電力削減量を考えなければならないため、電力量で議論する必要がある。図 2.4 に粒度と電力量の関係を示す。通常、粒度を細かくすると、削減できる電力量も増加するが、制御に要する追加回路や、それ自体の制御に要する電力量も増加するため、図 2.4 に示すように、細粒度化を行う過程で、電力削減量を制御に要する電力量オーバーヘッドが上回ってしまう場合が考えられる。すなわち、両者の間には、電力削減効果を得るための必要条件である損益分岐点 BEP ( Break-Even Point ) が存在するため、細粒度の電力供給機構を実現するためには、この BEP を考慮した実装が必要不可欠となる。また、電力量をできる限り削減するためには、電力量オーバーヘッドの低減化も重要となる。

電力量オーバーヘッドの要因としては、省電力化の機会を検出するための回路と、電力供給を制御するための回路の2つに大別できる。したがって、これらの回路をいかに効率良く実現するかが細粒度電力供給制御を実現する上で重要な検討課題となる。

本研究は、刻々と変動する負荷を適切に検出するために、自己同期型パイプライン STP に着目する。STP の自律的かつ局所的な動作様式を活用することで、省電力化の機会を最小

## 2.4 自己同期パイプライン

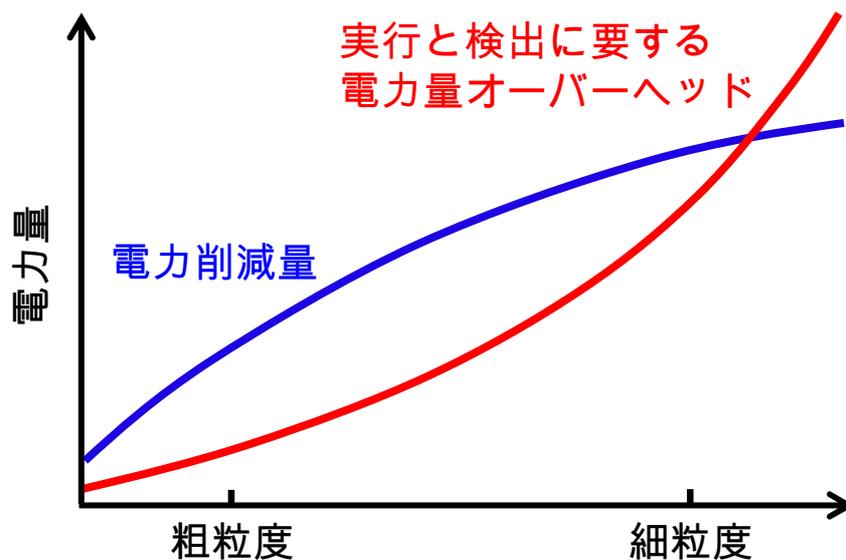


図 2.4 電力量と粒度の関係

限の追加回路で実現できると着想した。さらに、自己同期型パイプラインが本来有している省電力特性に加えて、供給する電力を細かく実時間制御する機構を導入することにより、さらなる省電力化が可能な細粒度電力供給機構を確立することを目標としている。次節では、細粒度の電力供給制御と親和性の高い自己同期型パイプラインの動作様式について述べる。

## 2.4 自己同期パイプライン

STP の基本構成を図 2.5 に示す。各パイプライン段は、パイプラインレジスタとして動作するデータラッチ DL (Data Latch)、処理回路 FL (Function Logic)、および、データ転送制御回路として動作する一致記憶フリップフロップ (Coincidence flip-flop: C 素子) により構成される。データはタグ付きの packets 形式で取り扱われ、STP 内では各 packets はステージ間の制御信号 (send 信号, ack 信号) の伝達によって自律的に移動する。

STP は、マイクロパイプライン [49] に基づいた非同期パイプラインの構成原理である。非同期パイプラインの構成法には、1 ビットのデータ表現に 2 つの信号線を用いる 2 線方式と、N ビットのデータ転送を 2 個の転送制御信号で制御する束データ方式がある [50]。STP

## 2.4 自己同期パイプライン

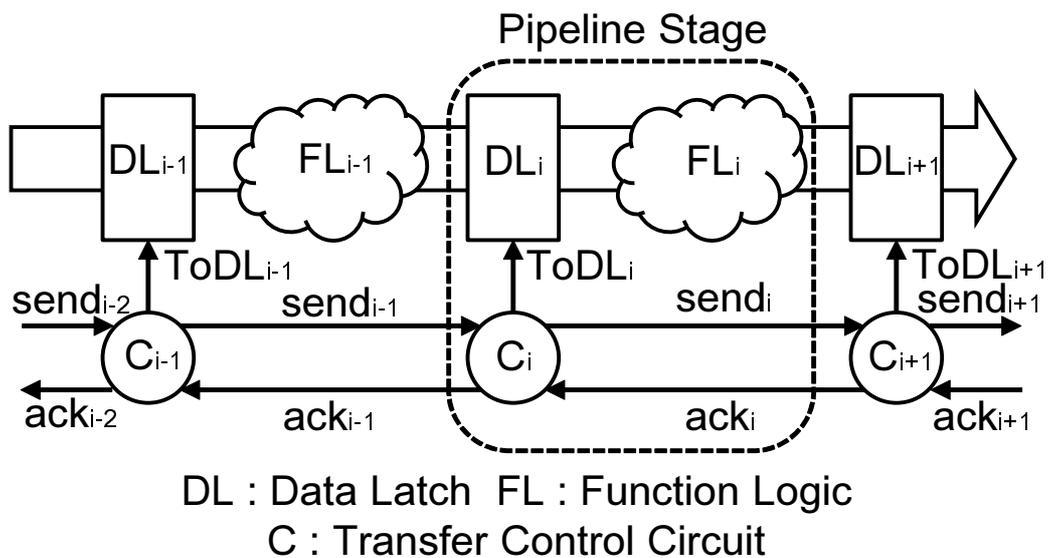


図 2.5 自己同期型パイプライン STP

では，束データ方式を採用している．束データ方式は，2線方式と比較し，回路コストを抑えることができるという利点がある．STPのタイミングチャートを図2.6に示す．具体的には，まず，セット時に全ての send 信号と ack 信号を 1，ToDL 信号を 0 にしてリセットを終える．パケットを転送するために，

1. (パケットの転送開始) C 素子  $C_{i-1}$  が前方段へ  $send_{i-1}$  信号を伝達する ( $send_{i-1} : 1$  0)．同時に，データラッチ  $DL_{i-1}$  が前方段へパケットを送信する．
2. (ハンドシェイク)  $C_i$  は  $send_{i-1}$  および  $ack_i$  信号が到着すると ( $send_{i-1}, ack_i : 0$  1)，データラッチ  $DL_i$  を開ける ( $ToDL_i : 0$  1)．結果，パケットが前方段へ転送される．
3. (ack 信号遷移) 同時に  $C_i$  は， $ack_{i-1}$  信号を後方段に伝達し ( $ack_{i-1} : 0$  1)，後続パケットの転送を許可するとともに，
4. (send 信号遷移)  $send_i$  信号を前方段へ伝達し ( $send_i : 1$  0)，前方段へのパケット転送を開始する．
5. パケットがある限り上記 (1)～(4) を繰り返す．

## 2.4 自己同期パイプライン

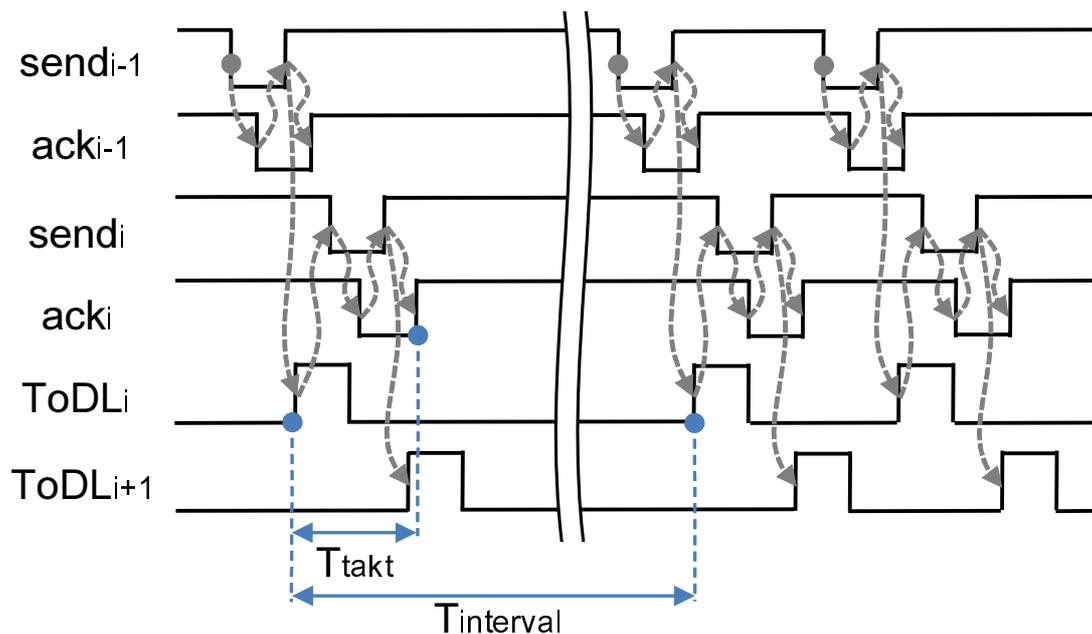


図 2.6 自己同期型パイプライン STP のタイミング図

また，STP のスループット性能，すなわち単位時間あたりに処理されるデータ数は，データが入力される間隔を  $T_{interval}$  とすると， $1/T_{interval}$  として与えられる．

以上のようなパイプライン段間の局所的な転送制御により，STP には，(a) 局所的な信号伝達のみによって動作時にだけスイッチング電力を消費する省電力特性や，(b) 負荷の変動に対する自律緩衝能力（エラスティック能力）といった，省電力 LSI 実現に適した特性がある [10]．STP 回路が本来有する最大スループット性能は，パイプライン段でのデータ転送にかかる最小時間であるタクト ( $T_{takt}$ ) の逆数で決まる．一方，プログラム実行時の実効スループット性能は，単位時間あたりに処理されるデータ数であるため，パイプライン段のデータ到着間隔 ( $T_{interval}$ ) の逆数となる．

本研究では，STP の動作時にだけスイッチングする特性に着目すれば，STP の消費電流値から，パイプライン内部の処理負荷を検出できると着想した．さらに，ハンドシェイク信号を観測することで，パイプライン内部のデータの有無をパイプライン段の水準で検出できる．以上の特徴を活用して，要求される処理性能に応じて STP に電力を供給すれば，必要最小限の電力を消費する VLSI 回路実現法が確立できると着想した．この超低消費電力化

## 2.4 自己同期パイプライン

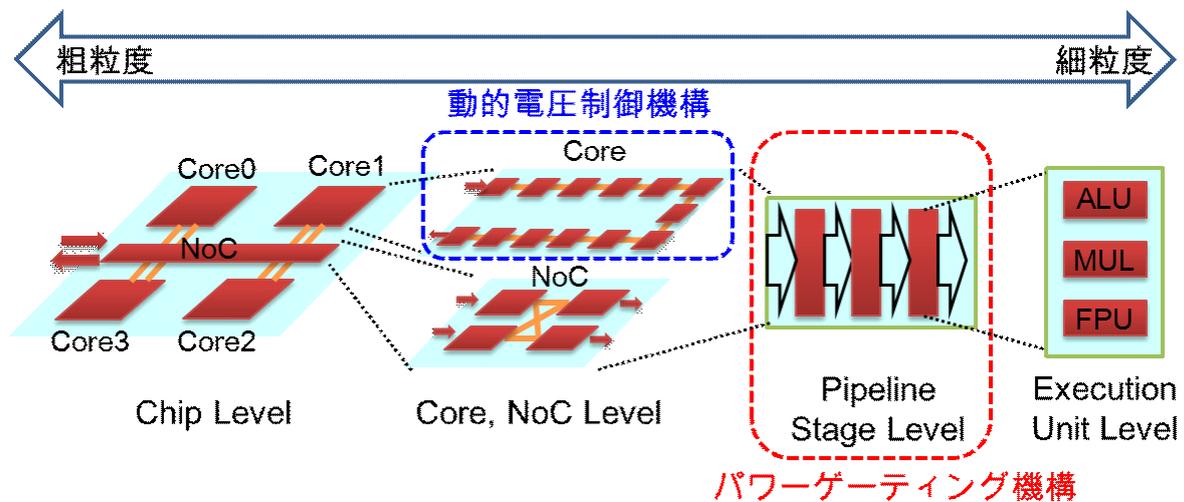


図 2.7 細粒度電力供給機構における粒度

を目指した自己同期型パイプライン ULP (Ultra-Low-Power) -STP は、従来型 STP に加えて、

1. 有効データの有無に応じたパイプライン段単位のパワーゲーティング SS-PG (Stage-by-Stage Power Gating)
2. 処理性能の変更時に一時的な停止を必要としないサスペンドフリー動的電圧制御 SF-DVS (Suspend-Free Dynamic Voltage Scaling)

を備えた回路となっている [51]。図 2.7 に、提案する細粒度電力供給機構が対象としているプロセッサ上の粒度を示す。動的電圧制御機構は、各コアによって異なることが予想された処理負荷に対して、適応的な動的電圧制御を実現するために、1 コアを対象とした。また、パワーゲーティングに関しては、パイプラインを対象とする。以上のように、従来のチップ単位、ないしはコア単位の電力制御よりも細かく電力供給を制御することで、さらなる低消費電力化を目指した。以降では、SS-PG と SF-DVS を併用することで低消費電力化を実現可能とする細粒度電力供給機構の回路実現法について述べる。

## 2.5 結言

本章では，細粒度の電力制御を実現する観点から既存技術の課題を議論した．その要件として，

1. 省電力化の機会を適切に検出できること
2. プログラムの実行性能を低下させないこと
3. 電力オーバーヘッドを最小化できること

を明らかにした．これに対して，本研究では細粒度の電力供給制御と親和性の高い自己同期パイプライン STP に着目した．STP は，隣接するパイプライン段間でのみデータ転送制御信号を授受するため，アクティブでないパイプライン段では全くスイッチング電力を消費しないという優れた特長を持っている．STP の動作時にだけスイッチングする特性に着目すれば，STP の消費電流値から，パイプライン内部の処理負荷を検出できることを述べた．さらに，ハンドシェイク信号を観測することで，パイプライン内部のデータの有無をパイプライン段の水準で検出できる．以上の特徴を活用して，要求される処理性能に応じて STP に電力を供給すれば，必要最小限の電力を消費する VLSI 回路実現法が確立できる可能性があることを述べた．

## 第 3 章

# 細粒度パワーゲーティング機構

### 3.1 諸言

LSI 製造プロセスルールの微細化に伴い、リーク電力の増大が顕著になっており、待機時の電力を削減する技術の確立も重要になりつつある。よって、本研究では、STP 回路における転送制御信号を活用して、パイプライン段単位で自律的にパワーゲーティング PG (Power Gating) を実現する回路を考案し、STP のさらなる省電力化を目指した。一般に商用の LSI システムで用いられている PG 技術は、LSI 全体ないしはプロセッサコア単位といった大規模な回路に対して適用されている。これは、PG 対象の回路を細かくすると、それぞれの回路に、パワーゲーティング用回路を個別に追加する必要があり、面積オーバーヘッドすなわち電力オーバーヘッドが増大するためである。また、電源オン時の突入電流に伴うノイズの影響を避けるために、ウェイクアップ時間を数  $\mu s$  以上に設定する必要がある。これらのことから、回路規模的にも時間的にも細かな電源制御ができないため、リーク電力削減効果がそれほど高くない。

自己同期型パイプラインを含む非同期回路を対象にした細粒度パワーゲーティング技術に関しては、m-out-of-n 符号に基づく非同期回路を対象にした方式 [52],[53] や自己同期型パイプラインを対象にした方式 [54],[55] がある。前者の方式は、ロジック回路内の信号遅延の変動に対する耐性を備えた非同期回路であり、スペーサなどによりデータ間を区分するために冗長な信号遷移が必要となる。後者の方式は、遅延耐性は劣るが冗長な信号遷移がないため、前述したようにスイッチング電力を必要最小限に抑えられる。しかし、文献 [54],[55] では、いずれも配置配線前のトランジスタネットリストを対象とした提案に留まっており、

### 3.2 パイプライン段単位の細粒度パワーゲーティング

LSI 実装上の技術的な課題が明らかにされていない。すなわち、パイプライン段単位の細粒度パワーゲーティングにおいては、電源接続/遮断後の過渡的な電流が相対的に大きくなり、配線の寄生容量成分も無視できないと考えられる。

以下、本章では、STP 回路の特長を活用すれば、必要最小限の追加回路でパイプライン段単位の細粒度 PG を実現でき、かつ、時間的にも細かくリーク電力を削減できることを述べる。さらに、通信処理の大部分を占める待機時を想定した上で、過渡的な電力を含めてリーク電力の削減効果を最大化できる、PG 回路の最適化設計法に関して議論する。

### 3.2 パイプライン段単位の細粒度パワーゲーティング

STP 内のパイプライン段間で授受される send 信号と ack 信号は、当該ステージにおけるパケットの有無を表している。これらの信号を活用すれば、パイプライン段毎に電力の供給/遮断を制御することが容易に可能になる。すなわち、動作していないステージの電源線をパワースイッチ PS (power switch) によりオン/オフすれば、プロセッサコア単位よりも細かなパイプライン段単位で無駄な漏れ電流を防ぐことが可能になる。図 3.1 にその回路図を示す。

パワースイッチ PS として、漏れ電流が比較的少ない、高しきい値 nMOS トランジスタを用い、これを処理回路とグラウンド線  $V_{SS}$  との間に挿入する。この PS を制御する回路 PC (power controller) は、当該段の前後の send/ack 信号と転送制御回路 C の内部信号を入力とする 6 入力 NAND ゲートのみで簡単に構成できる。以上の回路を各パイプライン段に付加することによって、パイプライン段単位の PG が実現される。

図 3.2 にこの回路の信号遷移を示す。各パイプライン段でデータが処理される時間は  $T_{active}$  として定義される。すなわち、パイプライン段がスリープする場合、 $T_{active}$  の期間は電源を遮断できない期間となる。したがって、リーク電力削減効果を決めるスリープ時間  $T_{sleep}$  は、パイプライン段がウェイクアップするために要する時間である  $T_{wakeup}$  を考慮すると、式 (3.1) として定義されることになる。

### 3.2 パイプライン段単位の細粒度パワーゲーティング

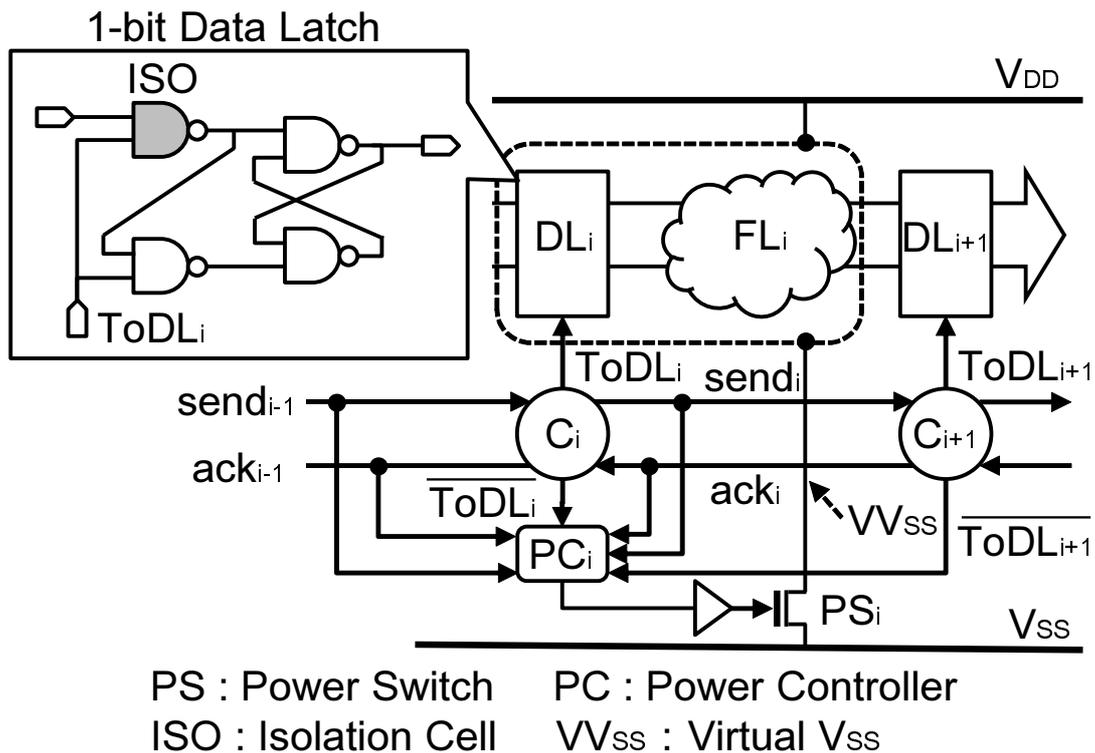


図 3.1 パイプライン段単位パワーゲーティング回路

$$T_{sleep} = T_{interval} - T_{active} - T_{wakeup} \quad (3.1)$$

PS を制御するための制御信号の生成においては，転送要求信号  $send_{i-1}$ ， $send_i$ ，転送許可信号  $ack_{i-1}$ ， $ack_i$ ，DL 開閉信号の否定  $\overline{ToDL_i}$ ， $\overline{ToDL_{i+1}}$  のいずれかが 0 であれば，当該パイプライン段においてパケットが転送中（すなわち，処理中）であるため，その間は PS をオンにして電源を供給する．それ以外の場合には，電源を遮断しスリープする．図中の右半分で示しているように，複数のパケットが連続的に転送処理される期間においては，PS はオフされず継続的にオンとなり，不要な PS のスイッチングを避けることも可能になる．

これらより，電源オンの時間を  $T_{active}$ ，PS オンから DL 開閉信号を立ち上げるまでの時間（以下，ウェイクアップ時間）を  $T_{wakeup}$  とすると，スリープ時間（ $T_{wakeup}$ ）は， $T_{interval}$  から  $T_{active}$  と  $T_{wakeup}$  を差し引いた時間（ $T_{sleep} = T_{interval} - T_{active} - T_{wakeup}$ ）となる．

### 3.2 パイプライン段単位の細粒度パワーゲーティング

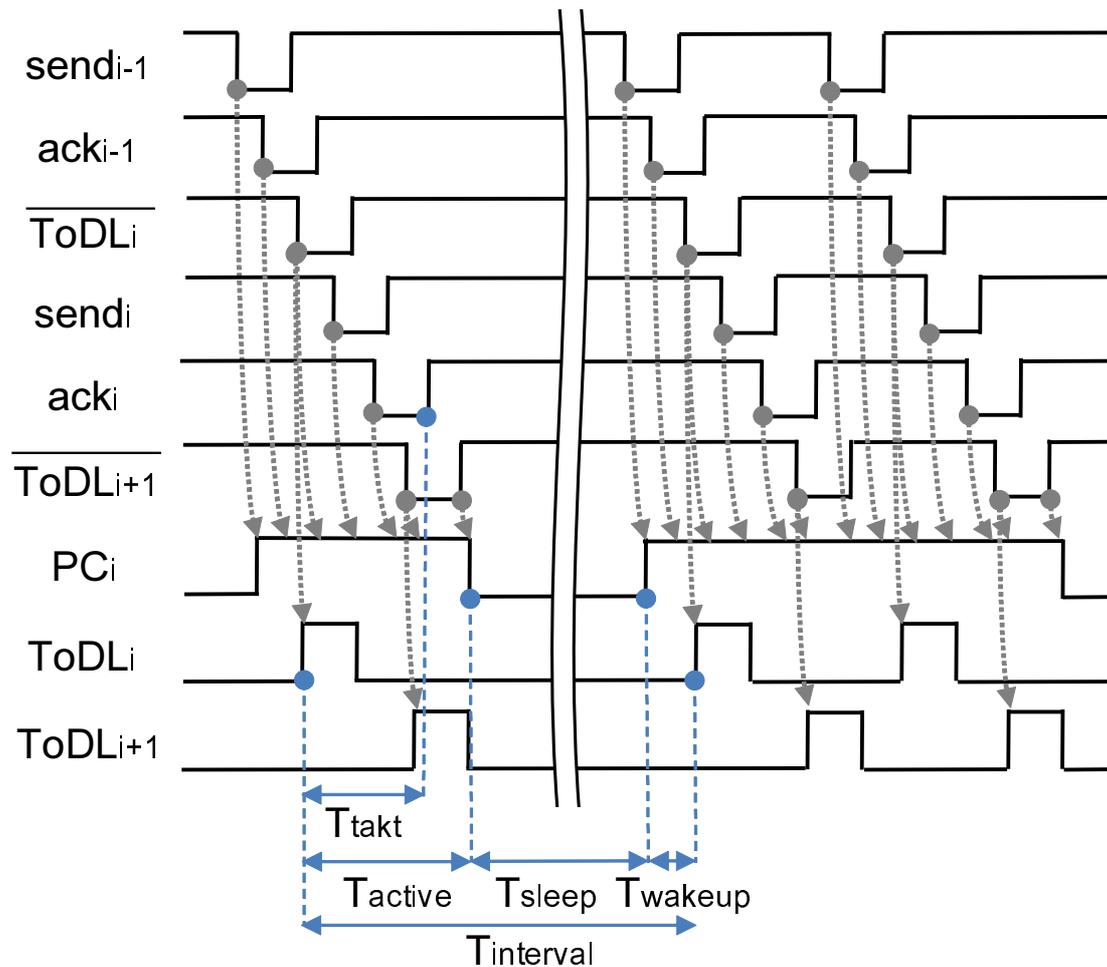


図 3.2 パイプライン段単位パワーゲーティングのタイミング図

パイプライン段水準のように細かな領域を対象とした PG では、一般に、

- PS, PC, および, 分離セル ISO (isolation cell) の性能・電力オーバーヘッド
- 電源オン時の突入電流に伴うノイズの影響

をなるべく小さく抑えることが肝要である [56]。前者の中で、PC 回路については上述したように NAND ゲートのみで実現可能である。また、ISO に関しては、電源遮断された回路ブロックから電源供給されている回路ブロックへ不安定な信号値が伝搬して回路が誤動作するのを防ぐことが目的である。STP では、図 2 に示すように、データラッチ回路の一部が ISO の機能を果たすことができるため、分離セル専用の追加回路が不要になり、電力的にも

### 3.3 パイプライン段単位の細粒度 PG の実装法

性能的にもオーバーヘッドが生じないという利点がある．一方，PS に関しては，後述する実装において，性能・電力オーバーヘッドを低減する工夫が必要になる．

後者に関しては，STP では各パイプライン段の DL 開閉信号はクロックに同期していないため，複数のパイプライン段が全く同時に電源オンになる可能性が極めて低い．よって，電源オン時に発生する突入電流の発生が時間軸上で分散するため，クロック同期型パイプライン回路に比べてグラウンドバウンス・ノイズ [57, 58] の影響を軽減でき，結果的に，PS オンから DL 開閉信号を立ち上げるまでの時間（以上，ウェイクアップ時間）を短くできる．

以上のように，STP の特長を活用すればパイプライン段単位の細粒度パワーゲーティングによって，原理的には，リーク電力削減効果を向上できる可能性があることが判る．しかしながら，実際には，電源オンとオフのためにはエネルギーが必要になり，それがオーバーヘッドとなる．よって，電源遮断されているスリープ期間に削減できるエネルギーが，PG のエネルギーオーバーヘッドを上回る必要がある．このためには，エネルギーオーバーヘッドを低減すると同時に，スリープ期間に削減できるリーク電力を増やす実装上の工夫が必要になる．

### 3.3 パイプライン段単位の細粒度 PG の実装法

本研究では，PG に伴うエネルギーオーバーヘッドに対して，削減可能なリーク電力量が等しくなるスリープ時間を，損益分岐スリープ時間 BEST (Break-even sleep time) と呼ぶ．本章ではまず，細粒度 PG の電力モデルとして，電源接続/遮断後の過渡的な電力を含めた損益分岐スリープ時間 BEST を定義する．次に，これに基づく細粒度 PG の LSI 実装法として，PS 挿入に伴うエネルギーオーバーヘッドと性能劣化を低減するための実装法について述べ，これらを容易化できる LSI レイアウト設計法を示す．

### 3.3 パイプライン段単位の細粒度 PG の実装法

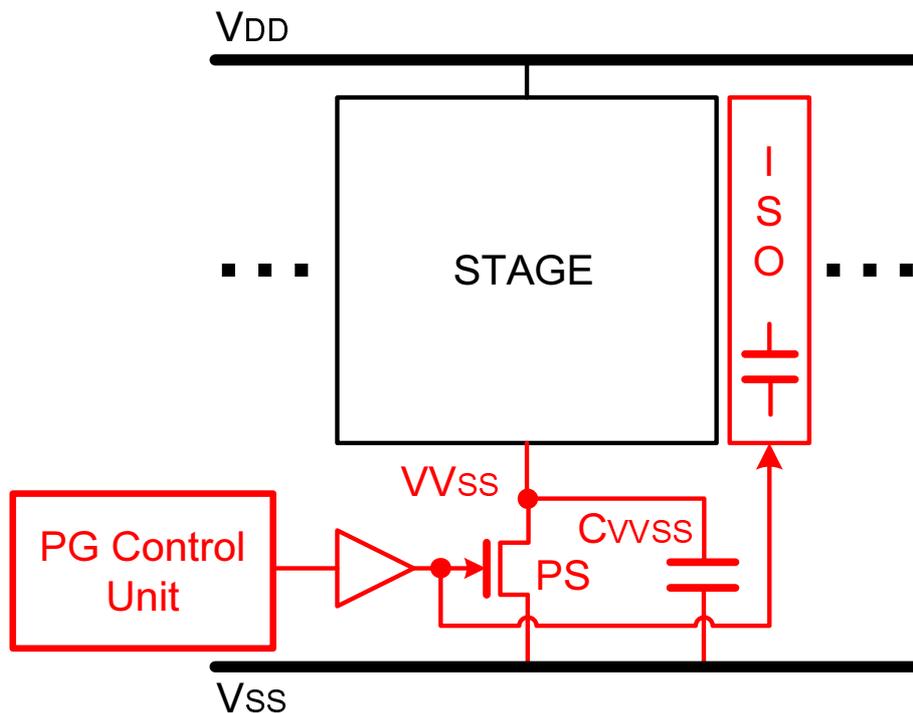


図 3.3 パワーゲーティングの等価回路モデル

#### 3.3.1 損益分岐スリープ時間 BEST

パワーゲーティングは、電源遮断時にリーク電力を抑えられるが、一方で、パワースイッチ PS のオン/オフに要するスイッチング電力および PS オン時に流れる突入電流が電力オーバーヘッドとなる。図 3.3 にパワーゲーティングにおける等価回路モデルを示す。

この回路では、PS のスイッチング電力量  $E_{PS}$  は式 (3.3) で表せる。

$$E_{PS} = C_{PS} \times VDD^2 \quad (3.2)$$

ただし、 $C_{PS}$  は PS と PS 駆動用バッファの容量成分である。また、PS オン時の突入電流による電力量  $E_{rush}$  は文献 [7] に基づき次式で表せる。

$$E_{rush} = (C_{VVSS} + \frac{1}{2}C_L) \times VDD \times \Delta VVSS \quad (3.3)$$

ただし、 $C_{VVSS}$  と  $C_L$  はそれぞれ仮想グラウンドおよび制御対象回路の容量成分である。

### 3.3 パイプライン段単位の細粒度 PG の実装法

また,  $\Delta_{VVSS}$  は PS オフ時の仮想グラウンドの電位であり, これは電源遮断の期間 (スリープ時間) が長くなるほど VDD に漸近する. よって, スリープ時間が長くなればなるほど, 削減できるリーク電力量が増えるが, 逆に, 短いと削減できるリーク電力量よりもオーバーヘッド電力量が大きくなり, パワーゲーティングの効果が得られないことになる.

細粒度 PG においては, PS が 1 度オフになる時点から一定時間スリープして再び PS がオンになる過程において, BEST は, 削減可能なリーク電力を分母, エネルギーオーバーヘッドを分子として, 次式で近似できる.

$$BEST = \frac{E_{PS}^S + E_{rush}^S + E_{PS}^L}{P_{active}^L - P_{sleep}^L} \quad (3.4)$$

ただし,  $E_{PS}^S$  は PS および PS 駆動用バッファと電源制御用回路 PC のスイッチング電力量,  $E_{rush}^S$  は電源接続時の突入電流により消費するスイッチング電力量,  $E_{PS}^L$  は当該パイプライン段が動作していない時間内における PS のリーク電力量を表す. また,  $P_{active}^L$  は電源接続 (PS オン) 時, すなわちパワードメインと追加回路のリーク電力である.  $P_{sleep}^L$  は, 電源遮断 (PS オフ) 時, すなわち PS, PS 駆動用バッファと PC のリーク電力である.  $P_{sleep}^L$  は, スリープ時間が経過すると徐々に 0 に漸近するため, プロセッサコア単位 PG のように非常に長いスリープ時間を仮定する場合, 0 に近似されている [59]. しかし, 本提案のように細粒度 PG を仮定すると無視できない項の一つである. そこで, 本研究では, その過渡的な状況も考慮して評価を行うことにした. 図 3.4 に本研究で評価対象としている過渡的な特性を示す. 赤色で示されている部分は, パワーゲーティングにおける電力量オーバーヘッドとなる部分である. 効率的に細粒度パワーゲーティングを実現するためには, これら部分をいかに小さくするかが重要となる.

一方,  $E_{PS}^S$  に関しては, 前章に述べたように, PC 回路は NAND ゲートのみであるため, そのスイッチング電力量は 0 に近似でき, 実質的には, PS および PS 駆動用バッファのスイッチング電力量と考えてよい.

式 (3.4) から判るように, 細粒度 PG の実装上, 調整の自由度が存在するのは, PS に関連するスイッチング電力量  $E_{PS}^S$  およびリーク電力量  $P_{PS}^L$  である.

### 3.3 パイプライン段単位の細粒度 PG の実装法

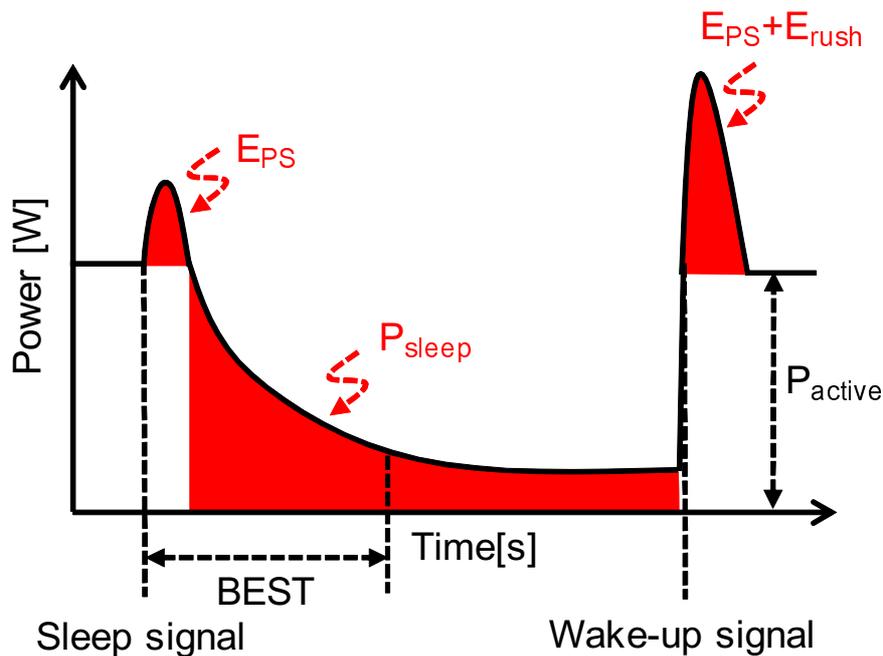


図 3.4 スリープ時の過渡現象

#### 3.3.2 PS の省電力化

一般的なパワースイッチの設計手法として、文献 [60] では、PS オン時のドレイン電流  $I_{DS}$  と PS オフ時のリーク電流  $I_{OFF}$  の比率に基づく設計手法が述べられている。つまり、 $I_{DS}$  を大きくすることで、PS の挿入による性能劣化を抑え、PS のリーク電流も小さくすることでリーク電力削減効果を高めて消費電力量の削減を図っている。しかし、この手法は、PS のスイッチング電力量  $E_{PS}^S$  までは考慮していない。これは、従来のコア単位 PG が、比較的長いスリープ時間を対象に行われていたため、PS のスイッチング電力量がさほど問題にはならなかったためである。しかし、細粒度 PG では、電源オン/オフの頻度も高くなることが予想されるため、 $E_{PS}^S$  の影響を無視することはできない。

そこで、本研究では、式 (3.4) の  $BEST$  より平均スリープ時間が長く、かつ、スリープ期間  $T_{sleep}$  中の総消費電力量  $E_{total}$  を最小化できることを要件として、PS 用のセル設計を行った。 $E_{total}$  は、式 (3.4) 中のパラメタを用いて次式で表せる。

### 3.3 パイプライン段単位の細粒度 PG の実装法

$$E_{total} = E_{PS}^S + E_{rush}^S + E_{PS}^L + \int_0^{T_{sleep}} (P_{active}^L - P_{sleep}^L) dt \quad (3.5)$$

#### 3.3.3 PS による性能劣化の低減化

パワードメイン内の回路の動作速度が劣化する要因には、仮想グラウンド  $V_{VSS}$  の電圧上昇 (IR ドロップ) がある。これは、 $V_{SS}$  との間に挿入した PS の ON 抵抗や  $V_{VSS}$  の配線抵抗により、回路 (DL, FL) と  $V_{SS}$  間の電流の流れを制限してしまうために生じる電圧上昇の一種である。特に、パワードメイン内にフリップフロップのような状態保持回路を含む場合には、IR ドロップで増加した遅延によってタイミング違反や、誤った信号を保持してしまう可能性があるため、その影響にとりわけ考慮しなければならない。文献 [61] では、IR ドロップの典型的な許容範囲として、 $V_{DD}$  の 10% 程度としている。しかし、微細化に伴う低電圧化や動的電圧制御技術との併用により、その許容範囲は狭まっていくことが予想される。

したがって、本研究では、回路動作時における  $V_{VSS}$  の IR ドロップが  $V_{DD}$  の 5% 以下となるよう設計制約を設けた。また、低電圧時の PG を可能とするために、パワースイッチには、一般に用いられる高しきい値トランジスタではなく、標準的なしきい値 (Standard  $V_{th}$ ) のトランジスタを用いた。しかし、低電圧化が可能になる反面、その副作用によりパワースイッチのサブスレッショルド・リーク電流は増加する。その影響を抑制する手段として、ゲート長  $L$  をある程度長くすることが考えられる。それにより、短チャネル効果を抑制できるため、サブスレッショルドリーク電流を低減できる。しかし、その場合、PS-on 時の  $I_{DS}$  特性が劣化する。すなわち PS の ON 抵抗が大きくなるため、その影響を補うためにゲート幅  $W$  も同様に広くするよう設計した。

#### 3.3.4 LSI レイアウト設計

従来のプロセッサコア等を対象とした粗粒度 PG では、PG 対象回路の周囲に仮想  $V_{DD}$  用の電源リングを設け、 $V_{DD}$  との間に複数の PS を配置して電源のオン/オフを制御してい

### 3.3 パイプライン段単位の細粒度 PG の実装法

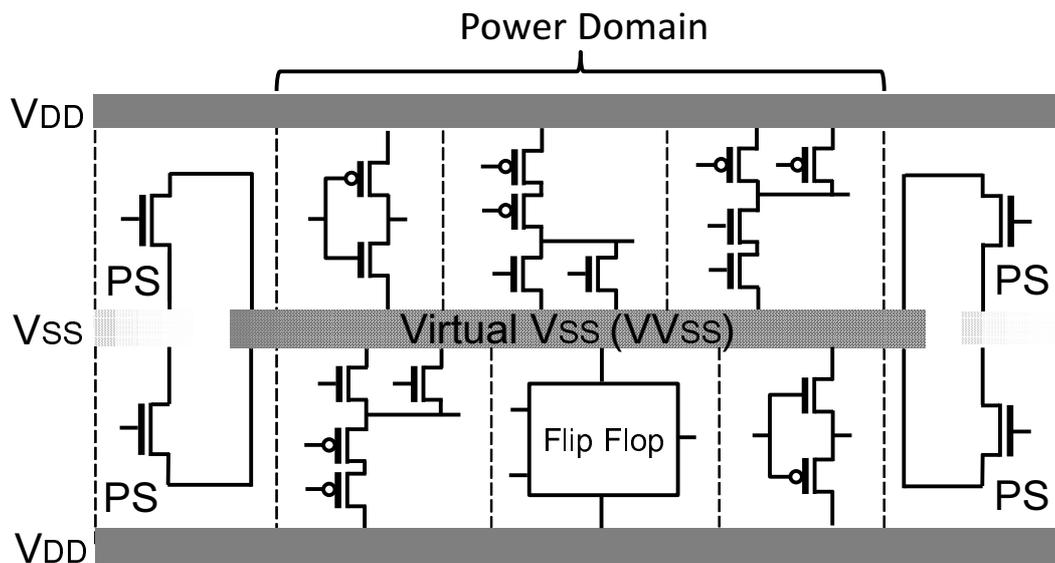


図 3.5 標準論理セル・ロウ単位の仮想グラウンド構築

る。したがって、電源接続時に発生する突入電流に起因するグラウンドバウンス・ノイズが PG 実装の一つの課題となっていた。その影響を抑制するためには、PS をオンにするタイミングを時間的にずらしながら突入電流のピーク値を抑制するディジーチェーン方式等を用いる必要があり、ウェイクアップには数マイクロ秒の時間を要していた [40]。そのため、従来のコア単位 PG では、数マイクロ秒以下のスリープ時間に対しては PG することができない。

本研究では、ナノ秒オーダの高速なウェイクアップを目標としているため、複数の標準論理セルを対象にして、ロウ単位で PG を行うレイアウト設計を行った。図 3.5 にその構成を示す。本レイアウトでは、前節までに議論した PS 用トランジスタを  $VV_{SS}$  と  $V_{SS}$  に接続した PS セルを設計し、セルロウの両端にこの PS セルを配置している。このようなレイアウト設計を採用すれば、ASIC ベンダーから提供されているスタンダードセルをそのまま用いることができる。また、通常の配線とは別に  $VV_{SS}$  を配線する領域を有しているため、 $VV_{SS}$  の最下位層での配線が可能となる。したがって、文献 [8] で提案されている  $VV_{SS}$  の領域を余分に確保する構成法と比較して、配線混雑を抑制できると同時に、配線抵抗に起因

### 3.4 結言

する性能劣化と面積オーバーヘッドも抑制できる．

## 3.4 結言

本章では，STP の局所的なデータ転送制御信号を活用することで，アクティブでないパイプライン段を容易に検出でき，アイソレーションセルを重畳化することで，必要最小限の回路構成でパイプライン段単位の細粒度パワーゲーティングが実現できることを述べた．さらに，細粒度 PG の電力モデルとして，電源接続/遮断後の過渡的な電力を含めた損益分岐スリープ時間 BEST を定義した．次に，これに基づく細粒度 PG の LSI 実装法として，PS 挿入に伴うエネルギーオーバーヘッドと性能劣化を低減するための実装法について述べ，これらを容易化できる LSI レイアウト設計法を示した．以上の最適化を施したパイプライン段単位パワーゲーティングの定量的検討は 6 章で行う．

また，方式提案上の課題としては，稼働状況に応じて変動する損益分岐スリープ時間 BEST やスリープ時間を考慮できる適応的な電力供給方式について検討する必要がある．例えば，リーク電流は，プロセス，電圧，温度条件によって変動するため，稼働中，BEST は必ずしも一定とは限らない．さらに，回路がスリープできる時間は，処理負荷にも大きく依存する．式 3.4 の条件を満たすスリープ時間に対して電源遮断を行うためには，これらの要因も考慮できる適応的な電力供給制御機構が必要となる．

既存研究として，変動するリーク電流に対しては，リークモニタ回路 [62] の適用を前提として，変動する負荷に対しては，入力の統計的情報を用いる手法 [56] や，コンパイラによりコード内の命令を解析 [63] する静的な方式と，プログラム実行時にカウンタにより最小のスリープ時間となるサイクル数を検出してスリープ時間を算出する動的な方式 [64] に大別される．しかし，これら方式の実現のためには，回路モニタ技術やソフトウェア・コンパイラ，さらにはマイクロアーキテクチャを含めた協調設計を行う必要があり，回路技術に着目した本論文の範囲を超えているため，適用方針については今後の課題とする．

## 第 4 章

# 動的電圧制御機構

### 4.1 諸言

LSI 製造プロセスルールの微細化に伴い、チップ上に集積できるトランジスタ数が増加しているため、スイッチング電力の増加が顕著になっており、動作時の電力を削減する技術の確立も重要になりつつある。よって、本研究では、STP 回路における自律的かつ局所的な動作特性を活用して、自律的に動的電圧制御 DVS (Dynamic Voltage Scaling) を実現する回路を考案し、STP のさらなる省電力化を目指した。一般に商用の LSI システムで用いられている DVFS (Dynamic Voltage Frequency Scaling) 技術は、電圧昇降時にクロック周波数も昇降する必要があり、それに数  $\mu\text{s}$  を要する。そのため、時間的に細かな制御ができなくなり、スイッチング電力削減効果がそれほど高くないと考えられる。また、動的な負荷変動に対する応答性も劣るため、リアルタイム性が求められるアプリケーションへの適用には向かない。そこで、本研究では、クロックを用いない STP に対して動的電圧制御手法を応用して、数  $\mu\text{s}$  以下の頻度で電圧を制御することで、STP のさらなる省電力化を目指した。

以下、本章では、STP 回路の特長を活用すれば、時間的に細粒度の DVS を実現でき、細かくスイッチング電力を削減できることを述べる。さらに、電圧昇降時の過渡的な電力を含めてスイッチング電力の削減効果を最大化できる、DVS 回路の設計法に関して議論する。

## 4.2 サスペンドフリー動的電圧制御

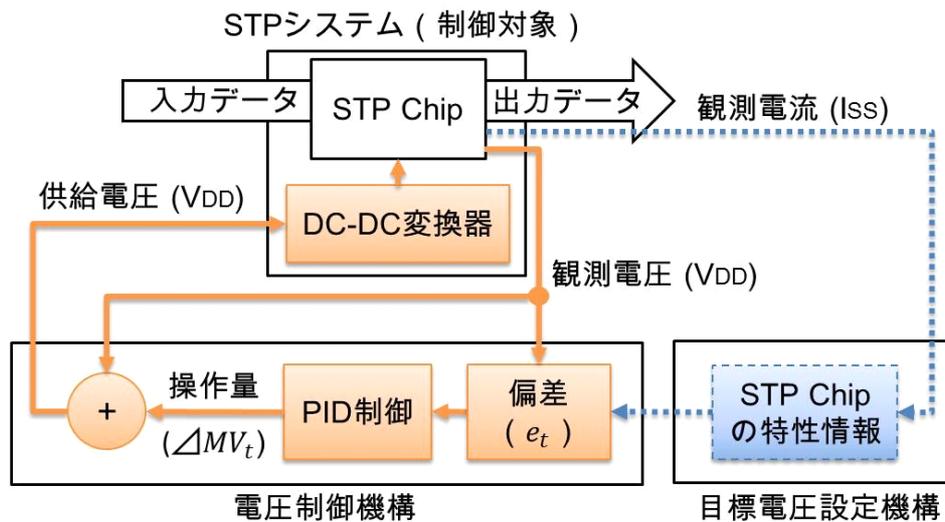


図 4.1 サスペンドフリー動的電圧制御 (SF-DVS) 回路の基本構成

## 4.2 サスペンドフリー動的電圧制御

STP はクロックを用いずに、転送制御回路のハンドシェイクにより動作するため、 $T_{takt}$  は供給電圧に応じて決定される。したがって、電圧切替え時に、停止する必要がないため、時間的に細粒度の動的電圧制御が可能になる [65]。以下、本論文では、従来の動的電圧制御 DVS と区別して、サスペンドフリー (Suspend-Free) 動的電圧制御と呼ぶ。さらに、STP では、パイプライン内のデータ流量に対して消費電力が比例する。これは、同期回路におけるクロック分配のように、データの有無とは無関係に消費されるスイッチング電力が生じないためである。したがって、STP 内で消費される電流を観測することによって、その時点のデータ流量、すなわち、処理負荷を観測できる。その情報を基に STP システムに対して適切な電圧を供給することで、負荷に応じた必要最小限の電力を消費するように制御することができる。以上により、観測した処理負荷に応じて電源電圧を昇降させれば、OS を介さずに時間的に細粒度の省電力化が可能になる。提案するサスペンドフリー動的電圧制御回路は、電圧  $V_{DD}$  のアンダーシュートやオーバーシュートを抑制して、安定した電圧  $V_{DD}$  の昇降を実現するための電圧制御機構と、処理負荷に応じて電力当たりの性能を最大にする電圧を設定するための目標電圧設定機構により実現される。

## 4.2 サスペンドフリー動的電圧制御

本研究では、電圧制御機構として、制御を乱す外的要因（外乱）の影響も加味できる適応的な制御法であるフィードバック制御をサスペンドフリー動的電圧制御に応用した。この SF-DVS 回路の基本構成を図 4.1 に示す。本構成では、制御対象となる STP チップに対して、電圧制御機構と目標電圧設定機構を接続して構成される。供給電圧は、できる限りスムーズに目標電圧に近づくよう制御されることが望ましいため、一般的なフィードバック系によく使われる PID 制御を採用した。PID 制御は基本的な比例、積分、微分制御機能を備えている。PID 制御回路が算出する供給電圧の操作量  $\Delta MV_t$  は、離散時刻  $t$  での目標電圧と観測電圧の偏差  $e_t$  を用いて、式 (4.1) で表される。

$$\Delta MV_t = Kp \times (e_t - e_{t-1}) + Ki \times e_t + Kd(e_t - 2 \times e_{t-1} + e_{t-2}) \quad (4.1)$$

ただし、 $MV_t$ 、 $\Delta MV_t$  は、時刻  $t$  の操作量と操作量差分である。 $Kp$ 、 $Ki$ 、 $Kd$  は 0~1 の範囲で設定される PID 制御用のパラメータである。

電圧制御機構では、1. 観測電圧と目標電圧から偏差 ( $e_t$ ) を求め、2. 電圧制御機構が、偏差を基に新しい電圧の操作量 ( $\Delta MV_t$ ) を計算する。次に、3. 求めた操作量に基づいて DC-DC 変換器が STP チップに電圧を供給する。1. ~ 3. の処理を周期的に繰り返すことで、動的電圧制御が可能となる。安定したフィードバック制御を実現するためには、有限回の制御操作を通して任意の目標電圧に到達できること（可制御性）と、現在の STP チップ内部の電圧が観測できること（可観測性）を満たす必要があるが、STP はプログラム実行時においても可制御性と可観測性を兼ね備えたシステムとして定義することができる。また、目標電圧設定機構は、STP の処理負荷を示す観測電流値に応じて、必要最小限の電力消費となる目標電圧を出力することで、変動する処理負荷に応じて SF-DVS を実現する。

通常、同期回路では、電圧の昇降に伴ってクロック周波数も昇降させる必要があり、クロック信号用の位相同期回路 PLL (Phase Locked Loop) が追加的に必要になる。この PLL によるクロック周波数の昇降には通常数  $\mu s$  を要するため、それより短い時間での電圧制御ができない。これに対して、STP においては、PLL が不要であり、かつ、OS を介さず電圧を制御できるため、実時間での電圧制御が可能になる。さらに、クロック周波数の昇降を待つ

### 4.3 サスペンドフリー動的電圧制御回路の実装法

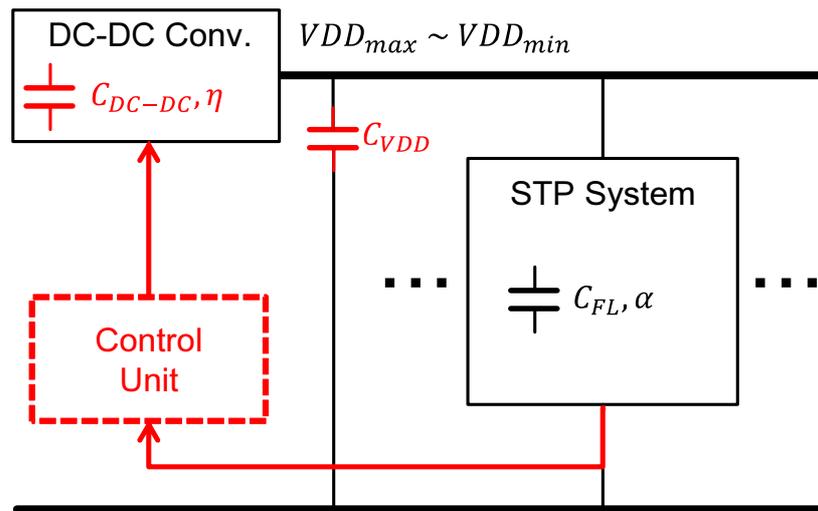


図 4.2 動的電圧制御方式の等価回路モデル

必要がないため，回路が誤動作しない範囲の小さな電圧昇降幅，あるいは，緩やかな電圧昇降を保証すれば，電圧昇降の過渡的な期間でも回路の動作を停止せずにプログラムを継続的に実行することが可能になる．

## 4.3 サスペンドフリー動的電圧制御回路の実装法

### 4.3.1 損益分岐処理負荷 BEPL

電圧制御技術は，処理負荷に応じて制御対象回路のスイッチング電力量を抑えることができる．一方で，電源電圧  $V_{DD}$  の昇降時に制御対象回路と DC-DC 変換器の負荷容量に応じた充放電電流が発生する．図 4.2 にその等価回路を示す．

ここで， $\eta$  と  $C_{DC-DC}$  は DC-DC 変換器の効率と容量成分であり， $C_{VDD}$  と  $C_L$  は電源線と制御対象回路の容量成分である． $\alpha$  は，制御対象回路を構成する素子のスイッチング確率の平均値を表す．そのため，電力量の観点で損益分岐処理負荷 BEPL ( Break-even sleep time ) が存在する．この BEPL は次式で近似できる．

$$BEPL = \frac{(1 - \eta)C_{DC-DC} + C_{VDD}}{C_L \times \alpha} \quad (4.2)$$

すなわち，処理負荷 > BEPL を満たす場合にのみ電圧を降圧することで，スイッチング

#### 4.3 サスペンドフリー動的電圧制御回路の実装法

電力を極小化することができる。また、その効果を最大限得るためには、電圧制御回路や DC-DC 変換器、電源線の容量 ( $C_{VDD}$ ) による電力オーバーヘッドをなるべく小さく抑えることが肝要である。ここで、STP は、各パイプライン段が自律的に動作するため、消費電流の発生を分散させることができる。したがって、全パイプライン段が CLK に同期する回路と比較して、IR ドロップによる電圧降下の影響を軽減できる。そのため ( $C_{VDD}$ ) を低減することが可能となる。そこで、次節では、動的電圧制御機構と DC-DC 変換器による電力オーバーヘッドの抑制手法について述べる。

##### 4.3.2 動的電圧制御回路による電力オーバーヘッドの抑制

提案する SF-DVS 回路は、処理負荷の変動を実時間で検出して、供給電圧を制御する必要があるため、通常、これら制御回路は、電圧制御の必要性の有無の関係なく、常に動作し続ける必要がある。そのため、処理負荷が低い場合などには、これら制御回路が動作することによる電力オーバーヘッドが問題となる。

この問題に対処するために、動的電圧制御回路に対して、閾値設定回路を追加することで、それら電力オーバーヘッドを低減する方式を提案する。具体的には、最小電圧で動作できる処理負荷の最大値となる電流値を閾値として設定し、それを上回る負荷（観測電流）を検出した時点で、電圧制御回路を動作させる。以上により、処理負荷（観測電流）が閾値を下回っている間は、クロックゲーティングや、パワーゲーティングを適用することで、電力オーバーヘッドを極小化することができる。そのため、SF-DVS を備えた回路では、いかに DC-DC 変換器の電力オーバーヘッドを抑制するかが重要な課題となる。これは、DC-DC 変換器が電圧切替え時のノイズを低減するために、大容量（典型的には  $100\mu\text{F}$ ）のキャパシタを内蔵しており、電圧の昇降時にはこのキャパシタを充放電する必要があるためである [66]。

#### 4.3 サスペンドフリー動的電圧制御回路の実装法

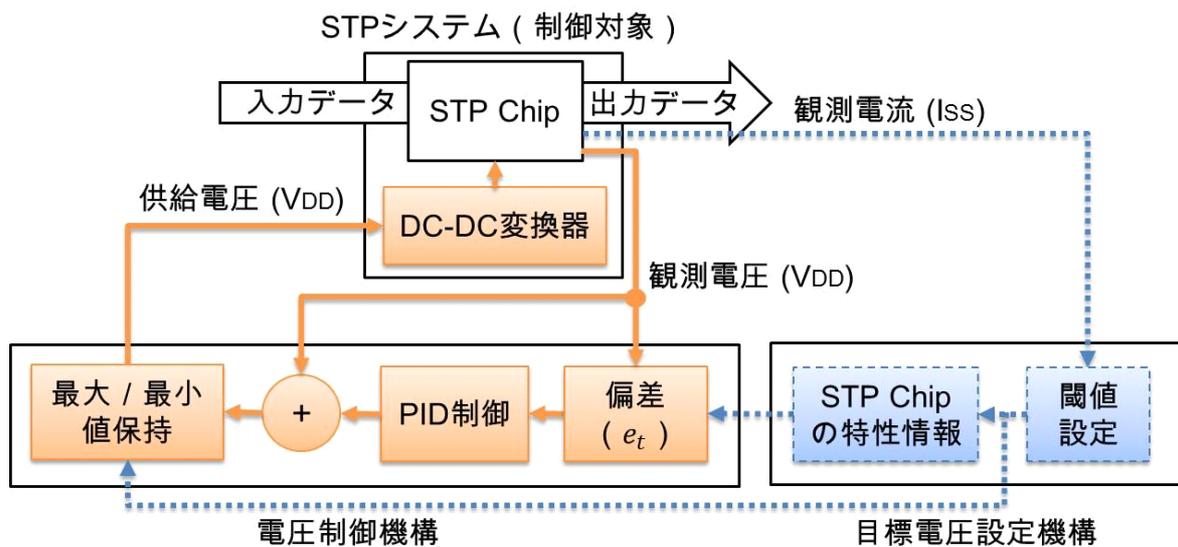


図 4.3 サスペンドフリー動的電圧制御 (SF-DVS) 回路の構成

##### 4.3.3 DC-DC 変換器による電力オーバーヘッドの抑制

SF-DVS を実現するには、電圧制御機構に対し、観測電流の増減に応じて目標電圧を設定する必要がある。しかし、観測電流のサンプリング周期が短いと、データのコピー / 削除などにより生じる一時的な擾乱を検出してしまうため、不必要な目標電圧の変動が生じ、安定した制御が困難になる場合が考えられる。一方、周期が長い場合は処理負荷の変動に対する追従特性が悪化する。また、ある期間の観測電流の平均値で平滑化する手法も考えられるが、そのための回路が複雑になる。

そこで、本研究では、回路構成の簡単化のために、負荷が増加傾向にある場合は観測電流の最大値を、減少傾向にある場合には最小値を保持する平滑化回路を提案する。この回路構成であれば、記憶回路に保持されている値と観測電流の大小比較を行い、必要に応じて値を更新することで、擾乱による影響を無視することができる。また、負荷変動の傾向については時刻  $t$  と  $t-1$  の目標電圧の差分から検出できる。提案する回路の構成を図 4.3 に示す。閾値設定回路は、観測電流を常時検出し、追加回路部の動作を制御する。また、最大 / 最小値保持部もフリップフロップと比較回路のみで容易に設計できるため、電力オーバーヘッドに与える影響は、さほど問題にならないと考えられる。

#### 4.3 サスペンドフリー動的電圧制御回路の実装法

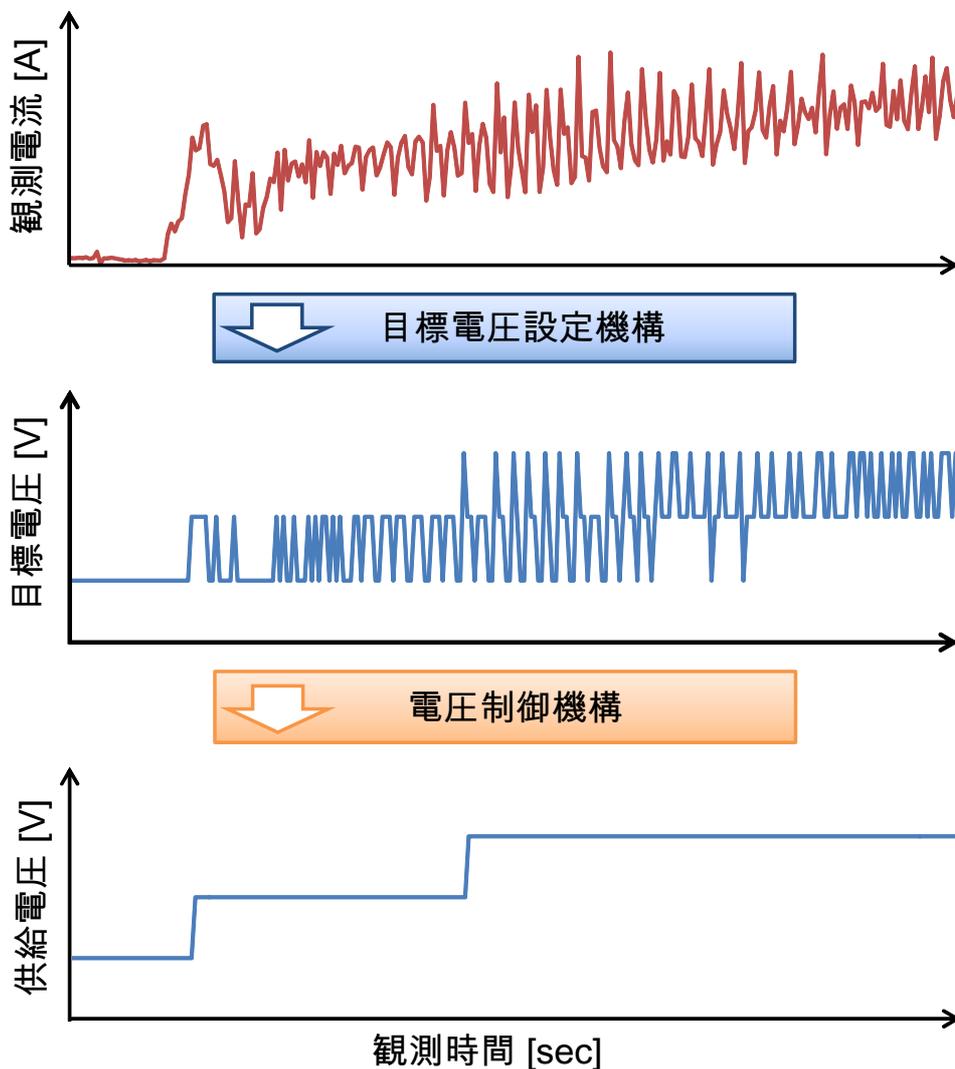


図 4.4 SF-DVS における電力オーバーヘッドの低減

図 4.4 に、提案する平滑化回路を備えた SF-DVS における観測電流と供給電圧の関係を示す。まず、STP で構成されるチップの観測電流は、図の上部に示すように、データの消去 / コピーや、命令の種別といった要因により、増減が生じることが予想される。その電流値に基づいて、目標電圧設定機構により、目標電圧を出力した場合の結果を図中部に示す。データの一時的な擾乱により、目標電圧も昇降するため、DC-DC 変換器の電力オーバーヘッドの増加の要因となる。そこで、電圧制御機構に最大 / 最小値保持機構を追加することで、図下部に示すように安定した電圧を STP チップに供給することが可能になる。このように、

#### 4.4 結言

提案回路では DC-DC 変換器の電力オーバーヘッドを考慮した SF-DVS が実現できる。

#### 4.4 結言

本章では、STP の特徴を利用した動的電圧制御手法について述べた。STP はクロックを用いずに、転送制御回路のハンドシェイクにより動作するため、データ転送時間は供給電圧に応じて調整される。したがって、その特徴を活用することで、電圧切替え時に、一時的に停止する必要がないため、時間的に細粒度（サスペンドフリー）の動的電圧制御が可能になる。さらに、STP では、パイプライン内のデータ流量に対して消費電力が比例する。したがって、STP 内で消費される電流を観測することによって、その時点のデータ流量、すなわち、処理負荷を観測できる。その情報を基に STP システムに対して適切な電圧を供給することで、負荷に応じた必要最小限の電力を消費するように制御することができる。さらに、安定した電圧の昇降を実現するために、電圧の制御に PID 制御を応用した電圧制御機構について述べた。また、処理負荷に応じて、電力当たりの性能が最大になる電圧を供給するための目標電圧設定機構について述べた。次章では、LSI 実装法について述べる。

## 第 5 章

# LSI 実装

これまでに述べたように，STP の自律的な動作原理を活用することによって，リーク電力を抑えるパワーゲーティング技術，ならびに，スイッチング電力を抑える電圧制御技術のいずれにおいても，より細やかな省電力化が可能になる．

本研究では，細粒度電力制御が可能な STP の実用性を実証的に評価するために，65nm CMOS プロセスを利用して，ULP-STP チップを試作した．また，実用的なプログラムを対象として，動的電圧制御機構による省電力効果を検討するために，ULP-STP を用いた実用的なプロセッサである ULP-DDCMP (Data-Driven Chip MultiProcessor) チップを活用して，動的電圧制御機構を実装した．前者には，パイプライン段単位パワーゲーティング機構がチップ内部に実装されている．サスペンドフリー動的電圧制御機構は，回路構成の変更にも配慮して FPGA 上に実装し，評価ボード上で ULP-DDCMP や DC-DC 変換器と接続されている．

本章では，試作プロセッサについて簡単に紹介した後，その実測値ならびに回路シミュレーション結果を総合して，省電力特性を示す．さらに，具体的なアドホックネットワーク上のトラフィックログに基づいて，通信プロトコル処理をプロセッサ上で実行した場合の実効的な省電力化効果を示す．

### 5.1 セルライブラリの選択

本研究では，チップの実装に先立って，セルライブラリの選定を行った．65nm の標準論理セルライブラリは，HP(High Performance and High Leak) ライブラリと，MP(Middle

## 5.1 セルライブラリの選択

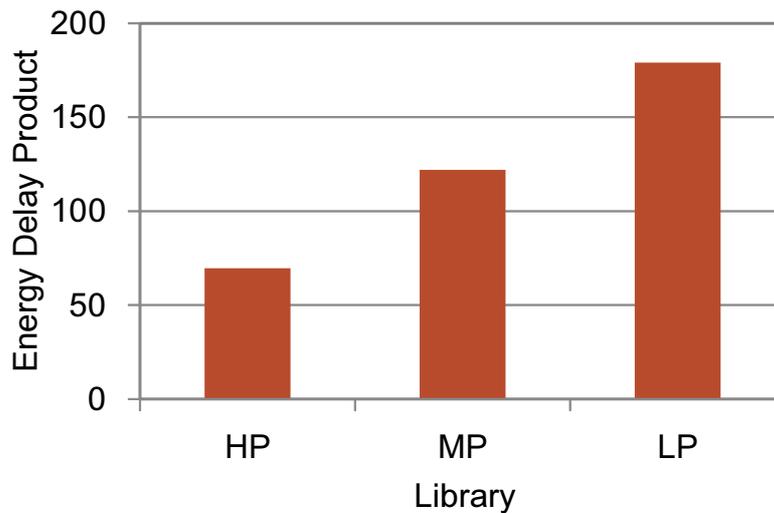


図 5.1 セルライブラリ毎の電力量と遅延時間の積

Performance and Middle Leak) ライブラリ, LP(Low Performance and Low Leak) ライブラリの計 3 つに大別される。本研究では, パワー・パフォーマンスの改善を目的としているため, 標準的なインバータセルを対象として, 広く評価指標として使われている電力量と遅延時間の積 (ED 積) による評価を行った。

図 5.1 に 0.7V, 25 の条件で評価した場合の ED 積の評価結果を示す。図からも明らかであるように, HP が最も良い結果が得られた。そこで, 本研究では, HP ライブラリを用いて LSI の試作を行った。また, 表 5.1 に本試作で用いたトランジスタのしきい値電圧を示す。PS は標準的なしきい値の NMOS トランジスタで構成されており, データラッチ DL や, 処理回路 FL ならびにデータ転送制御回路は低しきい値のトランジスタで構成されている。また, 標準論理セルライブラリのうち比較的リーク電力が大きい低しきい値版を用いることで, 試作チップの実測において, 微小なリーク電流を測定しやすくする効果も期待できる。

## 5.2 ULP-STP チップの実装

表 5.1 トランジスタのしきい値電圧

Process	65nm CMOS
Threshold voltage	
Standard Vth	PMOS:-0.56 V (Condition *) NMOS:0.60 V (Condition **)
Low Vth	PMOS:-0.45 V (Condition *) NMOS:0.50 V (Condition **)

\*: L=60 nm, W=500 nm, Vds=-1.2 V, Vbs=0 V, Ids=-10  $\mu$ A, \*\*: L=60 nm, W=500 nm, Vds=1.2 V, Vbs=0 V, Ids=30  $\mu$ A (L: gate length, W: gate width, Vds: voltage between drain and source, Vbs: voltage between body and source, Ids: drain current)

## 5.2 ULP-STP チップの実装

本節では，パイプライン段単位パワーゲーティングの省電力効果を定量的に示すために，65nm 12 層メタル CMOS プロセスを用いて LSI チップを試作した結果およびその評価結果について述べる．試作 LSI チップには，パイプライン段単位の細粒度パワーゲーティング機構を備えた 40 段環状 STP を実装した．各パイプライン段の処理回路 FL には，論理ゲートのスイッチング確率が比較的高いグレイコード生成器 (24  $\times$  8bit) を実装し，各段で異なる値のデータが転送されるように工夫した．また，本試作では，確実に動作できることを優先したため，標準セルライブラリ内で提供されている ISO セルを用いた．これは，ISO セルが，製造時のアンテナ効果による不良を低減するダイオードを搭載しており，誤動作のリスクを軽減できるためである．回路の論理合成には Synopsys 社 Design Compiler を，配置配線には Cadence 社の SoC Encounter を用いた．

さらに，リーク電力削減効果の評価では，文献 [67] に記載の平均待機時間が 2 ~ 3  $\mu$ s である通信処理を実行したときの  $T_{interval}$  (平均値 804ns) を設定して，リーク削減効果を評価した．

## 5.2 ULP-STP チップの実装

### 5.2.1 PS セルの設計と予備評価

チップ試作に先駆けて、レイアウトしたパイプライン段 1 段を対象にして、パワースイッチのトレードオフの評価を行った。まず、デザイン規則の最小値である  $L=60\text{nm}$  の nMOS トランジスタを基準として、 $L=80\text{nm}$ 、 $L=100\text{nm}$  で構成される計 3 種類の PS セルを設計し、それぞれのトレードオフの関係を SPICE シミュレーションにより評価した。各 PS のゲート幅は、アクティブ時の最大瞬時電流に基づくサイジングを行い、それぞれ  $V_{V_{SS}}$  の上昇が  $V_{DD}$  の 5%以下となるように設定している。この時、各ゲート幅  $W$  は  $349\text{nm}$ 、 $465\text{nm}$ 、 $581\text{nm}$  であった。また、低電圧条件下における評価を行うために、電源電圧  $V_{DD}$  は  $0.7\text{V}$  とした。これは、PS のゲート長を  $80\text{nm}$  とした場合において、ワーストケースに基づく SPICE シミュレーションの結果、動作可能であった最低電圧  $0.65\text{V}$  に対して約 8% の電圧マージンを想定した値である。温度条件は、実行時を想定して、 $75^\circ\text{C}$  としている。その他、シミュレーション条件としては、SPICE の計算精度が最大となるようパラメータを設定し、レイアウト後のデータから抽出した配線容量や抵抗等の寄生成分情報も加味している。

式 (3.5) に基づいて評価した結果の比を図 5.2 に示す。各プロットは、SPICE により算出したスリープ時間毎の電力量の比率をプロットしたものである。結果より、スリープ時間が  $786\text{ns}$  以下であれば  $L=60\text{nm}$ 、スリープ時間が  $786\text{ns}$  から  $3889\text{ns}$  の範囲であれば  $L=80\text{nm}$ 、 $3889\text{ns}$  以上のスリープ時間であれば  $L=100\text{nm}$  の PS セルが、式 (3.4) の BEST を満たした上で、式 (3.5) の総消費電力量を最小化できることが明らかとなった。したがって、対象とするアプリケーションのスリープ時間の特性に応じて、この条件に合致するよう適切なサイズの PS セルを選定する必要がある。SPICE により算出した結果、ウェイクアップ時間 ( $T_{\text{wakeup}}$ ) は  $873\text{ps}$ 、 $T_{\text{takt}}$  は  $2.98\text{ns}$ 、 $T_{\text{active}}$  は  $3.31\text{ns}$  であった。また、前述した通り、 $T_{\text{interval}}$  の平均値は  $804\text{ns}$  であるため、平均的な  $T_{\text{sleep}}$  は  $800\text{ns}(\approx 804 - 3.31 - 0.873)$  となることから、 $L=80\text{nm}$  の PS セルが適している。また、 $L=60\text{nm}$ 、 $L=80\text{nm}$ 、 $L=100\text{nm}$  のそれぞれで評価した BEST 並びに、トレードオフの関係となる PS オフ時のリーク電力

## 5.2 ULP-STP チップの実装

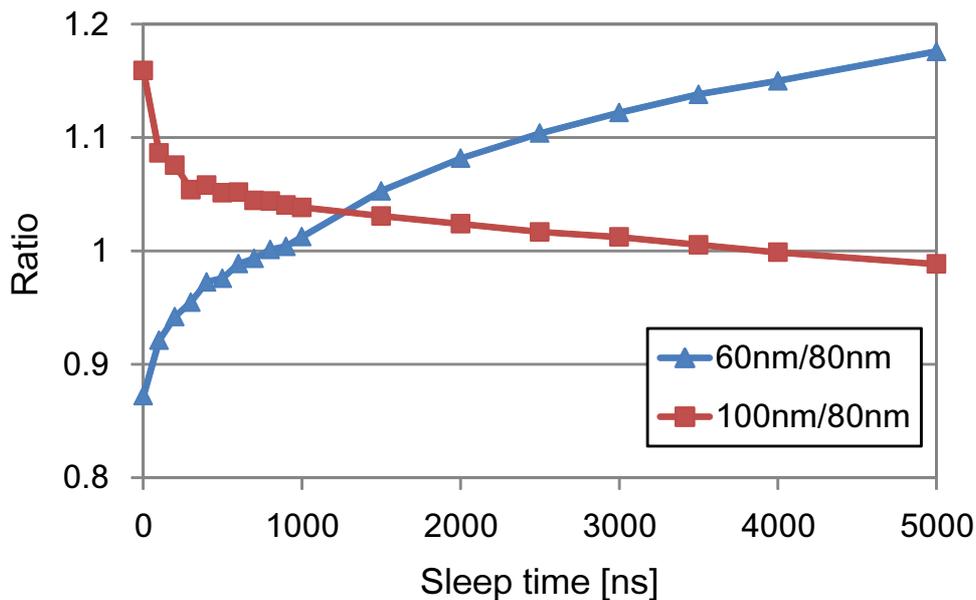


図 5.2 スリープ時の総消費電力量 (L=80nm で正規化) (0.7V, 75°C )

表 5.2 損益分岐スリープ時間 BEST の予備評価 (0.7V, 75°C )

Gate size [nm]	L=60 W=349	L=80 W=465	L=100 W=581
BEST [ns]	461	482	526
Leakage power [ $\mu$ W] (PS オフ)	4.588	3.364	3.249
Switching energy [pJ]	2.804	3.225	3.749

と PS のスイッチング電力量を表 5.2 に示す。

L=80nm と L=100nm の PS セルに関しては、PS オフ時の定常状態のリーク電力がそれぞれ  $3.364\mu\text{W}$  と  $3.249\mu\text{W}$  であり、最大でも約 3%程度しかリーク電力に差がなかった。以上のことから、本研究では、L=80nm で設計したパワースイッチを用いて LSI 実装することにした。

また、文献 [54],[55] では考慮していなかった配置配線後の寄生容量が電力オーバーヘッド

## 5.2 ULP-STP チップの実装

に与える影響を明らかにするために、レイアウト後の配線容量が消費電力量に与える影響を SPICE シミュレーションにより評価した。0.7V, 25°C の条件で、パイプライン 1 段を対象に、配線容量が最も大きく影響すると考えられる  $E_{rush} S$  を評価した結果、配線容量を考慮しない場合は、9.82fJ であったのに対して、配線容量込みの場合には 11.9fJ となり、約 18% 増加する結果となった。したがって、損益分岐スリープ時間 BEST も含めて、詳細な省電力効果を評価するためには、配線容量も考慮しなければならないことがわかる。

### 5.2.2 実装方法と評価方法

本試作チップは、40 段環状 STP 全体の消費電力ならびにパイプライン周回時間を観測できるように設計した。よって、式 (3.4),(3.5) で示した各パラメータは、実測で得られた総消費電力を、SPICE で得られた各パイプライン段の電力の比率で案分して求められる。試作チップのレイアウトを図 5.3 に示す。PS, PS 駆動用バッファ、および、PC の面積オーバーヘッドは、DL と FL の面積に対して、約 29% であった。

環状 STP 内で、入力されたデータの合流と出力するデータの分流を実現する専用のパイプライン段を除いて、各パイプライン段は一様の構成とした。合流と分岐を行うそれぞれのパイプライン段の電力は SPICE で得られた電力の比率を用いて実測値を比例配分することにより算出する。さらに、その電力を引いた実測値の残りをパイプライン段数 38(=40-2) で割ることでパイプライン段 1 段の消費電力を取得できるため、評価が行いやすくなる。パイプライン構造は、演算資源を再帰的に活用するための基本構成の一種である環状とし、高いスループット性能を達成できるプロセッサコアを想定して 40 段とした。環状 STP では、データ(パケット)がパイプライン内を周回することが可能となるため、スイッチング電力の実測もマルチメータのサンプリングレートで可能になる。また、回路が正しく動作しているかを判別するセルフテストモジュールの電源線を独立にレイアウト設計し、40 段の環状 STP のみの電力を実測可能とした。さらに、試作 LSI を搭載するボード上の DC-DC 変換器と 40 段の環状 STP の電源線との間に 0.1Ω のシャント抵抗を挿入することで電力を実測可能にしている。図 5.4 に ULP-STP チップを実装したボードの構成を示す。本研究では、

### 5.3 ULP-DDCMP チップの実装

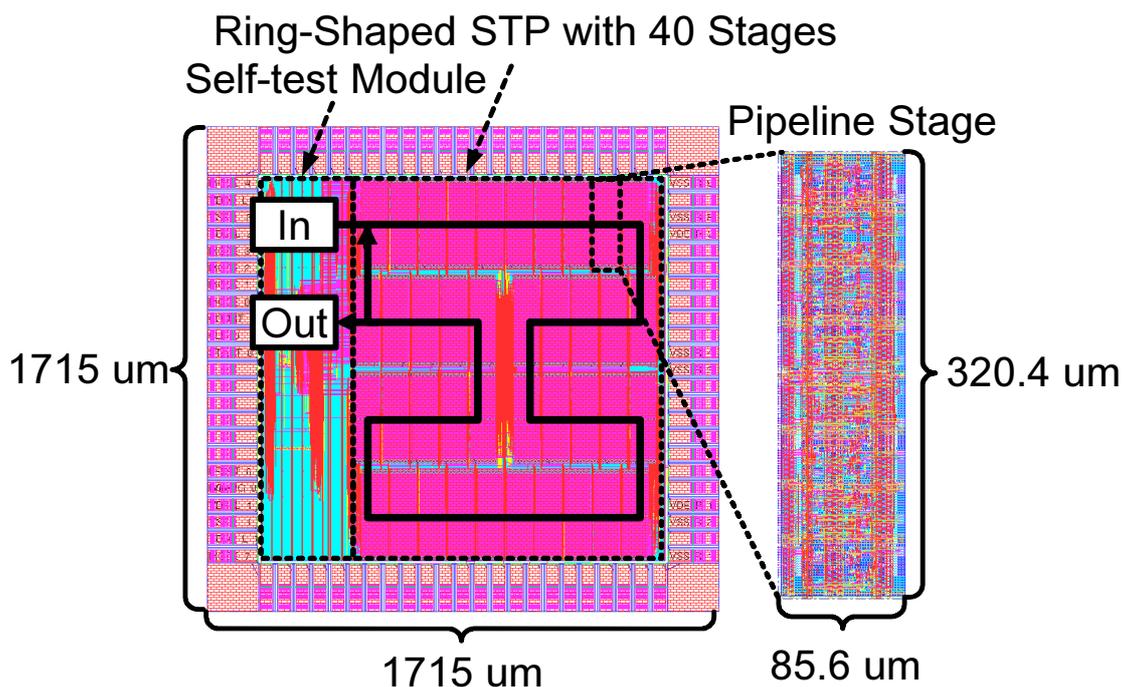


図 5.3 試作チップのレイアウト

この試作したボードと恒温槽を用いて温度や電圧条件を変えてスループット性能や消費電力の実測評価を行った。

### 5.3 ULP-DDCMP チップの実装

本節では、サスペンドフリー動的電圧制御の省電力効果を定量的に示すために活用した ULP-DDCMP (Data-Driven Chip MultiProcessor) の構成について述べる。この LSI チップも ULP-STP チップと同様に 65nm CMOS プロセスを用いて試作れており、4 コアで構成されるマルチコアプロセッサとなっている。ULP-DDCMP を構成するコアである ULP-CUE は、基本的なとして、以下の機能を持ったパイプライン段として構成されている。

- MB: 外部からの入力パケットおよび内部を周回するパケットを合流させる機能
- MM: 二項演算命令の実行に必要なオペランドの組を検出する待合せ記憶機能

### 5.3 ULP-DDCMP チップの実装

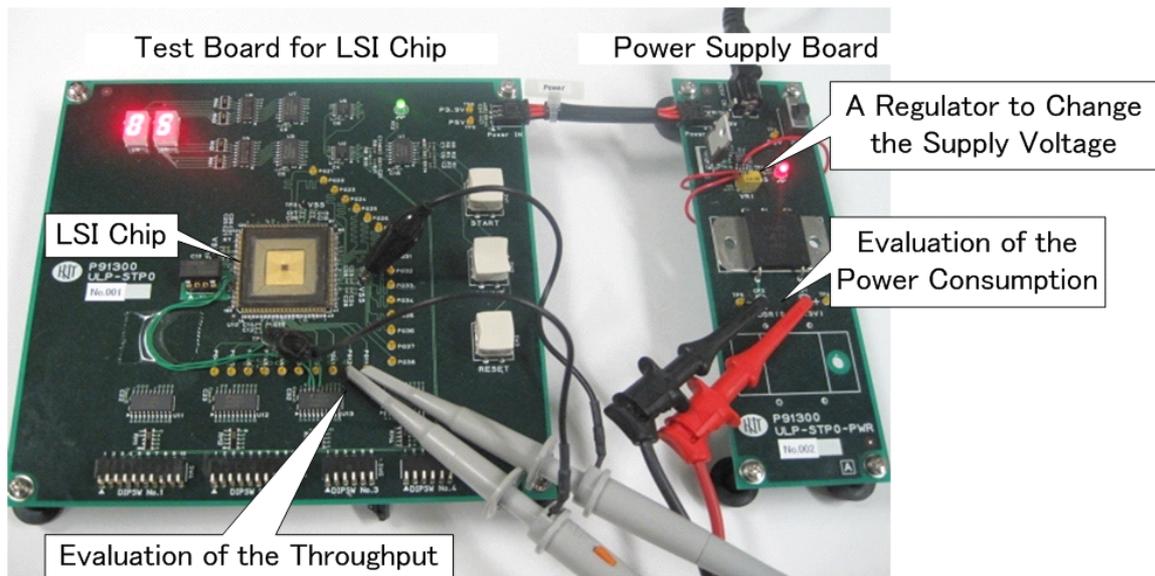


図 5.4 ULP-STP ボードの構成

- M: 単項演算命令の実行時に周回するパケットの合流機能
- PS: 命令を取り出すためのプログラム記憶機能
- FP: 指定された演算を実行する機能
- MA: メモリアクセス命令を実行する機能
- B: 演算子のオペランド数に応じてパケットを分流させる機能
- BB: 外部への出力パケットあるいは内部を周回するパケットを分流する機能

また、ULP-CUE は、パケット処理の主体である、単項演算を本質的に必要な電力のみで実行するため、単項演算の実行に必要な最小限の回路を備える環状パイプライン構成を用意し、環状パイプラインにおいて二項演算の実行時にのみ MM を駆動する構成を採用する。

単項演算の実行には、命令をフェッチする PS と、演算を実行する FP が必須である。また、命令間のデータ依存関係に従い、ある命令の演算の実行結果を次の命令の入力とする直接的なパイプラインは、FP の出力を PS へ接続する環状の構成である。しかし、単項演算の中には、算術演算後にメモリアクセスをともなう複合演算も含まれるため、PS、FP および MA を備える環状パイプラインが必須となる。

### 5.3 ULP-DDCMP チップの実装

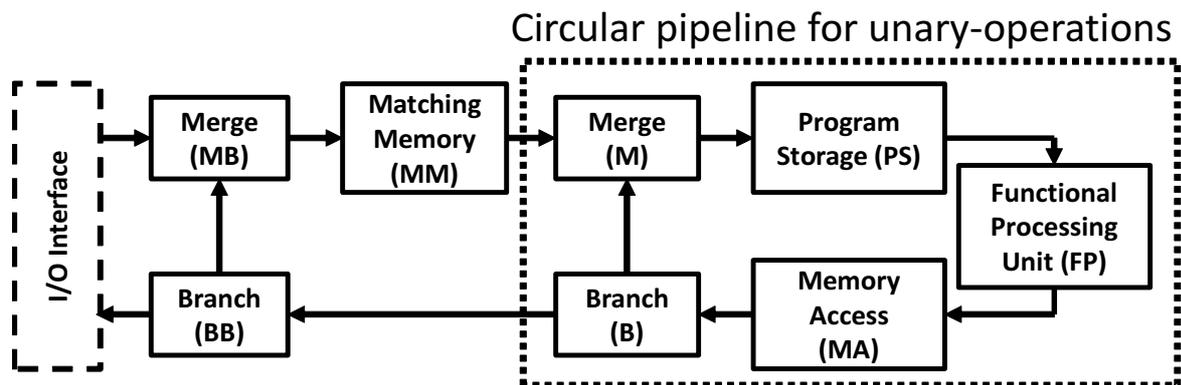


図 5.5 試作データ駆動プロセッサの STP 構成

オペランドが定数ではない二項演算を実行するには、2 個のデータのうち、先着したデータを一時的に保持し、他方のデータが到着した時点で取り出す必要がある。この保持と取り出しは、命令の実行を遅延させないように、CAM を持つ MM により実現される。すなわち、CAM におけるすべてのキーの同時並行の比較により、空いた記憶領域を検出すると同時に先着のデータの有無を検出する。先着のデータがなかった場合は、データを CAM に保持し、また先着のデータがあった場合は、データを取り出す。この MM は、二項演算の命令実行時にのみ必要となるため、トークンの演算種別が二項演算の命令を示す場合のみ、MA から MM へ転送する経路を用意する。さらに、環状パイプラインと I/O 部との間でトークンの入出力を実現するための経路が必要である。これらを実現するパイプライン構成を図 5.5 に示す。このパイプライン構成では、単項演算は、MM を迂回して、本質的な処理時間のみで命令実行される。さらに、このパイプライン構成を自己同期型エラスティックパイプラインにより実現するのみで、単項演算の命令実行時には、自己同期型エラスティックパイプラインによるパイプライン段水準の信号ゲーティングにより MM、MB および BB における動的電力消費は発生せず、単項演算の実行に本質的に必要な動的電力のみが消費される。

一般的に、CAM の駆動を回避する方法として、MM において、単項演算命令を示す演算コードが検出された場合に CAM の入力信号を遮断する方法がある。これに比べて、

### 5.3 ULP-DDCMP チップの実装

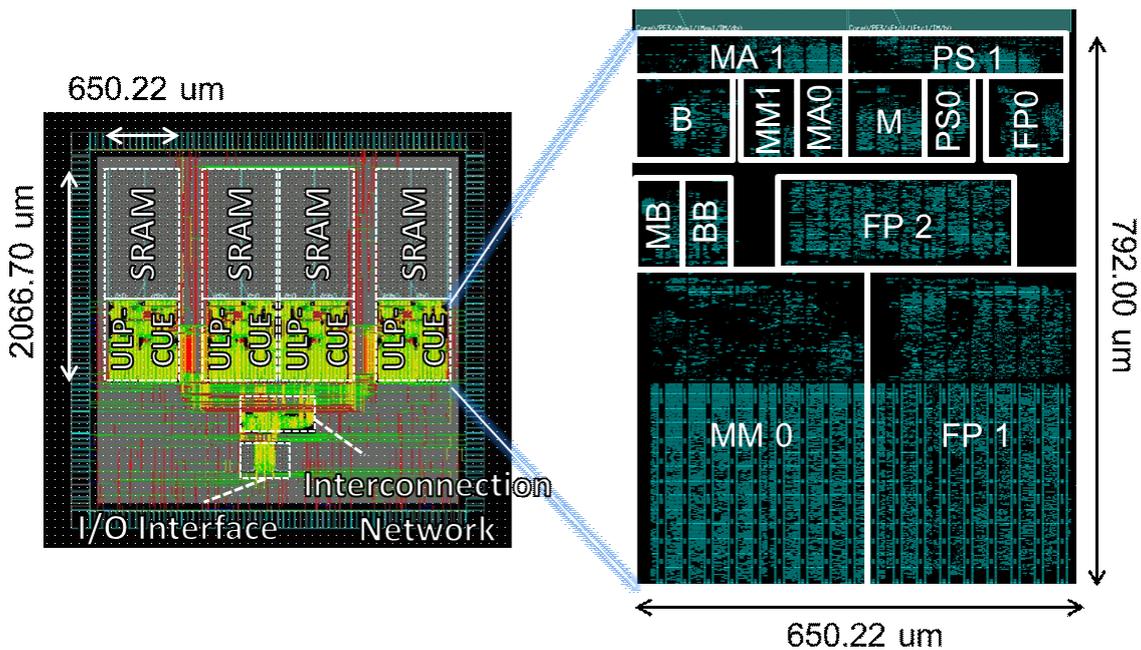


図 5.6 試作 ULP-CUE のレイアウト

ULP-CUE では、単項演算の命令実行時に MM が迂回されることにより処理時間と消費電力が減少する一方で、二項演算の命令実行時に B と M が駆動されることにより処理時間と消費電力が増加する。ULP-CUE における回路規模を比較した結果、B と M は、MM に比べて処理時間が短く、CAM を除く MM とほぼ同じ回路規模（消費電力）であり、すなわち、B と M の消費電力量（= 処理時間 × 消費電力）の和は、MM の消費電力量より少なかった。したがって、ULP-CUE は、単項演算の命令実行が主体となるパケット処理を低消費電力で実行できる。

ULP-CUE は、UDP/IP 処理を実現するために十分な命令セットを備える。また、図 5.5 に示した環状パイプラインの実現において、パイプラインのボトルネックを排除するため、機能ブロックをパイプライン分割した。具体的には、MM、PS、FP および MA をそれぞれ 2 段、2 段、3 段および 2 段のパイプライン段に分割し、M と B のそれぞれ 2 段と 2 段を合わせて 13 段の環状パイプラインを実現している。ULP-CUE のレイアウト結果を図 5.6 に示す。

## 5.3 ULP-DDCMP チップの実装

### 5.3.1 ULP-DDCMP チップの電力・性能評価機能

試作 ULP-DDCMP チップの設計では、CMP 構成による低消費電力化効果を評価可能とするとともに、VS と PG の最適化によるさらなる低消費電力化効果を評価するために必要となる各種パラメータを取得できるように工夫した。

まず、CMP 化による低電圧動作の省電力効果を、単一のプロセッサ構成と対比的に評価可能とするために、ULP-CUE 毎の消費電力がチップ外から観測できるように工夫した。消費電力を観測するには、チップへ供給する電源の電圧・電流を計測する必要がある。すなわち、ULP-CUE 毎に消費電力を観測するためには、ULP-CUE 毎に独立に電源供給を実現する必要がある。したがって、各 ULP-CUE に独立した電源線を配線し I/O ピンに接続した。

VS と PG を最適に実現するには、実測値に基づく制御パラメータの最適化が必要である。具体的には、VS による省電力化効果を最大化するには、チップ内部の電位が目標電圧へ追従する時間と、電圧変化時の電力削減量を反映して、電圧制御用の PID 制御係数を最適に設定する必要がある [68]。また、PG による省電力化効果を最大化するには、PG によるリーク電力削減量を反映して、PG 対象の粒度すなわちパイプライン段数、ならびに、電源オン/オフを制御するパワースイッチのトランジスタサイズを調整する必要がある [68]。したがって、ULP-DDCMP チップでは、電源電圧を可変とするとともに、PG を一部の回路に実現し、VS と PG が統合可能であることを実証した。具体的には、標準電圧 1.2V に対して最低電圧 0.8V ~ 最高電圧 1.3V までの各コーナ条件が検証できるように、回路ライブラリを回路シミュレーションによりリキャラクタライズし、それを用いて回路を合成し配置・配線した。その上で、VS を実現するための制御回路である、消費電流モニタ、DC-DC 変換器および電圧制御回路を ULP-DDNS プラットフォーム上に搭載した。

また、VS と PG を最適化した場合の提案方式全体の統合的な超低消費電力化効果を評価可能とするために、上述した最適化に必要な項目の実測結果に基づき消費電力を求めるシミュレータを構築している [69]。このシミュレータは、ULP-DDNS プラットフォームによ

### 5.3 ULP-DDCMP チップの実装

る実測結果を活用して、回路レベルのシミュレーションをすることなく消費電力を見積り可能とする。具体的には、パイプライン段単位の消費電力を積算し、VS と PG を最適化した場合の ULP-DDCMP の消費電力を求める。このために必要となる、パイプライン段毎のタクトと消費電力を、予め回路シミュレーションにより求め、ULP-DDNS プラットフォームによる実測により求めた実際の ULP-CUE 毎のパイプライン周回時間と消費電力を用いて補正して、高精度なシミュレーションを実現する。

ULP-DDCMP チップでは、このシミュレータに必要となる ULP-CUE 毎のパイプライン周回時間を実測可能とするために、チップの内部の状態をチップ外から観測可能とした。具体的には、命令でアサート/ネゲートできるプローブ信号を I/O ピンに接続して、ULP-DDNS プラットフォーム上でオシロスコープを用いて ULP-CUE 毎のパイプライン周回時間を計測可能とした。

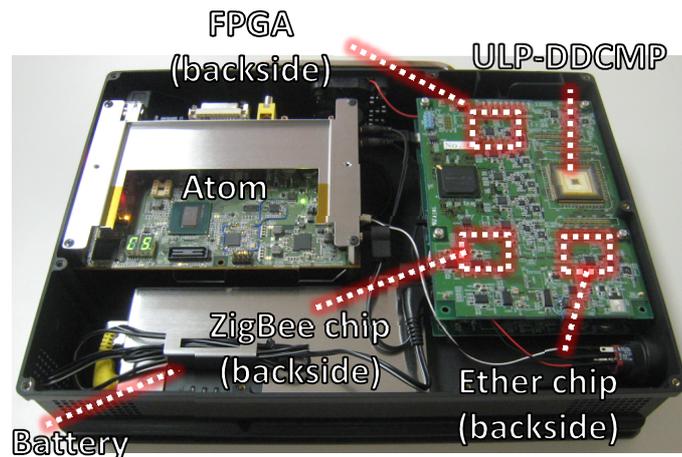
#### 5.3.2 高精度実時間観測を実現するロギング機構

超低消費電力化効果を実証するため、パケットを処理していない待機時も含む電流・電圧を計測可能とする必要がある。まず、事前に、回路シミュレーションにより、ULP-DDCMP のおおよその消費電流を見積った結果、パケット処理時に最大で数十 mA、待機時に数百  $\mu\text{A}$  であった。一般に、数百  $\mu\text{A}$  オーダの消費電流を計測するにはマルチメータが使われる。しかし、マルチメータによる消費電流のサンプリング速度は高々 100kHz であり、したがって、アドホックネットワーク環境における送受信パケット数の変化に応じて増減する電流を正確に計測できない。

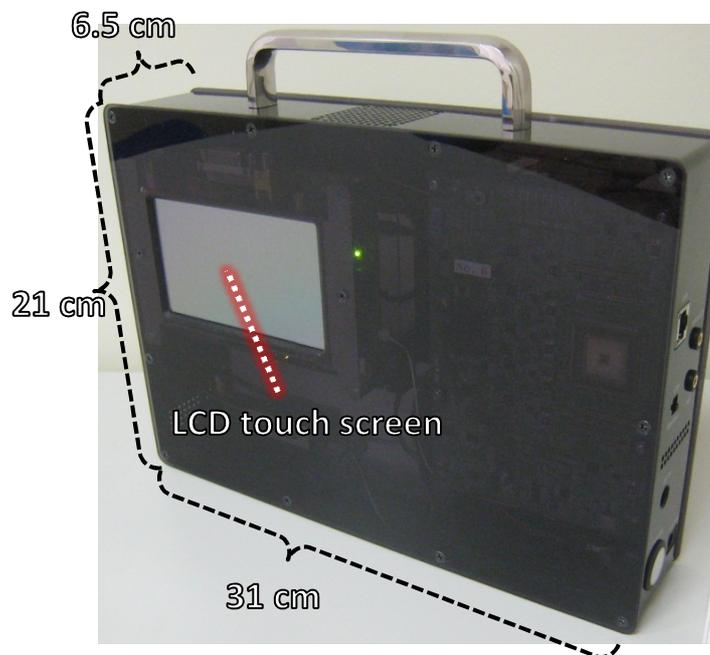
こうした  $\mu\text{A}$  オーダの電流の変化と、電圧を観測可能とするロギング機構を実現した。具体的には、設計時点で入手可能であった 12.5MHz の 12bit A/D 変換器を用いて、ダイナミックレンジ 3 桁強で mA、 $\mu\text{A}$  オーダの電流を計測できる回路を実現し、各 ULP-CUE の電源線に接続した。また、VS による電圧の変化も観測可能とするため、同様に電圧を計測できる回路を実現し各 ULP-CUE の電源線に接続した。

さらに、これらの計測回路によるサンプリング結果を時刻とともに実時間で記録するロギ

### 5.3 ULP-DDCMP チップの実装



(a) ケース解放時



(b) 携帯時

図 5.7 ULP-DDDNS プラットフォーム

ング機構を FPGA を用いて実現した。また、蓄積されたロギング結果をオフラインで取得できるようにした。すなわち、通信処理中はロギング結果を FPGA に蓄積し、通信処理が終了した時点でロギング結果を Atom 経由で取得する。

上述した設計に基づく ULP-DDDNS プラットフォームを、図 5.7 に示す。ULP-DDCMP、ZigBee チップならびに Ether チップを搭載するボードを設計・製造し、Atom を搭載する

### 5.3 ULP-DDCMP チップの実装

評価ボードと給電用のバッテリーとともに，専用に設計・製造したケースに収納し持ち運びを可能とした．表 5.3 に，試作した ULP-DDCMP チップの諸元を示す．

表 5.3 ULP-DDCMP チップの諸元

Process	65nm CMOS
Wiring (# of layers)	7 Metal
Power-supply voltage	
Core	1.2 V (Nominal)
I/O	3.3 V (Nominal)
Transfer rate per a stage	
Unary operation	334 M token/sec.
Binary operation	238 M token/sec.
Instruction execution time	
Unary operation	13.58 nsec.
Binary operation	21.53 nsec.
Instruction memory	34 bit × 16 K word for each ULP-CUE (on-chip ram)
Data memory	32 bit × 16 K word for each ULP-CUE (on-chip ram)
Chip size	4.2 mm × 4.2 mm
Power consumption	181 mW (Maximum) 71 mW (Standby)

### 5.3 ULP-DDCMP チップの実装

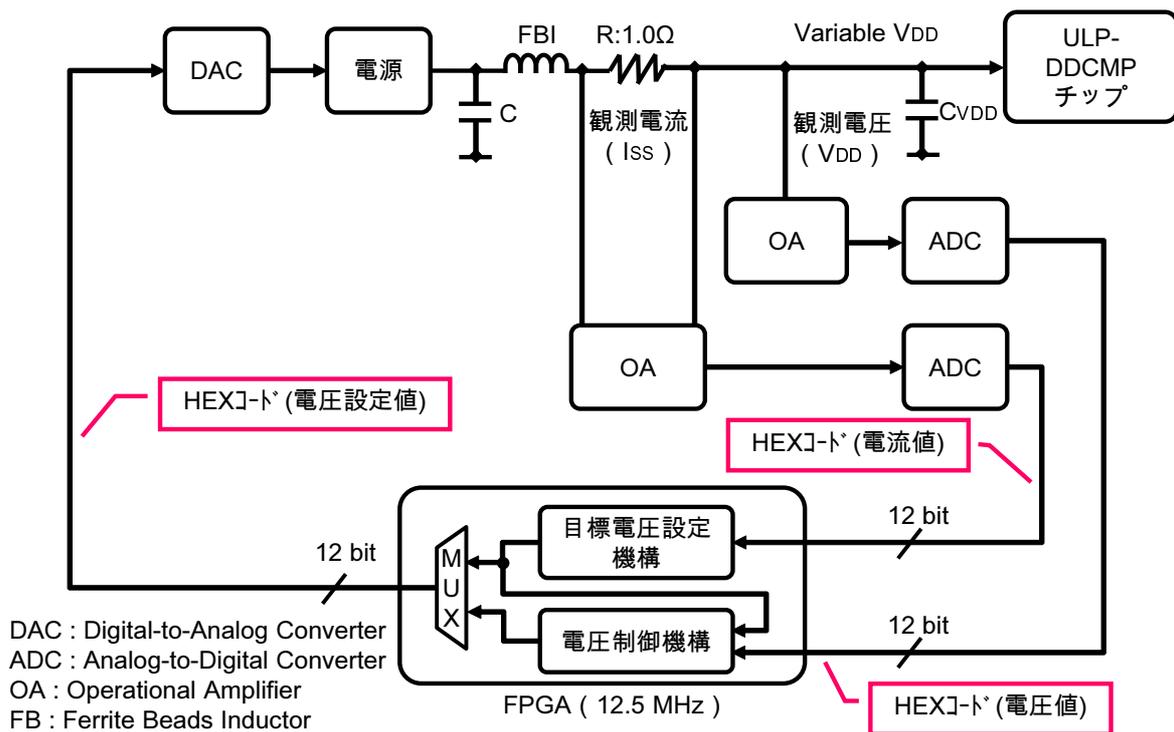


図 5.8 サスペンドフリー動的電圧制御の実装

#### 5.3.3 サスペンドフリー動的電圧制御の実装

本研究では，提案するサスペンドフリー動的電圧制御 SF-DVS による省電力効果を，実測値により評価するために，試作したボード上にその機能を実装した．その構成を図 5.8 に示す．

今回，プロトタイプとしての実装であるため，提案方式は，ボード上の FPGA 上に実装した．目標電圧設定機構内の STP チップの特性情報は，テーブルとして RAM を用意し，その値を参照することで実現している．また，本評価では，PID 機構を用いない場合の影響も評価するために，PID 制御機構をバイパスするダイレクト制御方式も実装した．この方式は，STP チップの特性情報を参照し，直接電圧設定値を出力する構成となっている．各方式は，FPGA 内部の MUX (マルチプレクサ) により切替え可能とした．また，ボード上の DC-DC 変換器と ULP-DDCMP チップの電源線との間に 1Ω のシャント抵抗を挿入することで電力を実測可能にしている．電源品位 (Power Integrity) を向上させるために，

## 5.4 プラットフォームシミュレータ

表 5.4 プラットフォームシミュレータにおける設定パラメータ一覧

設定パラメータ	内容
動作条件	電源電圧 [V] 温度 [ ]
send 時間	転送要求の信号伝搬遅延 [sec.]
ack 時間	転送許可の信号伝搬遅延 [sec.]
スイッチング電力	ステージ動作時の動的電力 [W]
リーク電力 (PS off 時)	ステージの静的電力 (PS off 時) [W]
リーク電力 (PS on 時)	同上 (PS on 時) [W]

電源の出力側には，コンデンサとフェライドビーズインダクタを挿入している．各 DAC (Digital-to-Analog Converter) と ADC (Analog-to-Digital Converter) は 12bit の分解能を備えており，最小 0.47mV 毎に供給電圧 ( $V_{DD}$ ) を制御することができる．本研究では，この試作したボードを用いて電圧条件を変えてスループット性能や消費電力の実測評価を行った．

## 5.4 プラットフォームシミュレータ

提案方式を用いた場合の省電力効果を示すために，プラットフォームシミュレータを構築した．プラットフォームシミュレータは，アドホックネットワーク・ノードとしての模擬ができるように，ネットワークシミュレータのログを取り込んで連携動作が可能である．さらに，STP におけるトークンの転送動作をパイプライン段ごとに模擬し，ULP-DDCMP 上でのプログラム実行時の消費電力量および実行時間の内訳を求めることができる．

本シミュレータでは，対象とする STP 構成のパイプライン段毎に，表 5.4 に示すパラメータ群を事前に設定し，シミュレーション時にこれらを随時参照しながら，模擬を行う．動作条件 (電源電圧  $V_{DD}$  および温度) 毎に，転送要求信号 (send) ならびに許可信号 (ack)

## 5.4 プラットフォームシミュレータ

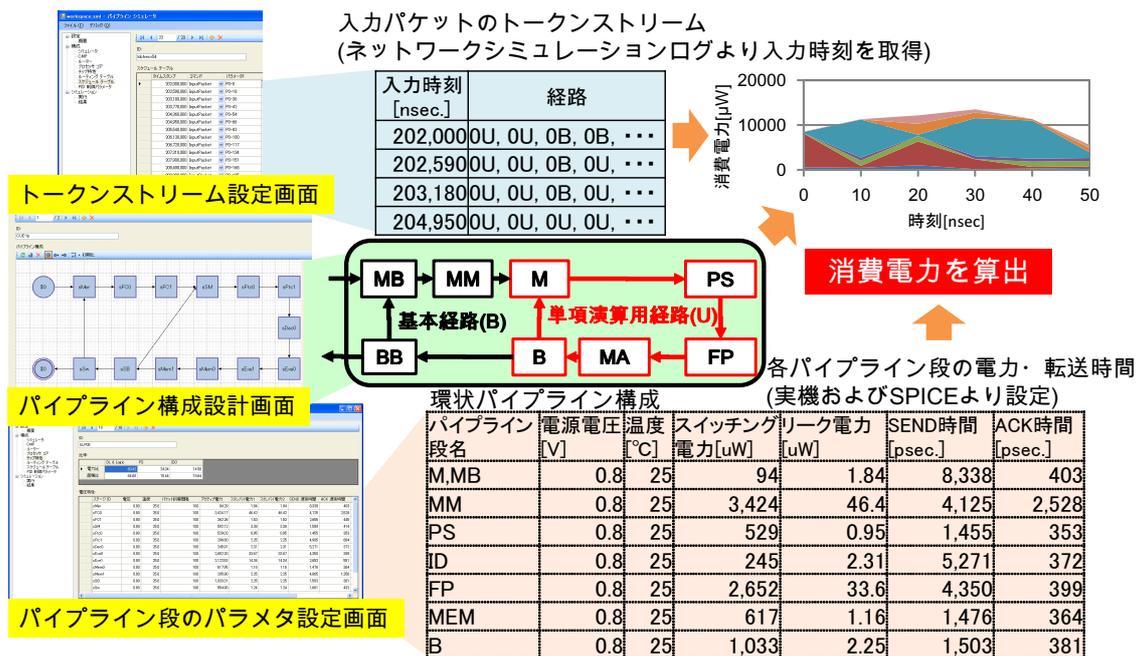


図 5.9 プラットフォームシミュレータの概略

の伝搬遅延時間を参照しながら離散事象の時刻を管理し，スイッチング電力およびリーク電力 (PG on 時/off 時) を参照して消費電力量を積算する．これらの事前設定値には，ULP-DDCMP の各種実測結果ならびにレイアウト後の寄生成分を抽出した回路の SPICE シミュレーション結果を活用した．

このように回路内の過渡的な電圧・電流値の変化をパイプライン段毎に一定値として近似することによって，プラットフォームシミュレータの精度を検証に十分な水準に維持しながら，離散事象シミュレーションに要する計算量を極小化している．実際に UDP/IP 処理プログラムの処理性能および電力消費について，試作 VLSI チップの実測結果と比較した結果，妥当な精度ならびに時間でシミュレーション可能なことを確認した．

図 5.9 にプラットフォームシミュレータの構成を示す．表 5.4 に示したパラメータは，図 4.4.1 の右下部に示す表形式で記述して設定する．また，ULP-DDCMP におけるパイプライン段間の接続関係は，図 5.9 の中央部に示すブロック図で記述して設定する．図中では ULP-CUE の二重化環状パイプラインを例示している．さらに，トークンストリームを構成する個々のトークンについて，UDP/IP 処理をデータ駆動型実行する過程で移動する経路

## 5.5 結言

を，入力時刻とともに，図 5.9 の上部に示す表形式で記述して設定する．図中では，8 トークンからなるトークンストリームを例示している．経路としては，トークンが入力される ULP-CUE と，ULP-CUE 内でトークンが単項演算用経路と二項演算用経路のどちらを選択するかを示す文字列を設定する．具体的には，ULP-DDCMP 内の 4 個の ULP-CUE に 0 ~ 3 の ID を与えてトークンが入力される ULP-CUE を特定し，さらに，単項演算用経路を意味する U あるいは二項演算用経路を意味する B により ULP-CUE 内の経路を特定する．

## 5.5 結言

本章では，細粒度の電力制御が実現できる STP の実用性を実証的に評価するために，65nm CMOS プロセスを利用して試作した ULP-STP チップと STP を用いた実用的なプロセッサである ULP-DDCMP (Data-Driven Chip MultiProcessor) チップの構成について述べた．ULP-STP チップは，パイプライン段単位パワーゲーティング機構を含んだ構成となっており，細粒度パワーゲーティングによる省電力効果を実測できる構成になっている．また，ULP-DDCMP チップは，プログラムを実行することができるため，プログラム実行時の消費電流に基づいた動的電圧制御の検討ができるように構成されている．次章では，それぞれの省電力効果を実測値を基に評価して，その効果を定量的に示す．

## 第 6 章

# 試作チップの評価

### 6.1 ULP-STP チップの実測評価

65nmCMOS プロセスで試作した ULP-STP チップの評価を実施した．試作チップの諸元を表 6.1 に示す．

本研究における LSI チップは，通信処理の大部分を占める待機時の電力削減を重視した通信処理向きプロセッサの事前検討として位置づけた．したがって，性能に関する制約条件として，文献 [67] に記載のデータ駆動型プロセッサ ULP-CUE[70] の最大スループットの逆数である  $3\text{ns}$  を  $T_{\text{takt}}$  とした．40 段の環状 STP をデータが転送されるレイテンシの実測結果が  $112\text{ns}$  であったことから，試作チップの  $T_{\text{takt}}$  は， $3\text{ns}(\approx 112/40)$  を達成していることを確認した．PS オンと PS オフ時それぞれのリーク電力では，SPICE で取得した総リーク電力に占める ISO のリーク電力比を除いた環状 STP の電力比に実測した総リーク電力を乗算して求めることで，ISO のリーク電力を取り除いている．結果より，PG (PS オフ) により，各温度条件でリーク電力を約 11% に低減できており，典型的なしきい値のパワースイッチを用いても，省電力効果が得られることを確認した．また，パイプラインレイテンシと最大転送レートについても，SPICE で求めた ISO の遅延時間比に基づき，ISO の遅延時間を取り除いている．

$25^{\circ}\text{C}$  の条件において横軸にスループット，縦軸に消費電力をプロットした結果を図 6.1 に示す．SPICE シミュレーションによる詳細な電力消費の内訳と，試作チップの実測値を照らし合わせた結果，処理負荷に比例して電力を消費できること，処理負荷に応じて電源電圧を適切に設定することによって ( $1.2\text{V}$  から  $0.8\text{V}$  に降圧した場合) 総消費電力を最大 42

## 6.1 ULP-STP チップの実測評価

表 6.1 ULP-STP チップの諸元

Process	65nm CMOS
Wiring (# of layers)	12 Metal
Power-supply voltage	
Core	1.2 V (Nominal)
I/O	3.3 V (Nominal)
DL per stage	192 bit
FL per stage	24 × 8 bit Gray-code generator
# of PS per stage	688
# of stage	40
Maximum transfer rate	795 M packet/sec. (1.2V) 230 M packet/sec. (0.7V)
Pipeline latency	28.4 nsec. (1.2V) 112 nsec. (0.7V)
Chip size	2.1 mm × 2.1 mm
Leakage per stage	
1.2V, 25°C	25.3 $\mu$ W (PS-on) , 2.28 $\mu$ W (PS-off)
1.2V, 75°C	128 $\mu$ W (PS-on) , 10.8 $\mu$ W (PS-off)
0.7V, 25°C	4.24 $\mu$ W (PS-on) , 0.48 $\mu$ W (PS-off)
0.7V, 75°C	27.0 $\mu$ W (PS-on) , 2.89 $\mu$ W (PS-off)

%に削減可能なことが判った。動的電圧制御機構により、処理負荷に応じて破線に従うように電圧を昇降することで、電力当りの性能を最大化できる。また、待機時の漏れ電力は、1.2V PG-off 条件で 1.23mW、0.8V PG-on 条件で 80 $\mu$ W になり DVS と PG の併用によって、6%に削減できた。一方、スイッチング電力に関しては、パワースイッチ群およびそれらへ制御信号を伝達するためのバッファツリーのスイッチング電力オーバーヘッドは、PG

## 6.1 ULP-STP チップの実測評価

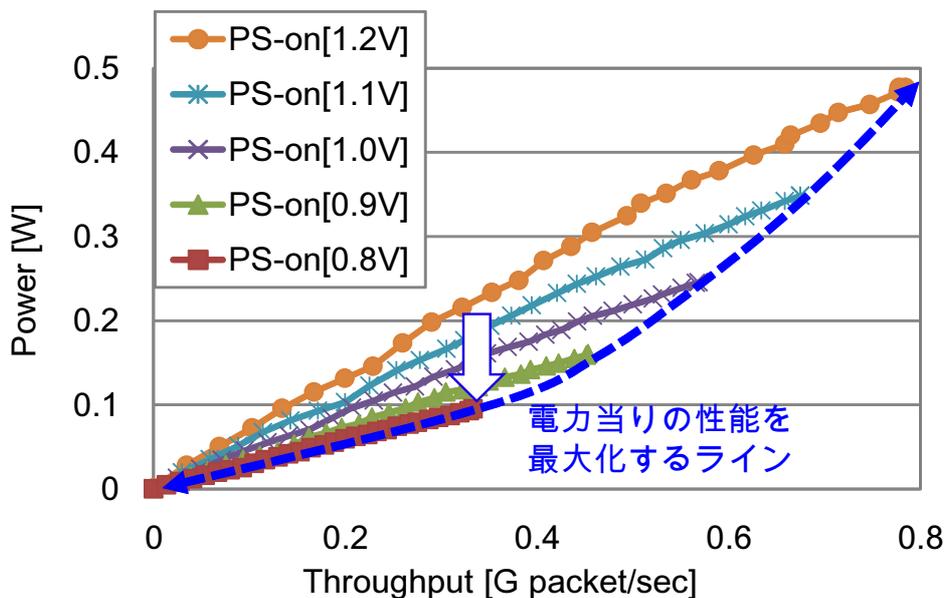


図 6.1 ULP-STP チップの実測結果

対象回路のスイッチング電力の 23 % であった。また、パイプライン・スループットは、パワースイッチのオン抵抗による電源電圧降下に起因して、1.2V 時に 97% に劣化していた。

試作チップの消費電力の妥当性を検証するために、SPICE シミュレーション値と実測値の比較を行った。図 6.2 に、ULP-STP におけるパイプライン段のスイッチング電力の SPICE シミュレーション結果と実測値を示す。横軸は温度、縦軸左にリーク電力、縦軸右に SPICE シミュレーションと実測値の誤差 ( $1 - \text{Measurement}/\text{SPICE}$ ) を示している。電圧は、0.7V に設定して評価を行った。実測によるスイッチング電力は、リングパイプライン内に 1 個のデータパケットを周回させて消費電力を実測し、その値から実測したリーク電力を差し引くことで算出している。結果、それぞれの誤差は最大でも 4% 程度に収まっており、妥当な結果が得られた。これは、試作チップが正しく設計できていることの証左であると考えている。

次に ULP-STP におけるパイプライン段のリーク電力の SPICE シミュレーション結果と実測値を図 6.3 と図 6.4 に示す。図 6.3 は、PS をオン、図 6.4 は、PS をオフにした場合の結果である。PS オンの場合において、25°C の条件では、SPICE シミュレーションの結

## 6.1 ULP-STP チップの実測評価

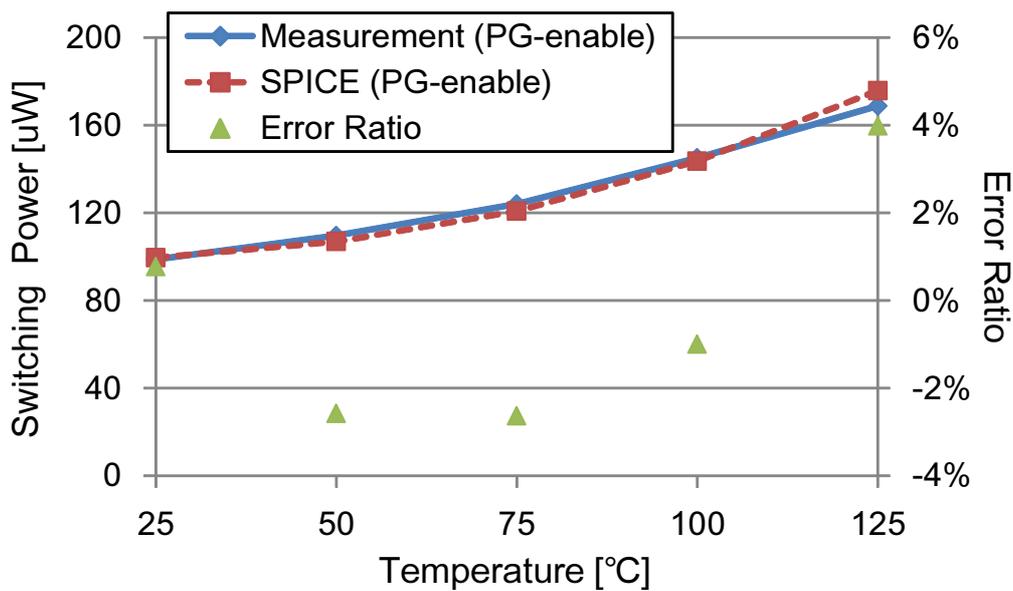


図 6.2 SPICE シミュレーションと実測値の比較 (PG-enable)

果は  $4.05\mu\text{W}$ 、実測値は  $4.24\mu\text{W}$  となり、その誤差は約 5%程度であった。これは、本試作チップが、正しく設計できている事の証左であると考えている。一方、 $125^\circ\text{C}$  の条件では、SPICE シミュレーションの結果は  $86.9\mu\text{W}$ 、実測値は  $120\mu\text{W}$  となり、約 40%の誤差が生じた。これは、複雑な物理現象によるリーク電流値の温度依存性の変化が正しくモデル化されていないことに起因すると考えられる。

一方、PS オフの場合において、 $25^\circ\text{C}$  の条件では、SPICE シミュレーションの結果は  $0.53\mu\text{W}$ 、実測値は  $0.48\mu\text{W}$  となり、その誤差は約 10%程度であった。一方、 $125^\circ\text{C}$  の条件では、それぞれ  $13.7\mu\text{W}$ 、 $11.7\mu\text{W}$  となり、誤差も 15%以下の収まっていることを確認した。これは、PS オフ時のリーク電力の主な要因となる PS のしきい値が高いため、温度変化によるリーク電力の誤差を小さくできたことによるものだと考えられる。そこで、本評価では、温度変化を考慮して正確な評価を行うために、ULP-STP チップの実測結果を用いて省電力効果の評価を行う。

## 6.1 ULP-STP チップの実測評価

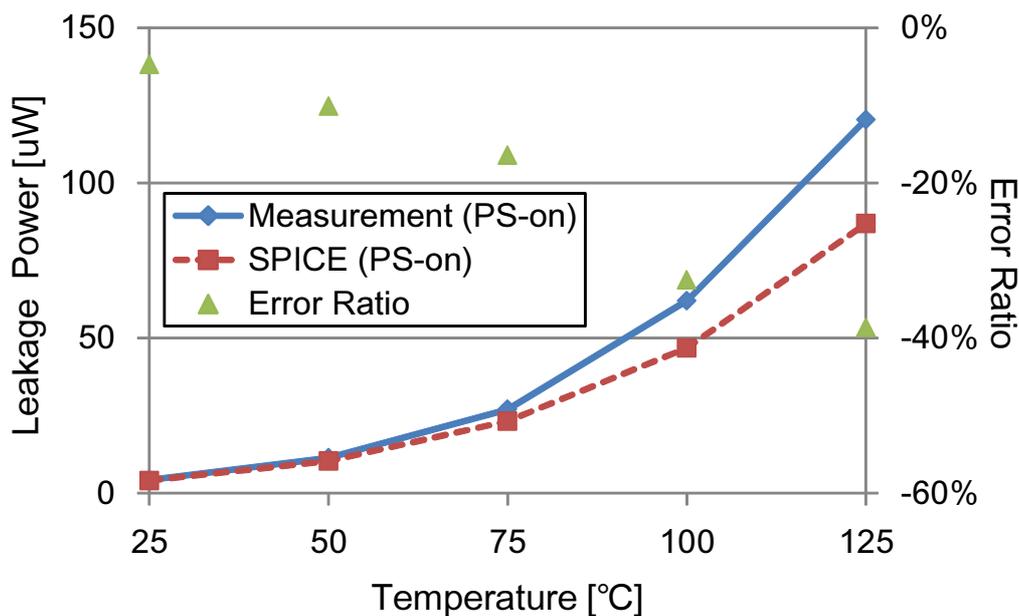


図 6.3 SPICE シミュレーションと実測値の比較 (PS-on)

### 6.1.1 損益分岐スリープ時間 BEST の評価

試作チップの実測結果と SPICE で得られた電力の比率を用いて、式 (3.4,3.5) のパラメータを求め、パイプライン段単位の細粒度パワーゲーティングにおける BEST を算出した。ただし、細かいスリープ時間毎の  $E_{rush}^S$  の取得は、実チップからは困難であるため、SPICE シミュレーションにより求めた。  $E_{PS}^S$  は、細粒度パワーゲーティングを有効にして実測した電力から、無効にして実測した電力を引いた結果に、データが環状 STP を周回する時間を乗算して求めた。ISO による電力・性能オーバーヘッドは、SPICE で得られた ISO の電力の比率を用いて、実測値より取り除いた。PC 回路は全体に占める回路規模の割合が 0.1%以下であったため、その影響は無視できる。  $(P_{active}^L - P_{sleep}^L)$  と  $P_{PS}^L$  は、表 6.1 で得られた PS オン時と PS オフ時の結果を用いている。

表 6.2 損益分岐スリープ時間 BEST の評価 (0.7V)

	25°C	75°C	125°C
BEST [ns]	1946	361	98

## 6.1 ULP-STP チップの実測評価

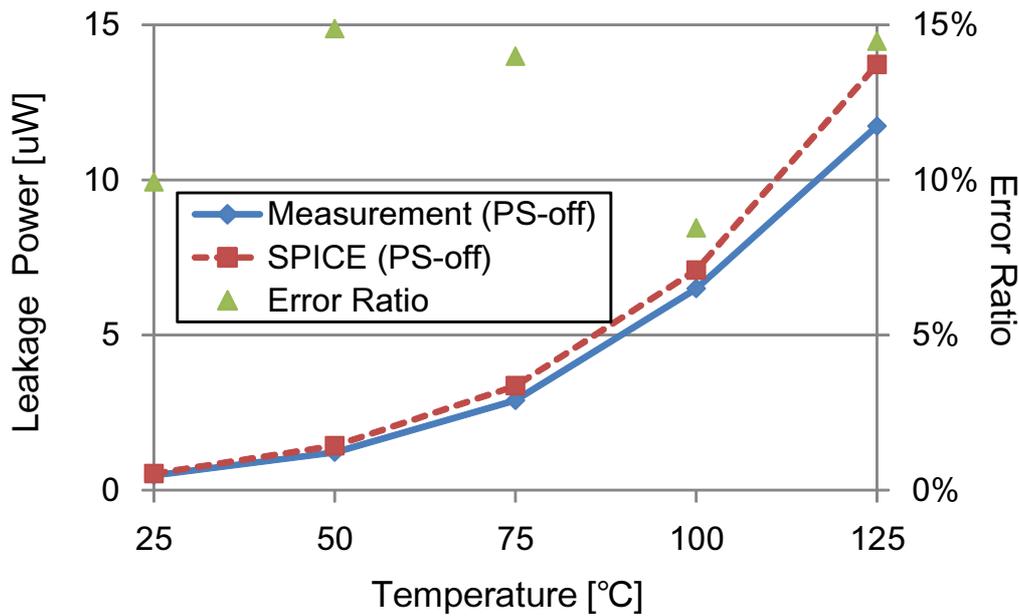


図 6.4 SPICE シミュレーションと実測値の比較 (PS-off)

0.7V の条件で評価した BEST を表 6.2 に示す。前述した平均的な  $T_{\text{sleep}}$  が 800ns となる場合に、75°C 以上において、 $\text{BEST} < T_{\text{sleep}}$  となり省電力効果が期待できる。

### 6.1.2 パイプライン段単位パワーゲーティングの省電力効果

細粒度パワーゲーティング機構を備えた STP により実際にプロセッサを構成した場合に、削減可能な電力を見積もるために、文献 [67] に記載の通信処理をデータ駆動型プロセッサ ULP-CUE[70] 上で実行した時の実行プロファイルを用いた。この実行プロファイルには、プロセッサを構成しているパイプライン段毎のスリープ時間  $T_{\text{sleep}}$  が含まれている。これを式 (3.5) に代入すれば、当該パイプライン段の 1 回のスリープ時間内の総消費電力量  $E_{\text{total}}$  が求まる。これらを全パイプライン段ですべてのスリープ時間について積算した結果を図 6.5 に示す。6.5 では、通信処理における平均待機時間が  $2\mu\text{s}$  の場合の結果を示しており、また、比較のために、パワーゲーティング機構を持たない STP (normal) の電力、および、パイプライン全体で PG を行った場合 (All stage PG) の電力も示している。

PG の適用によってパイプライン単位パワーゲーティングでは、 $L=80\text{nm}$  の場合にリー

## 6.1 ULP-STP チップの実測評価

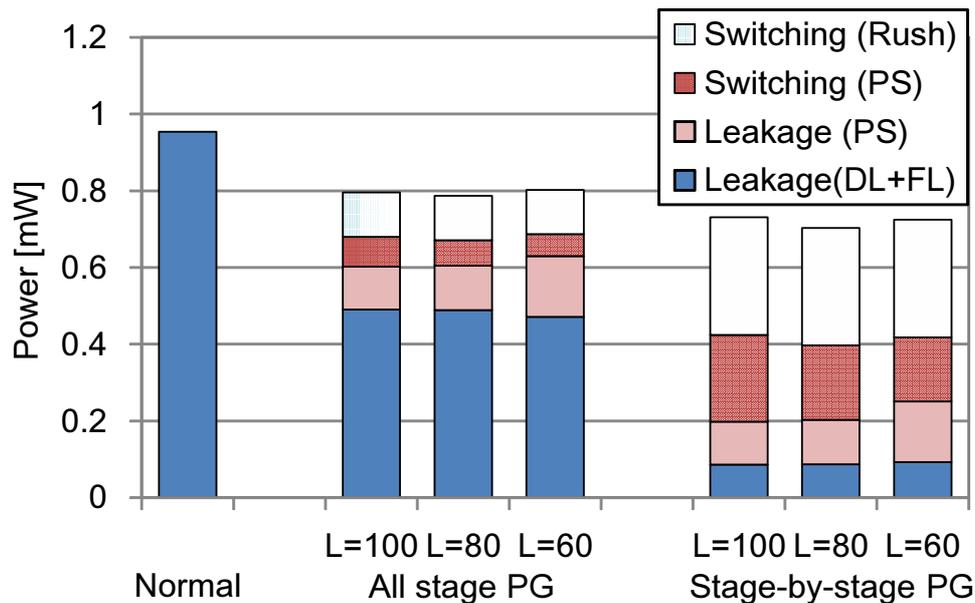


図 6.5 パイプライン段単位 PG による低消費電力化効果 (0.7V, 75°C)

ク電力が 0.787mW で最小となり、パワーゲーティング回路を持たない STP に比べて、約 18% リーク電力を削減した。一方、パイプライン段単位パワーゲーティングでは L=80nm の時に 0.703mW まで低減されている。これは通常の STP 構成と比較して、リーク電力を 26%削減できており、細粒度化による省電力効果を確認した。また、パケットログを解析した結果、BEST の条件を満たすスリープ時間は、全体の 34%程度であった。すなわち、BEST を満たさないスリープ時間に対して、PG を抑制すれば、さらなる省電力効果が期待できる。

さらに、25°C の条件での評価結果を図 6.6 に示す。この場合、トランジスタ自体のリーク電力が小さいため、リーク電力削減効果は低下する。パイプライン段単位パワーゲーティングでは、L=80nm の時に約 80%電力が増加する。一方で、パイプライン単位でパワーゲーティングを行った場合には、電力オーバーヘッドは約 21%程度に抑えられている。したがって、リーク電力に応じて、パワーゲーティングの粒度を動的に可変することで、電力オーバーヘッドを抑制して、さらに省電力効果を高めることができると考えられる。

リーク電力削減効果は、性能要求と相反する関係にある。つまり、回路の最大スループット

## 6.1 ULP-STP チップの実測評価

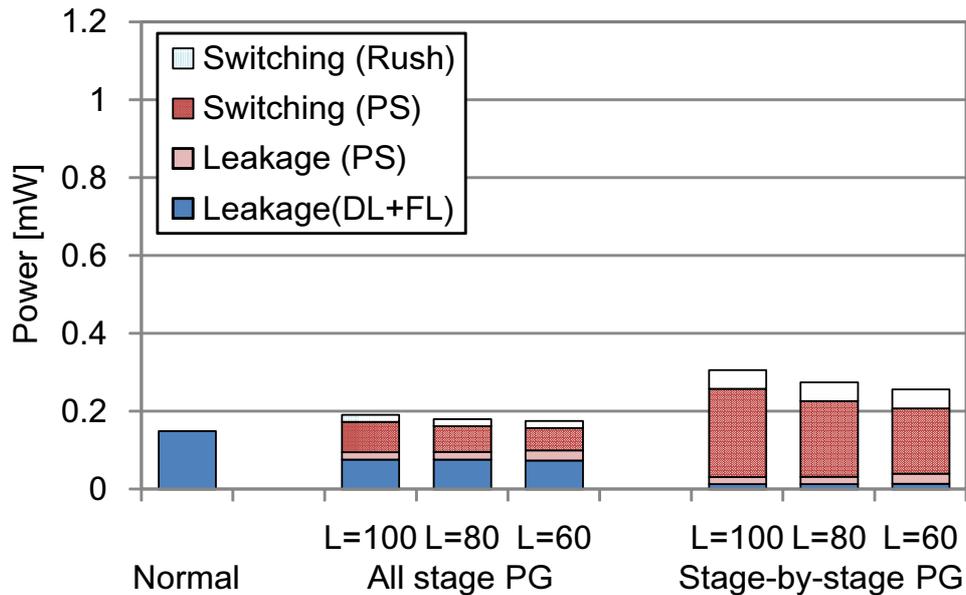


図 6.6 パイプライン段単位 PG による低消費電力化効果 (0.7V, 25°C)

ト性能に対する要求が緩和すれば，設計時にタクト  $T_{takt}$  を長くできるため，その分だけウェイクアップ時間  $T_{wake-up}$  を長くでき，従って，よりゲート幅が小さいパワースイッチ PS を用いて電力オーバーヘッドを抑えることにより，リーク電力削減効果を向上させることができる．逆に，回路の最大スループット性能に対する要求が高くなると，削減効果は低下する．また，実効スループット性能に関しては，要求条件が緩和すれば，データ到着間隔  $T_{interval}$  が長くなるとともに  $T_{sleep}$  が長くなるため，削減効果が向上できる一方で，要求が高くなれば，削減効果は低下する．ここでは，性能要求に対するリーク電力削減効果を評価するために，変更が可能である通信処理の平均待機時間を変えたときの実行プロファイルを用いてリーク電力削減効果を評価した結果を図 6.7 に示す．横軸は，要求される実効スループットによって変わる省電力効果を評価するために，データの平均待機時間をとっている．また，縦軸左はパワーゲーティング機構を持つ場合 (Stage-by-stage PG) と持たない場合 (Normal) のそれぞれのリーク電力を表しており，縦軸右は細粒度パワーゲーティングにより削減されるリーク電力の割合を示している．結果より，平均待機時間が  $1\mu s$  の場合，電力オーバーヘッドにより，電力が 10% 増加する．一方で，平均待機時間が長くなるにつれて，

## 6.1 ULP-STP チップの実測評価

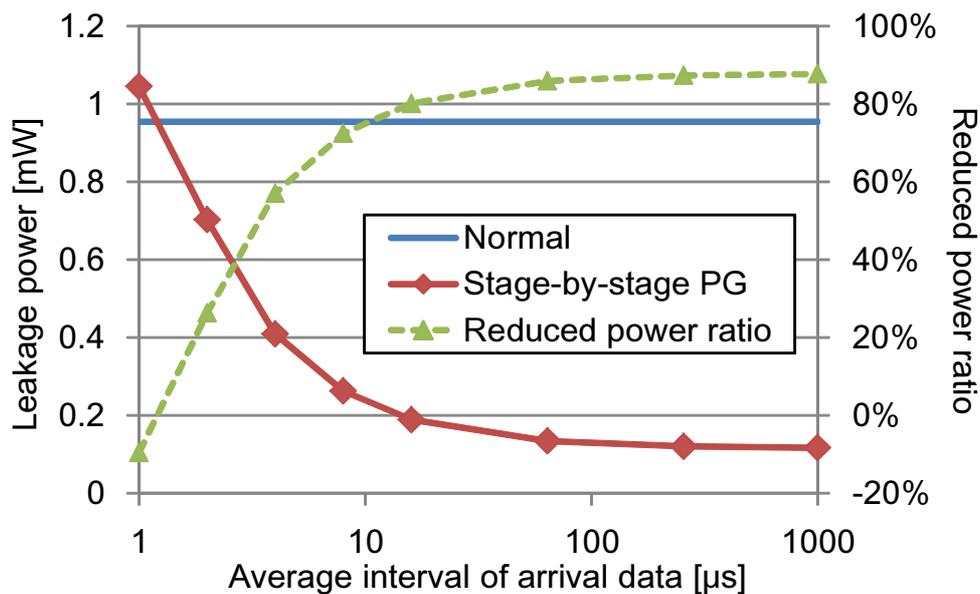


図 6.7 通信処理時のリーク電力削減効果 (0.7V, 75°C)

リーク電力削減効果は高くなり, 1ms の場合には 88%削減できることを確認した。

さらに, 25°C の条件での評価結果を図 6.8 に示す。この場合, トランジスタ自体のリーク電力が小さいため, リーク電力削減効果は低下する。平均待機時間が 1 $\mu\text{s}$  の時には逆に 228%電力が増加する。一方で, 平均待機時間が 1ms の場合には 87%削減でき, 75°C 場合と同程度の削減効果が得られる。

また, 総消費電力に対するパイプライン段パワーゲーティングの効果を示すために, 75°C の条件において, 通信処理全体の電力に対する電力削減効果を評価した。具体的には, 実行プロファイルから取得したパイプライン段がアクティブになる回数に対して, 電源オンの時間  $T_{\text{active}}$  に占める各パイプライン段のスイッチング電力量を乗じた結果の総和をとることで通信処理全体のスイッチング電力を見積もり, リーク電力との和をとることで通信処理全体に占める電力削減の割合を評価した。結果を図 6.9 に示す。この図より, 細粒度パワーゲーティングにより, 図 6.5 の条件 (平均待機時間 = 2 $\mu\text{s}$ ) では総消費電力を 5%削減できることを確認した。一方, 平均待機時間が長くなるにつれて,  $T_{\text{active}}$  の総スイッチング電力量が総リーク電力削減量に対して相対的に減るため, 本提案方式による電力削減割合は向上

## 6.2 ULP-DDCMP チップの実測評価

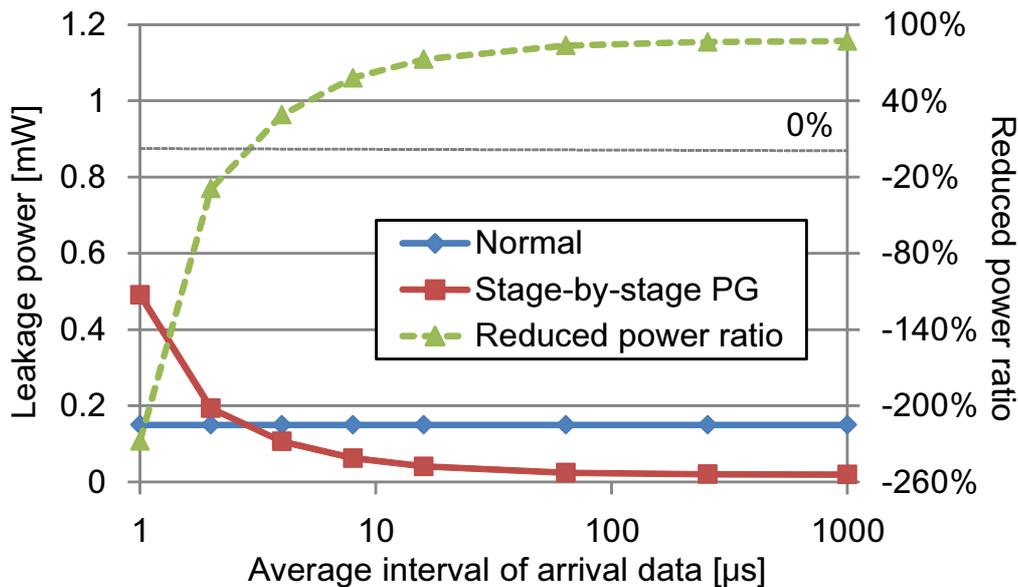


図 6.8 通信処理時のリーク電力削減効果 (0.7V, 25°C)

する。

一方、25 の条件下で評価した場合には、提案するパイプライン段単位パワーゲーティングを適用することにより、消費電力が約 80% 増加する結果となった。これは、ほとんどのスリープ時間が損益分岐スリープ時間 BEST の制約を満たせなかったことに起因している。したがって、本方式を実装する際には、例えばリークモニタ回路との協調設計を行うことで、プロセッサの温度に対して変動するリーク電力に対して、適応的に制御する必要がある。

## 6.2 ULP-DDCMP チップの実測評価

### 6.2.1 損益分岐処理負荷 BEPL の評価

動的電圧制御の効果に関しては、試作プロセッサの実測により、その効果を確認した。図 6.10 は、処理負荷を調整可能なテストプログラムを用いて、VDD を 0.8V から 1.2V に昇圧した時の実測波形である。

図中上部の波形が VDD、下部の波形がその時の消費電流である。この消費電流には、式 (4.2) における  $C_{VDD}$  と  $C_L$  の両者に係る充放電電流が含まれている。一方で、プログラ

## 6.2 ULP-DDCMP チップの実測評価

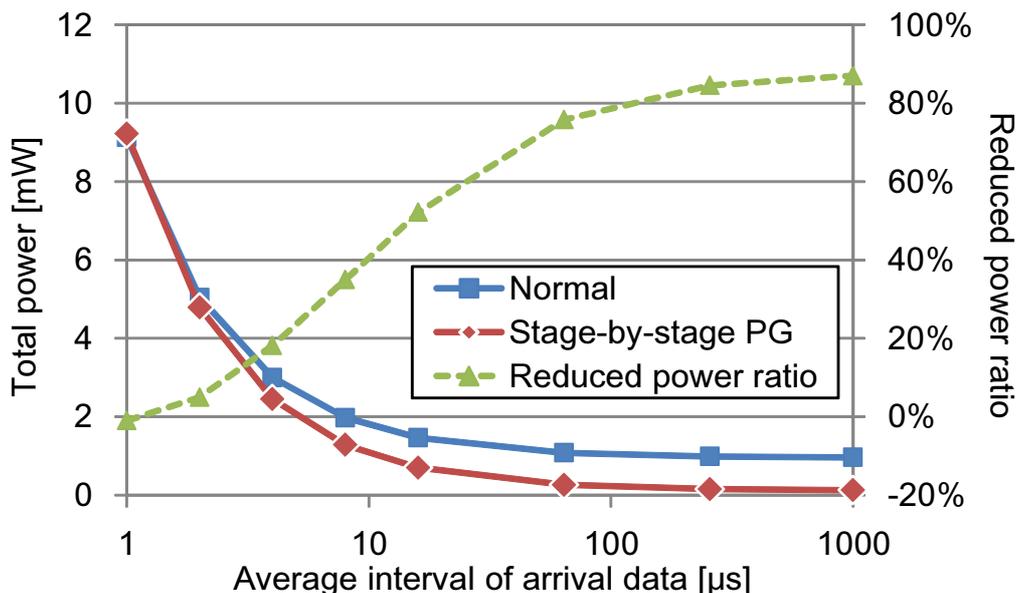


図 6.9 通信処理時の電力に占めるリーク電力削減効果 (0.7V, 75°C)

表 6.3 DC-DC 変換器のパラメータ

	Process [nm]	Output Power [mW]	Efficiency [%]	Capacitor [nF]
Off-Chip[71]	-	0.15 - 600	70 - 92	47000
On-Chip[72]	130	0.6 - 266	42.8 - 74.5	5

ムを動作させずに、VDD を 0.8V から 1.2V に昇圧した時の電流を測定すれば、 $C_{VDD}$  に係る電流のみが観測でき、図 6.10 の消費電流との差分としての  $C_L$  を求めることが可能になる。

SF-DVS における BEPL を評価するために、典型的なプログラムとして提供されている UDP/IP プログラムを用いた。これは、ULP-DDCMP が通信処理の省電力化向けに設計されたプロセッサであるためである。

文献 [72] に示されている DC-DC 変換器の変換効率  $\eta$  と容量成分  $C_{DC-DC}$ 、並びに式 (4.2) に基づいて BEPL を評価した。表 6.3 に、DC-DC 変換器のパラメータを示す。変換

## 6.2 ULP-DDCMP チップの実測評価

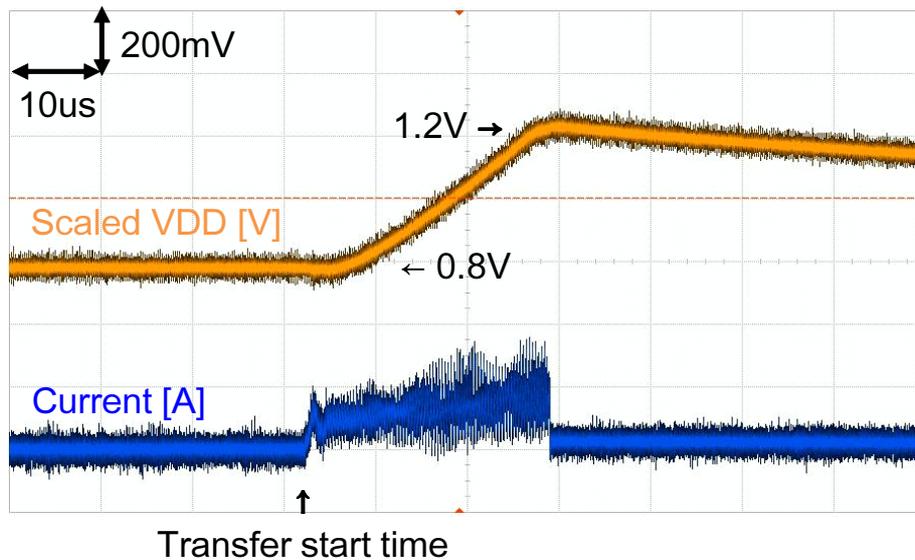


図 6.10 VDD 昇圧時の消費電流波形の実測例 (25 )

効率 は、入出力電圧や負荷電流によって変わるため、本評価では平均値を用いている。また、ULP-DDCMP の 1 コア分のチップ容量  $C_{VDD}$  は、実測評価した結果、 $2.25\text{nF}$  であった。その他のパラメータはチップの実測値から得られた値を用いて導出している。その結果を図 6.11 に示す。

結果、オフチップの DC-DC 変換器では、約 4000 パケット以上を実行することで電力削減効果が得られることがわかった。一方、オンチップの場合には、2 パケット以上となった。ULP-DDCMP に入力できるパケットの最小投入間隔は推奨電圧 (1.2V) 時に  $110\text{ns}$  ( $9.1\text{ M Packet/sec.}$ ) であるため、オンチップ化する場合、数百 ns 程度の負荷変動も考慮して動的電圧制御を行うことで省電力効果を最も高められる、という知見が得られた。また、この時の電圧昇降の頻度は、 $540\text{ns}$  であった。すなわち、UDP/IP プログラムを対象として、サスペンドフリー動的電圧制御 SF-DVS により ULP-DDCMP のスイッチング電力を極小化するためには、 $540\text{ns}$  程度で電圧を昇降できるオンチップ DC-DC 変換器が必要であるとの実装上の制約要件が得られた。

試作プロセッサ LSI の実効的な消費電力特性を確認するために、UDP/IP 通信プロトコル処理プログラムを実行した時の性能と消費電力を実測した。図 6.12 はその測定結果であ

## 6.2 ULP-DDCMP チップの実測評価

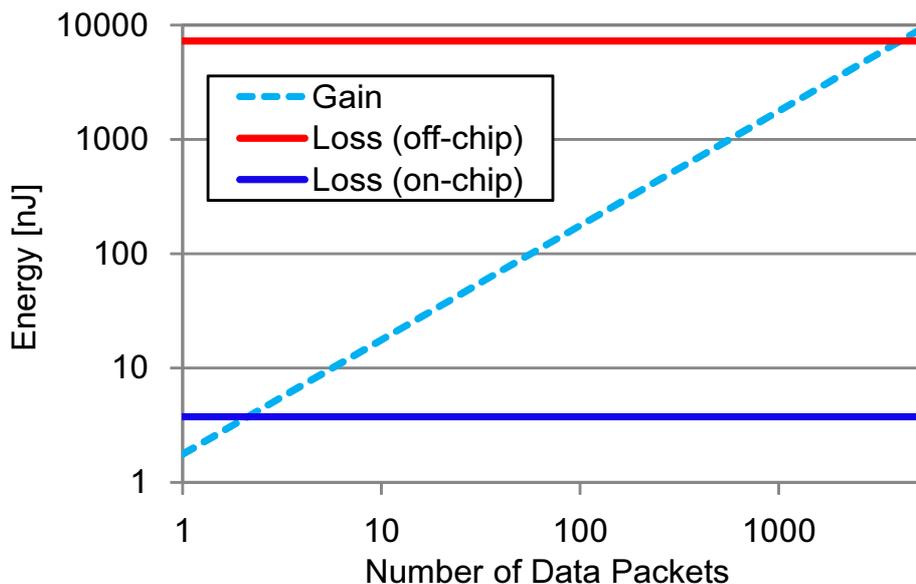


図 6.11 試作プロセッサの損益分岐処理負荷 BEPL (0.8V 1.2 V, 25 )

る．横軸は，512Byte の UDP/IP パケットの処理レートを示し，縦軸は消費電力を示している．電源電圧  $V_{DD}$  を 0.8V ~ 1.3V まで変化させた結果，いずれの場合も消費電力は処理負荷に対してほぼ線形に増減することが確認された．処理負荷がゼロ近辺では，消費電力

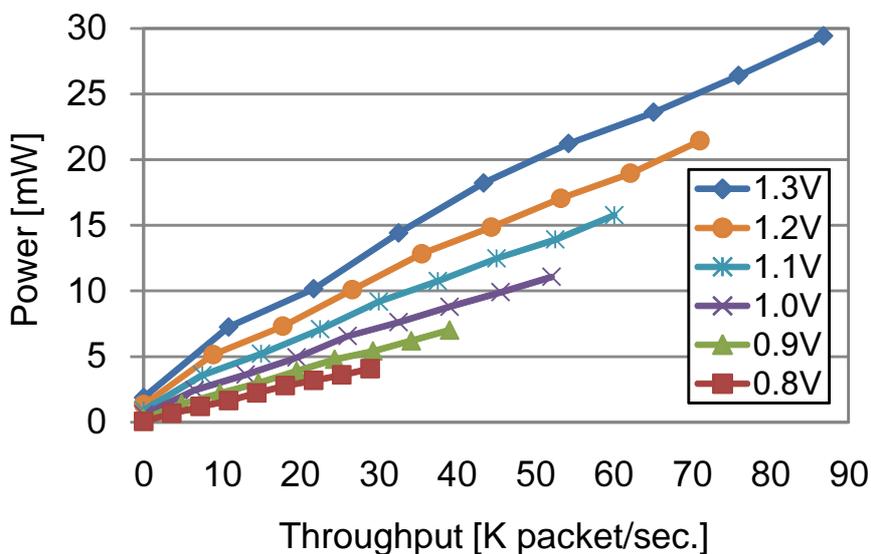


図 6.12 試作プロセッサの性能 - 電力特性 (25 )

## 6.2 ULP-DDCMP チップの実測評価

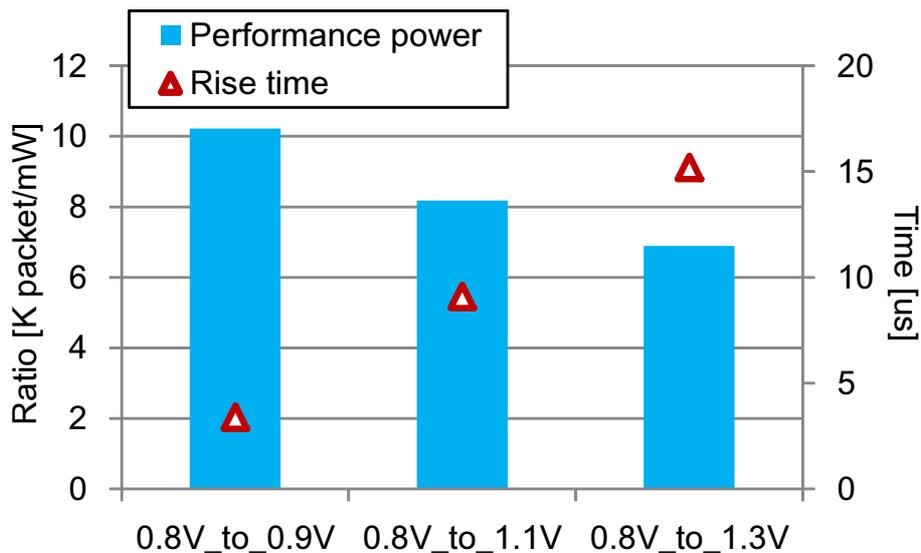


図 6.13 VDD 昇圧時間とその間の処理性能 (25 )

もほぼ 0W になっていることが判る。これは、同期回路のようにクロック分配のための余分な電力消費がないことの証左である。

また、図 6.12 の実測結果から、0.8V 時に UDP/IP パケット換算で最大 29 K packet/s が処理可能である。この時、標準電圧 1.2V で動作させた場合と比較すると最大で消費電力を 38% に削減できることを示している。

前章にも述べたように、STP の場合、電圧昇降の過渡的な期間でもプログラムの実行を継続することが可能である。試作プロセッサ LSI でも継続実行が可能であることを確認した。図 6.13 は、0.8V から昇圧したときの昇圧時間と、その間に処理可能な UDP/IP パケット数を実測して電力当りの性能を求めた結果である。この結果から、処理性能的にも利点があることが実証された。

ULP-DDCMP は、通信処理の省電力化向けに設計されたプロセッサであるため、本評価では典型的なプログラムとして予め提供されている UDP/IP プログラムを用いた。事前評価の結果、ULP-DDCMP に入力できるデータ（パケット）の最小投入間隔は推奨電圧（1.2V）時に 110ns（9.1 M Packet/sec.）であった。したがって、そのような負荷変動を検出できるようにサンプリング周期は 80ns（12.5MHz）に設定した。PID パラメータは、安

## 6.2 ULP-DDCMP チップの実測評価

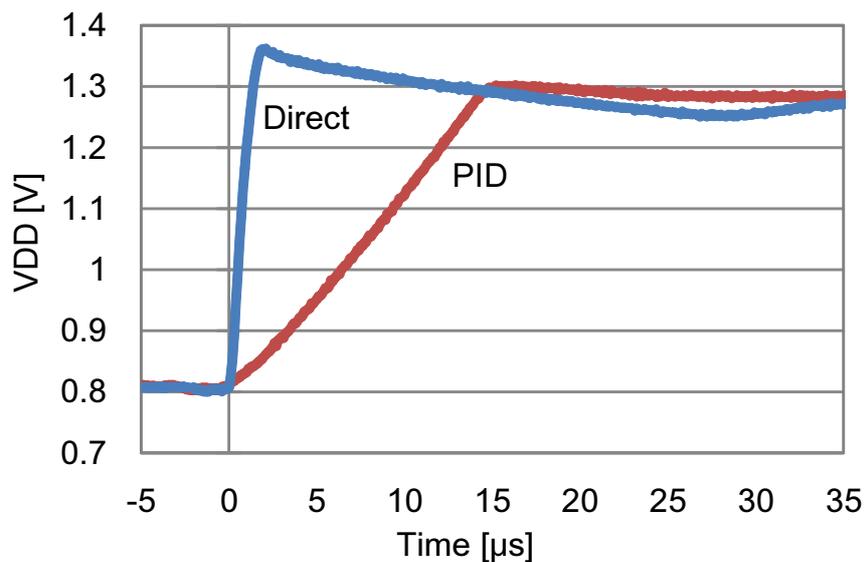


図 6.14 PID 制御とダイレクト制御の過渡特性

定性と即応性において最も良い特性を示した値 ( $K_p = 0.1$ ,  $K_i = 0.98$ ,  $K_d = 0.1$ ) を設定している。提案する PID 制御とダイレクト制御方式の評価結果を図 6.14 に示す。ダイレクト制御方式は、目標電圧 ( $1.3V$ ) に約  $2\mu s$  以内で昇圧可能であった。しかし、オーバーシュート (約  $0.07V$ ) とアンダーシュート (約  $0.04V$ ) が発生するため、電圧が安定するまでに約  $35\mu s$  の時間を要している。一方、提案する PID 制御回路では、目標電圧に約  $15\mu s$  で昇圧可能であり、不必要な電圧昇降 ( $0.07V + 0.04V = 0.11V$ ) による電力オーバーヘッドの発生を抑制できることを確認した。この時電力オーバーヘッドは、Off-Chip の場合  $2.6\mu J$  であり、On-Chip の場合に  $1.4nJ$  であった。また、 $0.8V$  の条件で、パケット 1 個を処理するのに要する電力量が約  $0.82nJ$  であった。したがって、 $2.6\mu J$  の電力量はパケット 3000 個以上に相当する電力量であり、決して無視できない値である。

### 6.2.2 サスペンドフリー動的電圧制御機構の省電力効果

ULP-DDCMP チップを対象に、動的電圧制御機構を備えた STP により実際にプロセスを構成した場合に削減可能なスイッチング電力を見積もるために、文献 [73, 67] に記載の

### 6.3 結言

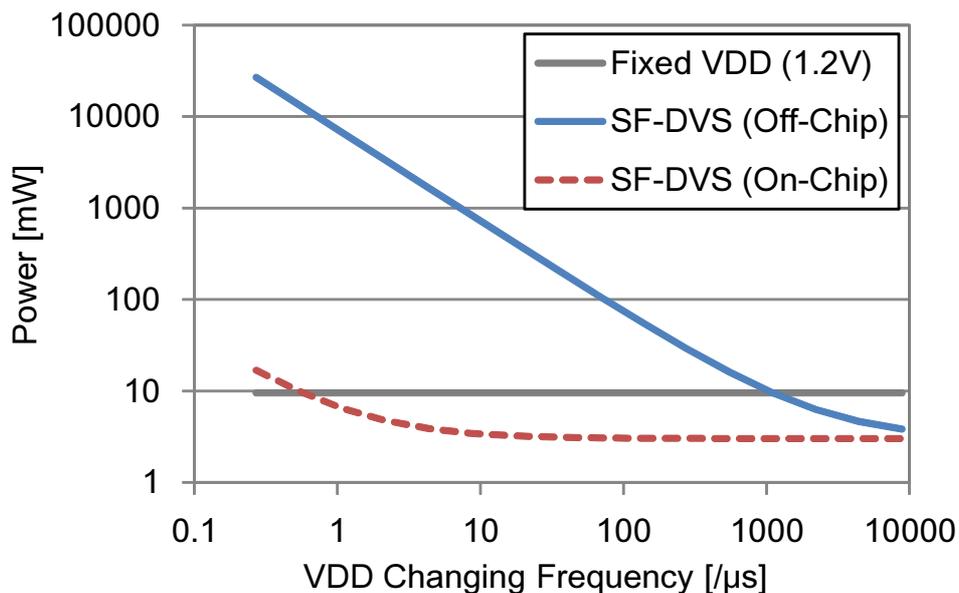


図 6.15 動作率の変化に伴う低消費電力効果

通信処理を，データ駆動型プロセッサ ULP-CUE[70] 上で実行した時の通信処理全体の総消費電力を見積もった．結果を図 6.16 に示す．図 6.16 では，電圧の切替え頻度に応じて変わる省電力化効果を明らかにするために，横軸は通信処理全体に占める VDD のスイッチング頻度の割合としている．縦軸は 1.2V で動作する従来型 STP (Fixed VDD) と SF-DVS を適用した STP の消費電力の割合 (SF-DVS / Fixed VDD) である．結果，SF-DVS の適用によって，切替え頻度が 8.8ms の場合に 60%，さらに，DC-DC 変換器をオンチップ化した場合には，4.3 $\mu\text{s}$  の場合に 60%まで消費電力が低減されている．また，オンチップ化を前提とした場合，設計当初の目標として掲げた負荷変動の周期が 1 $\mu\text{s}$  の時においても，最大で 26%まで消費電力が低減できることを確認した．したがって，細粒度サスペンドフリー動的電圧制御の有効性を実証できたと考えている．

### 6.3 結言

本章では，試作チップの実測に基づく評価結果について述べた．その結果，パワーゲーティング機構を備えていない STP 回路と比較して，リーク電力を約 26%低減できることを

### 6.3 結言

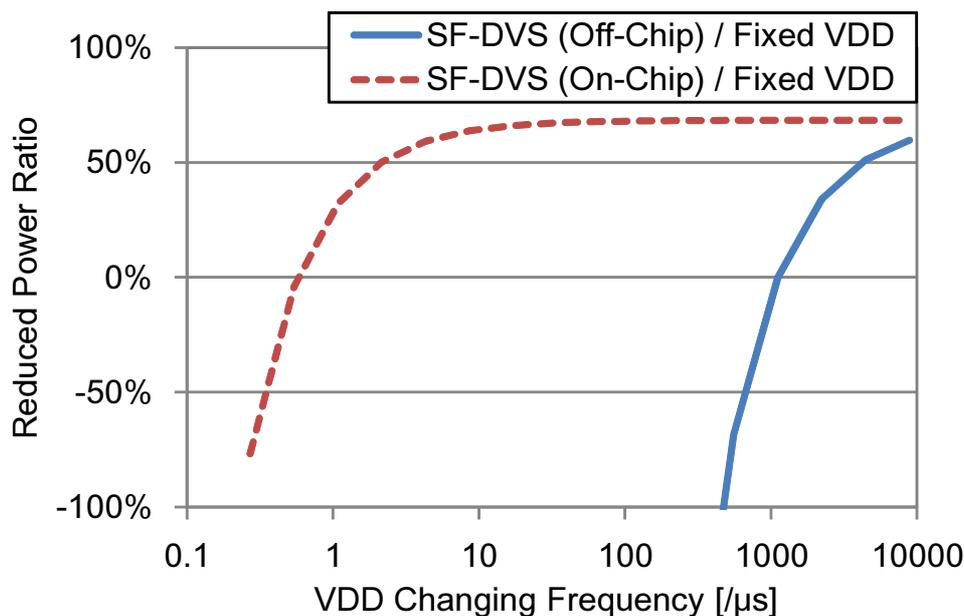


図 6.16 動作率の変化に伴う低消費電力効果

確認した。また、負荷変動の周期が  $1\mu\text{s}$  の時、動的電圧機構により総消費電力を約 26%低減できるという見通しを得られた。これによって、本来スイッチング電力に関して省電力である STP をさらに超低消費電力化できる技術の確立に一定の見通しが得られたと考えている。

本研究では、動的電圧制御回路の電力オーバーヘッドを含めた省電力化効果の評価や STP が本来有する省電力特性の評価までは行っていないが、以下に、その妥当性を示すための見積り結果を示す。まず、提案する動的電圧制御機構のオーバーヘッドの妥当性を示すために、65nm CMOS プロセスを用いた場合の電圧制御機構並びに、目標電圧設定機構のセル面積を、Synopsys 社 Design Compiler を用いて見積もった。その結果、 $0.037\text{mm}^2$  であり、レイアウト時のセル配置密度も考慮して、密度を 80%として換算した場合、チップ上に占める面積は  $0.046\text{mm}^2$  程度となる。また、目標電圧設計機構を構成するメモリの面積は、データシートから算出した。その結果、 $0.072\text{mm}^2$  であり、合計の面積は、 $0.118\text{mm}^2$  程度になるとの見積もり結果が得られた。試作した ULP-DDCMP チップのコア面積 (SRAM 部は除く) は、 $0.515\text{mm}^2$  であるため、面積オーバーヘッドは、約 23%程度になる。ただし、本設計では、プロトタイプとしての設計であったため、回路設計の最適化までは行って

### 6.3 結言

表 6.4 PLL と転送制御回路による電力オーバーヘッド

	Process [nm]	Operating Frequency [GHz]	Power [mW]
Seo [42]	180	0.075	18
Kim [43]	130	1.35	16.5
Rout [74]	90	1	11.9
Chen [75]	65	0.8	3.4
Result of Current Work	65	1	4.2 @ 40 stages

いない。例えば、現状の構成では、メモリは 0.47mV の精度で目標電圧を設定できるように構成しているが、設定電圧の細かさをある程度粗くすれば、さらに小面積化が実現できる。また、クロックゲーティングや、パワーゲーティングの適用を考慮すると、DC-DC 変換器や電源ラインの容量  $C_{VDD}$  に起因する電力オーバーヘッドに対して十分小さいことが考えられるため、本評価では、DC-DC 変換器と  $C_{VDD}$  による電力オーバーヘッドにのみに着目して評価を行った。設定電圧の粒度や、PID 制御以外の制御手法についての検討に関しては、今後の課題としたい。

また、STP が本来有する省電力特性の見積もりとして、PLL と転送制御回路の消費電力を表 6.4 に示す。転送制御回路の電力は、1.2V、25° 時の消費電力を SoC Encounter 付属の消費電力解析機能を用いて見積もっている。表に示すように、従来のアナログ式の PLL[42],[43],[74] は、数十 mW の電力を要していた。しかし、近年は、PLL にデジタル技術を取り込むことで、低消費電力化を実現している [76]。転送制御回路を 0.8GHz で動作させた場合、その消費電力は 3.34mW ( $= 4.2mW \times (0.8/1)$ ) 程度となるため、消費電力にさほど差はないことがわかる。したがって、クロックゲーティングを実現するために、データ検出や制御のための付加的な回路を必要とする同期式回路と比較して、低消費電力化を実現できると考えられる。

### 6.3 結言

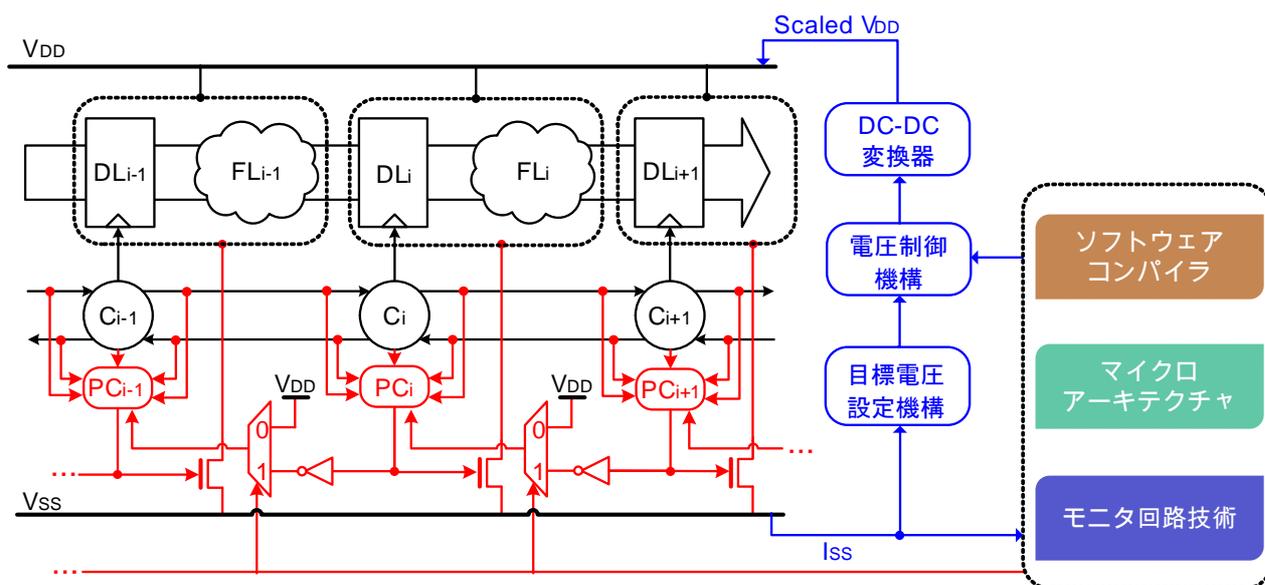


図 6.17 上位レイヤとの協調設計による適応型電力供給機構

当然のことながら，低消費電力化技術は総合技術であるため，本研究で提案する回路が，その上位レイヤのマイクロアーキテクチャやソフトウェアとどのように協調すべきかを含めて今後は，検討を進めていく必要がある．図 6.17 に，その実現法を示す．例えば，パワーゲーティングにおいて，各パイプライン段が協調動作することで，電源遮断の粒度を動的に再構成可能とする構成が考えられる．すなわち，温度変化によるリーク電力量や処理負荷の変動に応じて，BEST を満たす複合的粒度型の PG 制御が可能となる．複合粒度型 PG の回路構成は，各パイプライン段間で PC 回路の出力値を前段へフィードバックすることで実現可能であり，上位レイヤとの協調動作を考慮し，要求に応じて PG の粒度をマルチプレクサで切替えられる構成としている．

一方，動的電圧制御機構においては，BEPL を考慮した電圧制御を可能とするために，アプリケーションの特性に応じて PID パラメータを切替えることで上位レイヤとの協調動作を可能とする構成が考えられる．さらに，IO バッファ等を利用して，入力される処理負荷を制御すれば，より適応的な電圧制御が可能になると考えられる．以上により，BEST や BEPL を考慮した適応的電力供給機構を実現できると考えている．

# 第7章

## 結論

本論文では、自己同期パイプラインが本来有している省電力特性に加えて、供給する電力を細かく制御する機構を導入することによって、さらなる省電力化が可能な細粒度電力供給機構について述べた。以下に本研究で得られた成果をまとめる。

第2章では、電力当りの性能を向上させる細粒度の電力制御を実現するための要件として、

1. 省電力化の機会を適切に検出できる回路構成の実現
2. プログラムの実行性能を低下させない電力供給制御の実現
3. 電力オーバーヘッドを最小化できる回路構成の実現

を定義した。これに対して、本研究では細粒度の電力供給制御と親和性の高い自己同期パイプライン STP に着目した。STP は、隣接するパイプライン段間でのみデータ転送制御信号を授受するため、PLL やクロックゲーティングのような付加的な回路がなくとも、アクティブでないパイプライン段では全くスイッチング電力を消費しないという優れた特長を持っている。さらに、STP の動作時にだけスイッチングする特性に着目すれば、STP の消費電流値から、パイプライン内部の処理負荷を検出できることを述べた。また、ハンドシェイク信号を観測することで、パイプライン段のデータの有無を容易に検出できる。以上の特徴を活用して、プログラム実行時も含めて細粒度の負荷検出を可能にすると共に、要求される処理性能に応じて STP に電力を供給すれば、必要最小限の電力を消費する VLSI 回路実現法が確立できることを述べた。

第3章では、STP の局所的なデータ転送制御信号を活用することで、パイプライン段のデータの有無を容易に検出できるため、パイプライン段単位の細粒度パワーゲーティングが

実現できることを述べた。さらに、細粒度パワーゲーティングの電力モデルとして、電源接続/遮断後の過渡的な電力を含めた損益分岐スリープ時間 BEST を定義した。次に、これに基づく細粒度パワーゲーティングの LSI 実装法として、PS 挿入に伴うエネルギーオーバーヘッドと性能劣化を低減するための実装法について述べ、これらを容易化できる LSI レイアウト設計法を示した。

第 4 章では、STP はクロックを用いずに、転送制御回路のハンドシェイクにより動作するため、データ転送時間は供給電圧に応じて決定されることを述べた。したがって、電圧切替え時に、一時的に動作を停止する必要がないため、時間的に細粒度の動的電圧制御が可能になる。さらに、STP では、パイプライン内のデータ流量に対して消費電力が比例する。したがって、STP 内で消費される電流を観測することによって、その時点のデータ流量、すなわち、処理負荷を観測できる。その情報を基に STP システムに対して適切な電圧を供給することで、負荷に応じた必要最小限の電力を消費するように制御することができることを述べた。以上により、電力当りの性能を最大化する供給電圧を自律的に判断できるフィードバック型の制御方式を実現できる。さらに、安定した電圧の昇降を実現するために、電圧の制御に PID 制御を応用し、その構成について述べた。

第 5 章では、細粒度電力制御が可能な STP の実用性を実証的に評価するために、65nm CMOS プロセスを利用して試作した、パイプライン段単位パワーゲーティング機構を備えた ULP-STP チップと、動的電圧制御機構を備えた実用的なプロセッサである ULP-DDCMP (Data-Driven Chip MultiProcessor) チップの構成について述べた。また、総合的な消費電力を見積もることを目的として構築したプラットフォームシミュレータの構成について述べた。

第 6 章では、試作チップの実測に基づく評価結果について述べた。その結果、パワーゲーティング機構を備えていない STP 回路と比較して、待機時のリーク電力を約 26%低減できることを確認した。また、動的電圧制御機構により、スイッチング電力を約 60%低減できる見通しを得た。これによって、本来スイッチング電力に関して省電力である STP をさらに超低消費電力化できる技術の確立に一定の見通しが得られたと考えている。

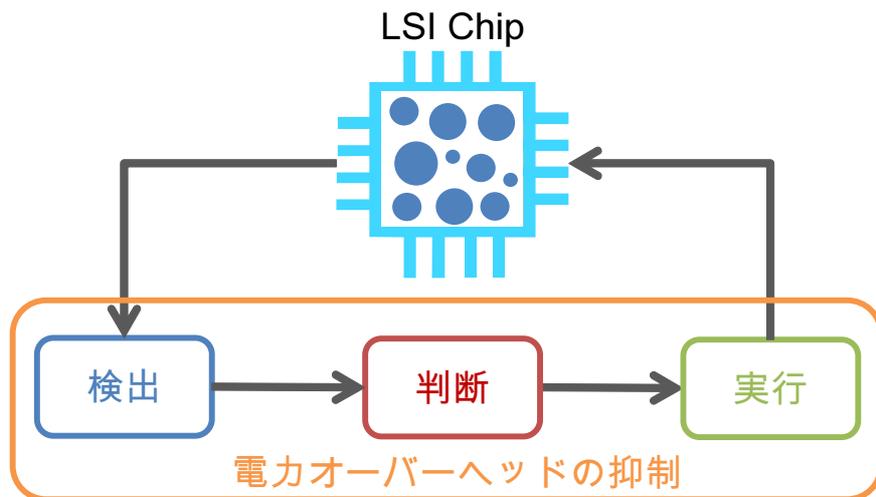


図 7.1 適応型電力供給機構の要件

本研究は，細粒度電力供給方式だけでなく，LSI 実装する上での構成法も含めて提案方式としている点に学術的意義があると考えている．さらに，本研究の成果の一部は，提案方式を活用して，科学技術振興機構 戦略的創造研究推進事業（CREST）プロジェクト「情報システムの超低消費電力化を目指した技術革新と統合化技術」の成果に貢献できた [67],[70],[73] ．

本稿で触れた試作 LSI チップは，超低消費電力化ネットワークシステムを実現するための CREST 研究プロジェクトの一環として試作されたものでもあり，ネットワーク方式，LSI プロセッサアーキテクチャおよびその LSI 回路実現法に至るまで省電力化を徹底することによって，総合的には従来システムに比較して，約 1/180 に低電力化できることも明らかになっている．その詳細については，文献 [67] を参照されたい．

今後は，オンチップ化を前提として，SF-DVS を実現するための電圧制御機構ならびに目標電圧設定機構による電力オーバーヘッドを見積もり，SF-DVS の電力削減効果について定量的に明らかにする必要がある．さらに，ソフトウェア・コンパイラや，マイクロアーキテクチャ，モニタ回路技術等との協調設計により，損益分岐条件に応じて，電力供給機構の制御粒度を動的に変更する適応型の電力供給機構が考えられる．図 7.1 に，その概要を示す．本論文で定義した検出，実行に加えて，損益分岐条件を判断するための機構を設ける．例え

ば，トランジスタのリーク電力は，製造プロセスのばらつきや動作温度によって変動するため，リークモニタ回路 [62] 等の情報に基づいて，パイプライン段毎のパワーゲーティング機構にイネーブル信号を与えれば，より適応的に動作できる省電力システムを構成できると考えられる．また，要求性能や要求電力に応じて適切なしきい値の標準論理セルライブラリを選択するガイドラインも LSI 設計時には必要になると考えられる．これらに関しては，今後の研究課題である．

将来展望としては，集積度向上に応じて低消費電力，かつスケラブルに高速化を達成できるアーキテクチャとして注目されている専用回路を多数集積したヘテロジニアス・マルチコア SoC (System-on-a-chip) への適用について検討を進める必要がある．将来の SoC は，1 チップ内に複数の専用回路が混載することが予想されており，ITRS ロードマップ [14] によると，その数は 2026 年には 1400 個程度になると予測している．また，文献 [77] では，実際に H.264 エンコーダを CMP (Chip MultiProcessor) で実装し，ASIC 実装との比較では，700 倍ものエネルギー効率の差を確認しており，主要因は CMP の汎用性によるものであるとしている．しかし，H.264 エンコーダのみならず多数の専用化された機能群を互いに連携させて，電力効率の高い超大規模ヘテロジニアス SoC 実現のためには，電圧や動作周波数の異なるドメイン間の協調動作が必要となる．チップ内に複数の電源ドメインがある場合，通常，隣接する 2 個のドメインの動作周波数を  $1:k$  ( $k$  は整数) にしなければならず，選択可能な周波数レンジに制限が生じ，周波数制御による低消費電力化の効果を十分に享受することができない可能性がある．さもないと，ドメイン間の周波数の違いを吸収するための FIFO バッファ等の追加が必要となる．一方で，STP であれば，隣接するドメイン間のハンドシェイクにより，容易に多数の機能群を連携できるという利点がある．

本研究で提案した細粒度電力供給機構を，ヘテロジニアス・マルチコア SoC にまで拡張すれば，将来的にも有効な省電力化手法として発展することが期待できる．提案手法が，LSI 設計の現場で活用されることに期待して，本論文の結びとしたい．

# 謝辞

本研究の機会および素晴らしい研究環境を与えて下さり、貴重な時間を割いてあらゆる面で終始懇切なる御指導ならびに御高配を賜った高知工科大学情報学群の岩田誠教授に心から感謝致します。長期にわたって厳しくも熱意のあるご指導、ご鞭撻していただいたこと、いつも私の事を気にかけて、幾度とくじけそうになった私を激励し、あらゆる面で支えて頂いたこと、言葉では言い尽くせないほど感謝しております。ふがないながらも私がここまでやり遂げた経験は今後の糧になるものであると確信しています。研究室に配属させて頂いてから、8年間の長きにわたり本当にありがとうございました。今後は、これまでの貴重な経験を活かし、研究者としての道を歩んでいく所存です。

ご多忙のなか、私の副査を引き受けて頂くと共に、本論文をまとめる上で貴重な御指導、御助言を頂きました高知工科大学情報学群の福本昌弘教授、吉田真一准教授、システム工学群の橘昌良教授、密山幸男准教授に深く感謝致します。的確なアドバイスは、論文をまとめる上で大変参考になりました。有益な議論の場を提供して頂きましてことに、改めて謝意を表します。また、福本昌弘教授、吉田真一准教授には、学部、修士時代を通して研究の基礎を教えて頂きました。特に、吉田真一准教授には、輪講を通して大変お世話になりましたこと、心より御礼申し上げます。

科学技術振興機構（JST）、戦略的創造研究推進事業（CREST）プロジェクト「超低消費電力化データ駆動ネットワークシステム」の研究におきまして、大変貴重な経験をさせてくださった筑波大学システム情報系情報工学域の西川博昭教授に深く感謝いたします。これまでの貴重な経験を今後の研究生活に生かしていきたいと考えております。

CREST プロジェクトを通して、本研究を支援していただきました東海大学情報通信学部通信ネットワーク工学科の石井啓之教授、宇津圭祐助教、ならびに有限会社、情報基盤研究所の青木一浩氏に厚く御礼申し上げます。

私の研究において、岩田研究室の皆様のご支援なくしては研究の成果をあげることが不

## 謝辞

可能であった事を記すとともに岩田研究室の皆様に深甚の謝意を表します。多忙にも関わらず、何か問題に直面すると、いつも快く相談に乗ってくれました三宮秀次助教（現在筑波大学助教）の御指導は私にとって大変勉強になりました。心より御礼申し上げます。

研究室の後輩として日頃よりご支援、ご協力頂きました、大学院修士課程の畠山博信氏、山崎弘法氏、田口龍一氏、松田佳介氏に感謝の意を表します。

研究室の後輩として、日頃からご協力頂きました、学士課程の宇野則文氏、岡宗祥平氏、栗焼崇史氏、佐々木大地氏、田窪大揮氏、辻太一氏に感謝の意を表します。

最後に、これまで自分の思う道を進むことに対し、温かく見守り、そして辛抱強く支援してくださった両親に対して深い感謝の意を表して謝辞と致します。

なお、本研究は、科学技術振興機構（JST）、戦略的創造研究推進事業（CREST）プロジェクト「超低消費電力化データ駆動ネットワークシステム」の助成を受けたものであることを付記します。

## 参考文献

- [1] K. Choi, R. Soma, and M. Pedram, “Fine-grained dynamic voltage and frequency scaling for precise energy and performance trade-off based on the ratio of off-chip access to on-chip computation times,” *IEEE Trans. on Computer Aided Design*, vol.24, no.1, pp. 18-28, Jan. 2005.
- [2] M. Putic, L. Di, B. H. Calhoun, and J. Lach, “Panoptic DVS: A fine-grained dynamic voltage scaling framework for energy scalable CMOS design,” *Proc. 2009 IEEE Int’l Conf. on Computer Design*, pp.491-497, Oct. 2009.
- [3] J. Zhao, X. Dong, and Y. Xie, “An Energy-Efficient 3D CMP Design with Fine-Grained Voltage Scaling,” *Design, Automation & Test in Europe Conference & Exhibition*, pp.14-18 Mar. 2011.
- [4] L. Chen, T. Horiyama, Y. Nakamura, and S. Kimura, “Fine-Grained Power Gating Based on the Controlling Value of Logic Elements,” *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, vol.E91-A, no.12, pp.3531-3538, Dec. 2008.
- [5] K. Usami and N. Ohkubo, “A Design Approach for Fine-Grained Run-Time Power Gating using Locally Extracted Sleep Signals,” *Proc. IEEE Int’l Conf. on Computer Design*, pp.155-161, San Jose, California, USA, Oct. 2006.
- [6] 松谷宏紀, 鯉淵道紘, 池淵大輔, 宇佐美公良, 中村宏, 天野 英晴, “CMP におけるオンチップルータの細粒度パワーゲーティングの評価,” *情報処理学会論文誌コンピューティングシステム*, vol.3, no.3, pp.100-112, Sep. 2010.
- [7] Z. Hu, A. Buyuktosunoglu, V. Srinivasan, V. Zyuban, H. Jacobson, and P. Bose, “Microarchitectural Techniques for Power Gating of Execution Units,” *Proc. of the 2004 Int’l Symposium on Low Power Electronics and Design*, pp.32-37, Aug. 2004.

## 参考文献

- [8] 関直臣, レイジャオ, 小島悠, 池淵大輔, 長谷川揚平, 大久保直昭, 武田晴大, 香嶋俊裕, 白井利明, 宇佐美公良, 砂田徹也, 金井遵, 並木美太郎, 近藤正章, 中村宏, 天野英晴, “MIPS R3000 プロセッサにおける細粒度動的スリープ制御の実装と評価,” 信学論 (D), vol.J93-D, no.6, pp.920-930, June 2010.
- [9] S. Kaxiras, Z. Hu, and M. Martonosi, “Cache Decay: Exploiting Generational Behavior to Reduce Cache Leakage Power,” Proc. 28th Annual Int’l Symposium on Computer Architecture, pp.240-251, New York, NY, USA, July 2001.
- [10] H. Terada, S. Miyata, and M. Iwata, “DDMP’s: Self-Timed Super-Pipelined Data-Driven Multimedia Processors,” Proc. of the IEEE, vol.87, no.2, pp.282-296, Feb. 1999.
- [11] K. Asada, H. Asano, S. Komori, S. Matsumoto, H. Miura, S. Miyata, H. Nishikawa, K. Shima, M. Shimizu, and H. Terada, “Coincidence Element and a Data Transmission Path,” U.S. Patent 4 785 204, July 1986.
- [12] J. B. Kuang, T. C. Buchholtz, S. M. Dance, J. D. Warnock, S. N. Storino, D. Wendel, D. H. Bradley, “A Double-Precision Multiplier with Fine-Grained Clock-Gating Support for a First-Generation CELL Processor”, Proc. 2005 Int’l Conf., Solid-State Circuits Conf., pp.378-605, San Francisco, California, U.S.A., Feb. 2005.
- [13] T. Yamada, M. Abe, Y. Nitta, and K. Ogura, “Low-Power Design of 90-nm SuperH<sub>TM</sub> Processor Core,” Proc. of the IEEE Int’l conf. Computer Design, pp.258-263, Oct. 2005.
- [14] International Technology Roadmap for Semiconductors, <http://www.itrs.net/>.
- [15] L. E. M. Brackenbury, L. A. Plana, and J. Pepper, “System-on-Chip Design and Implementation,” IEEE Transactions on Education, vol.53, no.2, pp.272-281. May 2010.
- [16] L. Wang, G.-Z. Yang, J. Huang, J. Zhang, L. Yu, Z. Nie, and D. Cumming, “A Wireless Biomedical Signal Interface System-on-Chip for Body Sensor Networks,”

## 参考文献

- IEEE Transactions on Biomedical Circuits and Systems, vol.4, no.2, pp.112-117, April 2010.
- [17] A. Lines, "Asynchronous Interconnect For Synchronous SoC Design," IEEE Micro, vol.24, no.1, pp.32-41, Jan.-Feb. 2004.
- [18] Samsung Corp, <http://www.samsung.com/>.
- [19] Proceedings of International Symposium on Low Power Electronics and Design, 2001-2012.
- [20] Proceedings of International Symposium on Technology Innovation and Integration for Information Systems with Ultra-Low-Power, Mar. 2011.
- [21] D. J. Frank, R. H. Dennard, E. Nowak, P. M. Solomon, Y. Taur, and H. -S. P. Wong, "Device Scaling Limits of Si MOSFETs and Their Application Dependencies," Proc. of the IEEE vol.89, pp.259-288, Mar. 2001.
- [22] Intel Corp, [http://download.intel.com/newsroom/kits/22nm/pdfs/22nm-Details\\_Presentation.pdf](http://download.intel.com/newsroom/kits/22nm/pdfs/22nm-Details_Presentation.pdf)," 2011.
- [23] G. H. Nathan, S. Jack, V. Ganesh, G. Saturnino, A. Joe, H. Po-Chao, A. Manish, N. Siddhartha, B. Vikram, B. Jonathan, S. Steven, and T. Michael La Jolla "The GreenDroid Mobile Application Processor: An Architecture for Silicon's Dark Future," IEEE Micro, vol.31, no.2, pp.86-95, March-April 2011.
- [24] H. Esmaeilzadeh, E. Blem, R. S. Amant, K. Sankaralingam, D. Burger, "Dark Silicon and the End of Multicore Scaling," IEEE Micro, vol.32, no.3, pp.122-134, May-June 2012.
- [25] P. Pillai, K. G. Shin, "Real-Time Dynamic Voltage Scaling for Low-Power Embedded Operating Systems," Proc. of the 18th ACM SOSP'01, pp.89-102, Oct. 2001.
- [26] S. Mutoh, S. Shigematsu, Y. Gotoh, and S. Konaka, "Design method of MTCMOS power switch for low-voltage high-speed LSIs," Proc. of the ASP-DAC'99, pp.113-

## 参考文献

- 116, Jan. 1999.
- [27] C. Johnson, D. H. Allen, J. Brown, S. Vanderwiel, R. Hoover, H. Achilles, C-Y. Cher, G. A. May, H. Franke, J. Xenedis, and C. Basso, “A Wire-Speed Power<sub>TM</sub> Processor: 2.3GHz 45nm SOI with 16 Cores and 64 Threads,” IEEE Int’l. Solid-State Circuits Conference Digest of Technical Papers, pp.104-105, Feb. 2010.
- [28] D. Laird, “Crusoe Processor Products and Technology”, Transmeta Corporation, 2000.
- [29] Intel Corp, “Intel Pentium M Processor on 90 nm Process with 2MB L2 Cache Datasheet”, 2006.
- [30] Advanced Micro Devices, Inc. “AMD Athlon64 Processor Power and Thermal Data Sheet”, 2006.
- [31] Transmeta Crusoe [Online]. Available: <http://www.transmeta.com/crusoe/longrun.html>
- [32] AMD, Inc., AMD PowerNow Technology, 2000.
- [33] Intel, Inc., The Intel(R) XScale(TM) Microarchitecture Technical Summary, 2000.
- [34] Peter Greenhalgh, “big.LITTLE Processing with ARM Cortex<sup>TM</sup>-A15 & Cortex-A7(Improving Energy Efficiency in High-Performance Mobile Platforms),” White Paper released by ARM, Sep. 2011.
- [35] H. Mizuno, K. Ishibashi, T. Shimura, T. Hattori, S. Narita, K. Shiozawa, S. Ikeda, and K. Uchiyama, “An 18- $\mu$ A standby current 1.8-V, 200-MHz microprocessor with self-substrate-biased data-retention mode,” IEEE Journal of Solid-State Circuits, vol.34, no.11, pp.1492-1500, Nov. 1999.
- [36] M. Nomura, Y. Ikenaga, K. Takeda, and Y. Nakazawa, Y. Aimoto, and Y. Hagihara, “Delay and Power Monitoring Schemes for Minimizing Power Consumption by Means of Supply and Threshold Voltage Control in Active and Standby Modes,” IEEE Journal of Solid-State Circuits, vol.41, no.4, pp.805-814. Apr. 2006.
- [37] Freescale Semiconductor, <http://www.freescale.com/>.

## 参考文献

- [38] S. Rusu, S. Tam, H. Muljono, D. Ayers, J. Chang, R. Varada, M. Ratta and S. Vora, "A 45nm 8-core enterprise XeonR processor," Proceedings of the IEEE Asian Solid-State Circuits Conference (A-SSCC '09), pp.9-12, November 2009.
- [39] E. J. Nowak, "Maintaining the Benefits of CMOS Scaling When Scaling Bogs Down," IBM Journal of Research and Development, vol.46, no.2/3, pp.169-180, Mar 2002.
- [40] Y. Kanno, H. Mizuno, Y. Yasu, K. Hirose, Y. Shimazaki, T. Hoshi, Y. Miyairi, T. Ishii, T. Yamada, T. Irita, T. Hattori, K. Yanagisawa, and N. Irie, "Hierarchical Power Distribution with 20 Power Domains in 90-nm Low-Power Multi-CPU Processor," Proc. 2006 IEEE Int'l Conf., Solid-State Circuits Conf., pp.2200-2209, San Francisco, California, U.S.A., Feb. 2006.
- [41] M.-C. Lee, Y. Shi, and S.-C. Chang, "Efficient Wakeup Scheduling Considering Both Resource Usage and Timing Budget for Power Gating Designs," IEEE Trans. on CAD of Integrated Circuits and Systems, vol.31, no.7, pp.1041-1049, July 2012.
- [42] Y. H. Seo, S.-K. Lee, J.-Y. Sim, "A 1-GHz Digital PLL With a 3-ps Resolution Floating-Point-Number TDC in a 0.18- $\mu$  m CMOS," IEEE Trans. on Circuits and Systems, vol.58, no.2, pp.70-74, Feb. 2011.
- [43] D.-S. Kim, H. Song, T. Kim, S. Kim, D.-K. Jeong, "A 0.3-1.4 GHz All-Digital Fractional-N PLL With Adaptive Loop Gain Controller," IEEE Journal of Solid State Circuits, vol.45, no.11, pp.2300-2311, Nov. 2011.
- [44] J. Tierno, A. Rylyakov, D. Friedman, A. Chen, A. Ciesla, T. Diemoz, G. English, D. Hui, K. Jenkins, P. Muench, G. Rao, G. Smith, M. Sperling, K. Stawiasz, "A DPLL-based per Core Variable Frequency Clock Generator for an Eight-Core POWER7<sup>TM</sup> Microprocessor", Symposium on VLSI Circuit Digest of Tech Papers, pp.85-86, Jun. 2010.
- [45] L. T. Clark, E. J. Hoffman, J. Miller, M. Biyani, Y. Liao, S. Strazdus, M. Mor-

## 参考文献

- row, K. E. Velarde, and M. A. Yarchet, “An Embedded 32-b Microprocessor Core for Low-Power and High-Performance Applications,” *IEEE Journal of Solid-State Circuits*, vol.36, no.11, pp.1599-1608, Nov. 2001.
- [46] C.-Y. Tseng, L.-W. Wang, P.-C. Huang, “An Integrated Linear Regulator With Fast Output Voltage Transition for Dual-Supply SRAMs in DVFS Systems” *IEEE Journal of Solid-state Circuits*, vol.45, no.11, pp.2239-2249, Nov. 2010.
- [47] W. Kim, M. S. Gupta, G.-Y. Wei, and D. Brooks, “System Level Analysis of Fast, Per-Core DVFS using On-Chip Switching Regulators” *IEEE 14th Int’l Symp. High Performance Computer Architecture*, pp.123-134, Salt Lake City, UT, Feb. 2008.
- [48] T. Ishihara, S. Yamaguchi, Y. Ishitobi, T. Matsumura, Y. Kunitake, Y. Oyama, Y. Kaneda, M. Muroyama, and T. Sato, “AMPLE: An Adaptive Multi-Performance Processor for Low-Energy Embedded Applications,” *IEEE Symp. Application Specific Processors*, pp.83-88, Jun. 2008.
- [49] I. E. Sutherland, “Micropipelines,” *Communications of the ACM*, vol.32, no.6, pp.720-738, June 1989.
- [50] J. Spars , “Asynchronous Circuit Design A Tutorial,” Kluwer Academic Publishers, London, 2001.
- [51] K. Miyagi, S. Sannomiya, M. Iwata, and H. Nishikawa, “Low-Powered Self-Timed Pipeline with Variable-Grain Power Gating and Suspend-Free Voltage Scaling,” *Proceedings of the 2013 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA’13)*, pp.618–624, July 2013.
- [52] M. Imai, K. Takada, and T. Nanya, “Fine-Grain Leakage Power Reduction Method for m-out-of-n Encoded Circuits Using Multi-threshold-Voltage Transistors,” *Proc. 15th IEEE Symp. Asynchronous Circuits and Systems*, pp.209-216, Chapel Hill, North Carolina, U.S.A, May 2009.
- [53] C. Ortega, J. Tse, R. Manohar, “Static Power Reduction Techniques for Asyn-

## 参考文献

- chronous Circuits,” Proc. 16th IEEE Symp. Asynchronous Circuits and Systems, pp.52-61, Grenoble, France, May 2010.
- [54] K. Miyagi, S. Sannomiya, K. Sakai, M. Iwata, and H. Nisikawa, “Autonomous Power-Supply Control for Ultra-Low-Power Self-Timed Pipeline,” Proc. 2008 Int’l Conf. Parallel and Distributed Processing Techniques and Applications, pp.704-709, Las Vegas, Nevada, U.S.A., July 2008.
- [55] 松本敦, 河野宇朗, 鬼沢直哉, 羽生貴弘, “制御情報共有化に基づく非同期細粒度パワーゲーティング技術とそのオンチップルートへの応用,” 信学論 (C), vol.J96-C, no.5, pp.73-84, May 2013.
- [56] H. Xu, R. Vemuri, and W.B. Jone, “Temporal and Spatial Idleness Exploitation for Optimal-Grained Leakage Control,” Proc. 2009 IEEE/ACM Int’l Conf. Computer-Aided Design, pp.468-473, San Jose, California, U.S.A., Nov. 2009.
- [57] K. Usami, T. Shirai, T. Hashida, H. Masuda, S. Takeda, M. Nakata, N. Seki, H. Amano, M. Namiki, M. Imai, M. Kondo, and H. Nakamura, “Design and Implementation of Fine-Grain Power Gating with Ground Bounce Suppression,” Proc. 22th IEEE Int’l Conf. VLSI Design, pp.381-386, New Delhi, India, Jan. 2009.
- [58] K. Kawasaki, T. Shiota, K. Nakayama, and A. Inoue, “A Sub- $\mu$ s Wake-Up Time Power Gating Technique with Bypass Power Line for Rush Current Support,” Proc. 2008 IEEE Symp. VLSI Circuits, pp.146-147, Honolulu, Hawaii, U.S.A., June 2008.
- [59] J. H. Choi, Y. Xu, and T. Sakurai, “Statistical Leakage Current Reduction in High-Leakage Environments Using Locality of Block Activation in Time Domain,” IEEE Journal of Solid-State Circuits, vol.37, no.9, pp.1497-1503, Sept. 2004.
- [60] K. Shi and D. Howard, “Challenges in Sleep Transistor Design and Implementation in Low-Power Designs,” Proc. 43rd ACM/IEEE Design Automation Conf., pp.113-116, San Francisco, CA, U.S.A., July 2006.
- [61] J. L. Coz, A. Valentian, P. Flatresse, and M. Belleville, “Power Switch Optimization

## 参考文献

- and Sizing in 65nm PD-SOI Considering Supply Voltage Noise,” Proc. 2010 IEEE Int’l Conf. IC Design and Technology, pp.186-189, Grenoble, France, June 2010.
- [62] C. Kim, K. Roy, S. Hsu, R. Krishnamurthy, and S. Borkar, “A Process Variation Compensating Technique with an On-Die Leakage Current Sensor for Nanometer Scale Dynamic Circuits,” IEEE Transactions on Very Large Scale Integration Systems, vol.14, no.6, pp.646-649, Nov. 2006.
- [63] S. Roy, S. Katkooari, and N. Ranganathan, “A Compiler Based Leakage Reduction Technique by Power-Gating Functional Units in Embedded Microprocessors,” Proc. 20th Int’l Conf. on VLSI Design, Held jointly with 6th International Conference on Embedded Systems, pp.215-220, Jan. 2007.
- [64] H. Xu, W. Jone, and R. Vemuri, “Aggressive Runtime Leakage Control Through Adaptive Light-Weight Vth Hopping with Temperature and Process Variation,” IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol.19, no.7, pp.1319-1323, July 2011.
- [65] K. Miyagi, S. Sannomiya, M. Iwata, and H. Nishikawa, “Low-Powered Self-Timed Pipeline with Variable-Grain Power Gating and Suspend-Free Voltage Scaling,” PDPTA’13, pp.618-624, July 2013.
- [66] T. Burd, and R. W. Brodersen, “Design Issues for Dynamic Voltage Scaling,” In Proc. of Int’l Symp. Low Power Electronics and Design, pp.9-14, Rapallo, Italy, July 2000.
- [67] 西川博昭, 青木一浩, 三宮秀次, 宮城桂, 岩田誠, 宇津圭祐, 石井啓之, “超低消費電力化データ駆動ネットワークシステムとその評価,” 信学論 (B), vol.J96-B, No.6, pp.572-579, June 2013.
- [68] K. Miyagi, S. Sannomiya, M. Iwata, and H. Nishikawa, “Low-powered self-timed pipeline with runtime fine-grain power supply,” Proc. 2012 Int’l Conf. on Parallel and Distributed Processing Techniques and Applications, pp.472-478, Las Vegas,

## 参考文献

- U.S.A., July 2012.
- [69] K. Aoki, H. Ishii, M. Iwata, and H. Nishikawa, "A Comprehensive Evaluation of ULP-DDNS by Platform Simulator," Proc. 2012 Int'l Conf. on Parallel and Distributed Processing Techniques and Applications, pp.445-451, Las Vegas, U.S.A., July 2012.
- [70] 三宮秀次, 青木一浩, 宮城桂, 岩田誠, 西川博昭, "超低消費電力化データ駆動ネットワークワーキングプロセッサ ULP-CUE の試作とその評価," 情報処理学会論文誌 コンピューティングシステム (ACS), vol.6, no.1, pp.78-86, Jan. 2013.
- [71] J. Xiao, A. V. Peterchev, J. Zhang, and S. R. Sanders, "A 4  $\mu$  A Quiescent-Current Dual-Mode Digitally Controlled Buck Converter IC for Cellular Phone Applications," IEEE Journal of Solid-State Circuits, vol.39, no.12, pp.2342-2348, Dec. 2004.
- [72] S. S. Kudva, R. Harjani, "Fully-Integrated On-Chip DC-DC Converter With a 450X Output Range," Proc. of IEEE Journal of Solid-State Circuits, Vol.46, No.8, pp.1940-1951, Aug. 2011.
- [73] 三宮秀次, 青木一浩, 宮城桂, 岩田誠, 西川博昭, "超低消費電力化データ駆動ネットワークワーキングプラットフォームの試作," 信学論 (D), vol.J96-D, no.10, pp.2319-2326, Oct. 2013.
- [74] P. K. Rout, B. P. Panda, D. P. Acharya, and G. Panda, "Analysis and Design of a 1GHz PLL for Fast Phase and Frequency Acquisition," Int'l Conf. Electronic System, National Institute of Technology, Rourkela, pp.212-215. Jan. 2011.
- [75] M. S.-W. Chen, D. Su, S. Mehta, "A Calibration-Free 800MHz Fractional-N Digital PLL with Embedded TDC," IEEE Int'l Solid-State Circuits Conference Digest of Technical Papers, pp.472-473, 2010.
- [76] J.-P. Hong, S.-J. Kim, J. Liu, N. Xing, T.-K. Jang, J. Park, J. Kim, T. Kim, and H. Park, "A 0.004mm<sup>2</sup>250 $\mu$ W  $\Delta\Sigma$  TDC with time-difference accumulator

## 参考文献

- and a  $0.012\text{mm}^2$  2.5mW bang-bang digital PLL using PRNG for low-power SoC applications,” IEEE Int’l Solid-State Circuits Conference, pp.240-242, 2012.
- [77] R. Hameed, W. Qadeer, M. Wachs, O. Azizi, A. Solomatnikov, B. C. Lee, S. Richardson, C. Kozyrakis, and M. Horowitz, “Understanding Sources of Inefficiency in General-Purpose Chips,” Proc. 37th ACM International Symposium Computer Architecture, vol.38, no.3, pp.37-47, June 2010.

# 付録 A

## 関連業績

### A.1 査読付き論文誌

1. 三宮秀次, 青木一浩, 宮城桂, 岩田誠, 西川博昭, “超低消費電力化データ駆動ネットワークワーキングプロセッサ ULP-CUE の試作とその評価,” 情報処理学会論文誌 コンピューティングシステム (ACS), vol.6, no.1, pp.78-86, Jan. 2013.
2. 西川博昭, 青木一浩, 三宮秀次, 宮城桂, 岩田誠, 宇津圭祐, 石井啓之, “超低消費電力化データ駆動ネットワークワーキングシステムとその評価,” 信学論 (B), vol.J96-B, no.6, pp.572-579, June 2013.
3. 三宮秀次, 青木一浩, 宮城桂, 岩田誠, 西川博昭, “超低消費電力化データ駆動ネットワークワーキングプラットフォームの試作,” 信学論 (D), vol.J96-D, no.10, pp.2319-2326, Oct. 2013.
4. 宮城桂, 岩田誠, 三宮秀次, 西川博昭, “細粒度パワーゲーティング機構を備えた自己同期型パイプラインとその実装評価,” 信学論 (A). (条件付き採録).

### A.2 国際会議

1. K. Miyagi, S. Sannomiya, M. Iwata, and H. Nishikawa, “Autonomous Power-Supply Control for Ultra-Low-Power Self-Timed Pipeline,” Proceedings of the 2008 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA'08), pp.704–709, July 2008.

## A.2 国際会議

2. K. Miyagi, N. Kagawa, S. Sannomiya, and M. Iwata, “Wakeup Voltage Detection for Self-Timed Power Gating Circuit,” International Workshop on Information Technology (IWIT’09), pp.78–79, Sept. 2009.
3. S. Sannomiya, K. Miyagi, K. Sakai, M. Iwata, and H. Nishikawa, “Self-Timed Power Gating for Ultra-Low-Power Pipeline Circuit,” Proceedings of the 2009 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA’09), pp.575-580, July 2009.
4. S. Sannomiya, K. Miyagi, M. Iwata, H. Nishikawa, “Stage-by-Stage Power Gating Circuit for Ultra-Low-Power Self-Timed Pipeline,” Proceedings of the 2010 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA’10), pp.596-602. July 2010.
5. K. Miyagi, S. Sannomiya, M. Iwata, and H. Nishikawa, “Self-Timed Power-Aware Pipeline Chip and Its Evaluation,” Proceedings of the 2011 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA’11), pp.442–448, July 2011.
6. S. Sannomiya, R. Kuroda, K. Aoki, K. Miyagi, M. Iwata, and H. Nishikawa, “Chip Multiprocessor Platform for Ultra-Low-Power Data-Driven Networking System: ULP-DDNS,” Proceedings of the 2011 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA’11), pp.428-434, July 2011.
7. K. Miyagi, S. Sannomiya, M. Iwata, and H. Nishikawa, “Low-Powered Self-Timed Pipeline with Runtime Fine-Grain Power Supply,” Proceedings of the 2012 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA’12), pp.472–478, July 2012.
8. K. Miyagi, S. Sannomiya, M. Iwata, and H. Nishikawa, “Low-Powered Self-Timed Pipeline with Variable-Grain Power Gating and Suspend-Free Voltage Scaling,”

### A.3 国内学会

Proceedings of the 2013 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA'13), pp.618–624, July 2013.

9. R. Taguchi, K. Miyagi, and M. Iwata, “Self-Timed Single Circular Pipeline for Multiple FFTs,” Proceedings of the 2013 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA'13), pp.625-630, July 2013.

### A.3 国内学会

1. 宮城桂，三宮秀次，岩田誠，西川博昭，“セルフタイム型パワーゲーティングによる超低消費電力パイプラインの検討，” VDEC デザイナーズフォーラム'09, June 2009.
2. 松田圭介，畠山博信，宮城桂，岩田誠，“セルフタイム型パイプラインにおける粒度可変型パワーゲーティングの検討” 電子情報通信学会基礎・境界ソサイエティ大会 2013, pp.46. Sept. 2013.