

DSP デジタル制御 POL における内蔵 ADC の特性評価と 最適な使用法

野崎幸弘 前川峻徳(新電元工業株式会社)
竹田史章(高知工科大学) 曾禰元隆(DSP 応用技術研究所)

Evaluation of ADC Embedded in DSP and
Optimal Way of Using for Digital Controlled POL

Yukihiro Nozaki, Michisato Maekawa(Shindengen Electric MFG.CO.,LTD)
Fumiaki Takeda(Kochi University of Technology)
Mototaka Sone(DSP Application Technology Lab.)

キーワード スイッチング電源, POL, デジタル制御, ADコンバータ, 負荷急変, 高速応答

<1> まえがき

近年、スイッチング電源のデジタル制御化が進みつつある。情報通信装置に対する給電システムの形態として、電圧を交流から直流へと変換するフロントエンドと呼ばれる電源から、降圧用の絶縁電源やバスコンバータを経て、ボード内に点在する末端の負荷へ電力が供給するケースが多い。装置内の最終負荷である大規模 IC は消費電流が著しく増加したため消費電力の増加が著しく、ボード上の寄生インピーダンスの影響を軽減させるため負荷近傍に専用に配置される電源 Point Of Load (以下 POL) は高効率高密度であることに加えて、上位 CPU から電源に対するパワーマネジメントと呼ばれる状態管理の要求が起きていることや、電源をプログラムによって差別化し、付加価値を与えることが、デジタル制御化に傾くことの主な理由である [1][2]。POL をデジタル制御で動作させるには、アナログ値である回路内の信号をデジタル値に変換する AD コンバータ (以下 ADC) の存在が必要不可欠である。負荷電流の変動に対する高速応答が要求される POL の主制御をデジタル制御によって実現するため、高速演算に優れた Digital Signal Processor (以下 DSP) を用いることが一つの実施方法であり、近年製造販売されている DSP のうち電源制御用途向けのものは、利便性を図るため周辺機能として ADC・PWM を同一のチップに収めるものが多いこともデジタル化の背景が整ったと言えよう [3]。

デジタル制御 POL のアルゴリズム開発を行うためには、制御 IC が小型であることに加え、高速 ADC と高精度 PWM を併せ持ち、かつプログラムによって高速処理を為す必要がある。以上の要件を満たすため制御 IC を選定した結果、TI 社のワンチップ DSP : TMS320F2808 (以下 F2808) を

使用することとした。F2808 はパイプライン型の 12 ビット ADC を 16 チャンネル持っており、内部の設定レジスタによってサンプルホールド回路の組み合わせや変換方法を変えることにより、アナログ信号を様々な形でデジタル値として取得することができる [4][5]。

F2808 は電源制御や計測用途として用いられるケースが多いが、デジタル制御 POL の制御アルゴリズム開発用に使用する場合、ADC が検出した値やフィルタ処理に対して、正確な値を反映して動作を行っているかの検証を行わねばならない。このため、F2808 が POL に実装されてデジタル制御を高速かつ安定に行うための前段作業として、内蔵する ADC に対して以下に挙げる三つの内容に関し検証をする必要があると判断した。一つ目はサンプリング速度に直接影響を及ぼす ADC の動作速度について、二つ目は ADC によって得られたフィルタ処理をするデータの移動平均の方法について、三つ目は制御量を演算するために用いるデータの取得タイミングについてである。

負荷の高速な変化により POL の出力電圧が変動することを抑え、安定した制御結果を得るためには、遅れ時間が小さく、かつ誤差の小さいデジタル値を用いて制御を行う必要がある。しかし、ADC の取得データ誤差が動作速度や動作電圧範囲によってどの程度なのかを明確に示した資料はメーカーから提供されているカタログからは見い出せない。本論文ではデジタル制御 POL の負荷急変に対する応答特性を上げるため、上記 3 つの要件について調査と検討を行った結果、開発した POL の主回路と外部変動に対する動作条件に対応した F2808 内蔵 ADC の変換速度と移動平均動作について、最適と考えられる設定を導き出した。その上で、制御量演算時の ADC データの取得タイミングを調整

し、負荷急変時の出力電圧の逸脱値を抑制した内容を報告する。

<2> ADC の実験装置及び方法

<2-1> F2808 の入力データ取得について

一般的に ADC はデータの変換方式により逐次比較型、パイプライン型、 $\Delta\Sigma$ 型、フラッシュ型に大別することができ、高速な AD 変換にはパイプライン型が適しているとされている[3]。F2808 内蔵の ADC はこのパイプライン型であり、DSP コアに供給されている 100MHz の水晶発振子を分周した CLK を基準として最速 160ns の速度で変換動作が行われるとされている。F2808 の ADC の動作は、サンプリング→AD 変換→メモリ書き込みの順であり、理論上 ADC の CLK 速度が高いほど、アナログ信号に対する遅れ時間は小さいはずである。しかし、F2808 を POL の制御として使用した場合、負荷急変に対して出力電圧の変動を抑えて安定した制御結果を得るためには、ADC の取得データ誤差を明らかにし、遅れ時間と誤差が小さいことを両立して用いる必要がある。以下、ADC 変換結果の誤差について以下、実際に評価を行う。

<2-2> ADC 入力データの精度と CLK 速度の選択

図 1 に ADC による取得データ誤差の測定方法を示す。

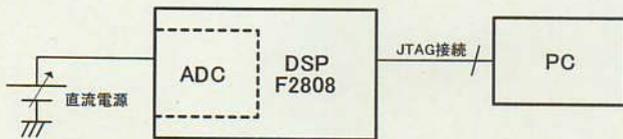


図 1 ADC 取得データ誤差の測定環境

F2808 を 100MHz の CLK で動作させた場合、ADC を最速 12.5MHz の速度で動作させることが可能であるが、この ADCCLK 周波数は F2808 のコントロールレジスタの設定により変更が可能であり、10MHz、8.33MHz、7.14MHz、6.25MHz と設定することが可能である。ADC の入力において一定の直流電圧を印加し、2 μ s 毎に連続して 1000 ポイントのデータを PC 上のプログラム開発環境にて取得する (2 μ s は 4 章以降の実験で用いる POL のスイッチング周期であり後述する)。そして、得られたデータに対して誤差の度合いを見るため標本分散解析を行った。同様に ADC に入力されている直流電圧の値を変え、誤差の変化を調べた。図 2 に ADC の動作 CLK 周波数ごとの入力電圧に対する誤差の標本分散をとった特性を示す。

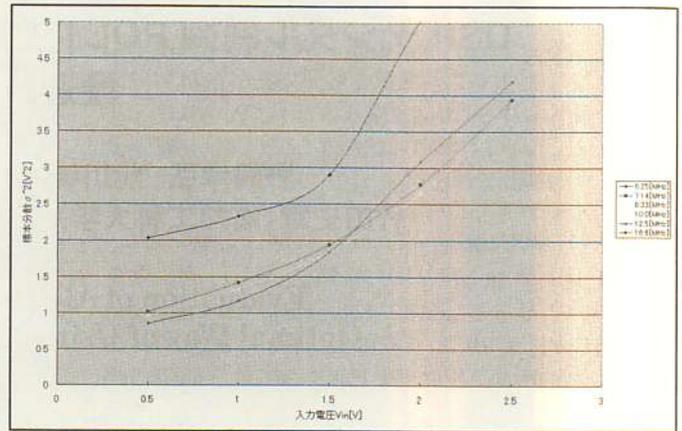


図 2 ADC のデータ標本分散

図 2 より ADC の CLK 周波数が 6.25MHz の場合、他の特性と比較すると特に誤差が大きいたことが分かる。また他の特性について見ると、全体的に入力電圧が大きくなるにつれ誤差が大きくなること分かる。特に ADC の CLK が最速の 12.5MHz 時には、誤差の増え方がやや大きいたことが分かる。

<2-3> POL における ADC 最適利用方法

図 1 の結果のみでは、CLK 周波数は 12.5MHz でよいという判断になるが、より正確に誤差の正規分布を調べるため、入力電圧ごとに誤差の正規分布を描画した。測定は入力電圧を 0.5V から 2.5V まで 0.5V 刻みに変化させて行った。なお、0V と ADC 定格値である 3V は動作範囲外であることに加え、ADC の入出力特性が非線形な領域で誤差が大きくなるため測定の対象から除外した。図 3 に ADC の入力が 0.5V、図 4 に入力 1.5V、図 5 に入力 2.5V での誤差分布図をそれぞれ示す。図 3、4、5 とも図 1 の標本分散と同様に各 CLK 周波数に対する測定ポイント数は 1000 で、それぞれの平均値に対する取得したデジタル値との差を分布にして示している。

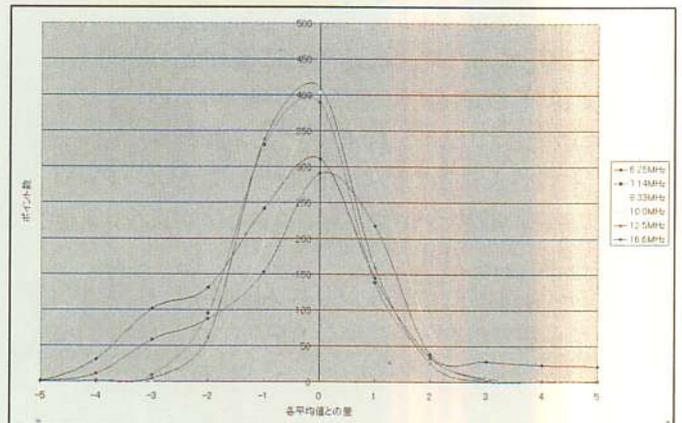


図 3 ADC のデータ誤差分布(入力 0.5V)

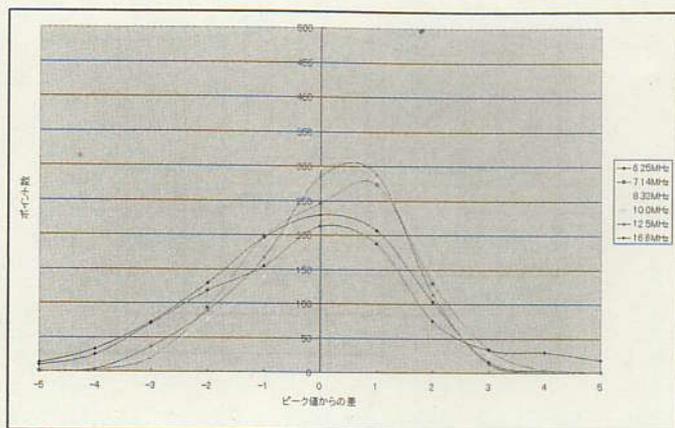


図4 ADC のデータ誤差分布(入力 1.5V)

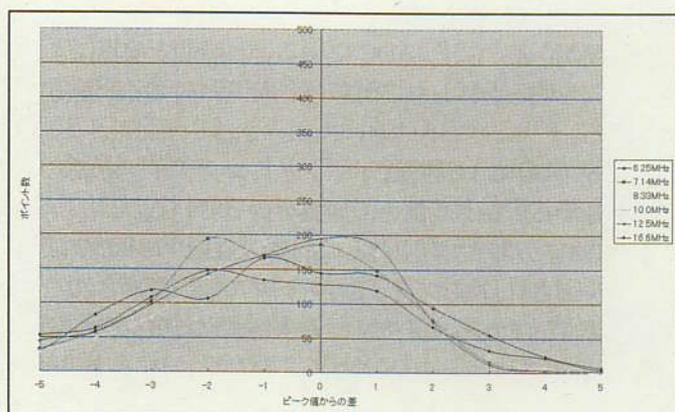


図5 ADC のデータ誤差分布(入力 2.5V)

図中では規格値をオーバーしたCLK周波数16.6MHzについても示しているが、NGであることは明らかである。なお、16.6MHzの特性は図2において示されていないが、グラフから遙かにはみ出しているため対象外としている。

図3の入力0.5Vの場合、CLK周波数10MHzが最も良い形の正規分布を示しており、また図4より入力電圧を上げるにつれ分布が全体的に潰れていくのが分かる。そして入力2.5Vである図5では、10MHzと8.33MHzの特性がかるうじて正規分布の形を保っている。これら図3から図5の流れは、図1の特性をそのまま表していると言える。誤差分布を見る限り、ADCのCLK周波数は10MHzもしくは8.33MHzが良いようだが、遅れ時間として及ぼす影響を考えると10MHzの方が望ましい。

以上の結果から、ADCのCLK周波数は10MHzとしプログラム中で設定することとした。

<3> データの移動平均

電源の出力信号はリプルにスイッチングノイズが重畳されていることに加え、負荷変動時には出力コンデンサと電

源出力ラインに存在する寄生インダクタンスの影響で大きなノイズが発生する。このため電源が安定した動作を保つにはプログラムによって移動平均フィルタを構成することが望ましいが、遅れ時間と誤差を考慮して適切な平均数にすることが求められる。また、F2808は順次サンプリングしたデータをパッケージしてAD変換するラッピングモードが用意されており、これについても検討する必要がある。

<3-1> プログラムによる移動平均

POLの出力電圧信号にはノイズが含まれているため、誤動作を避けて安定した制御を実現するべく、プログラムによる移動平均フィルタを組み込む手法をとる。ADCのデータ更新周期は、CLK周波数が10MHzの場合200nS毎と比較的高速であるため、平均動作を行ってもPOLのスイッチング周波数が500kHzであれば、移動平均が全体に及ぼす遅れの影響は少ないと判断する。

移動平均による影響の度合いを評価するにあたり、その数を1, 2, 4と定めた。なお1の場合は平均動作は無く、ADCのデータがそのまま制御演算で使われる。“4”の場合、データの更新周期ごとに順次F2808コアのメモリに書き込まれるデータを4つ全て加えてから4で割り(実際のプログラムでは2ビット右シフト)演算で用いる。移動平均を評価するため、データはPOLを非制御(固定のデューティ)で動作させて取得し、各移動平均で得られたデータの最も多い値を中心に置いて誤差分布をとった。図6にその結果を示す。

図6よりADC2:移動平均2の場合が最も正規分布の形に近いことが分かる。すなわち移動平均2は移動平均4に対して誤差と遅れ時間が少なく、また移動平均なしと比較すると当然のことながら誤差が小さい。

以上より、本論文で使用するPOLの制御に適したADC

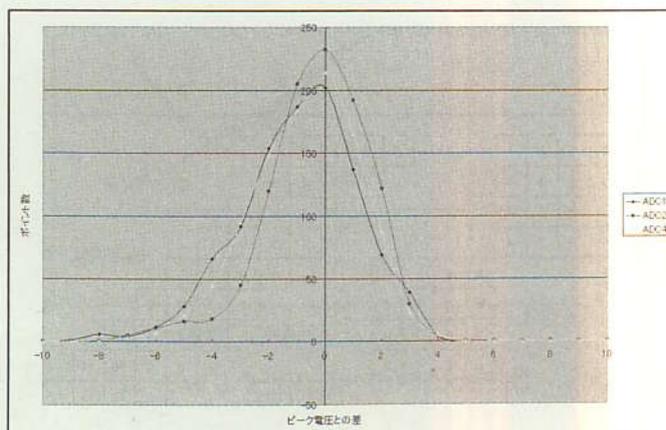


図6 移動平均のデータ誤差分布

の取得データに対する移動平均個数は2である判断しプログラム中で設定することとした。

＜3-2＞ ADC のラッピング動作

F2808 の ADC には、順次サンプリングしたデータをバケージ状にして AD 変換するラッピングモードと呼ばれるモードがある。このラッピングモードを使えば＜3-1＞項で述べたプログラムによる移動平均とは異なり、ハードウェア任せの平均データが取得できる。図7にラッピングモードによる4データを移動平均した場合の概念図を示す。

図7の左側がラッピングモードで移動平均を行った場合のDSPが取得するデータの流れて、右側が通常の移動平均を行った場合のデータの流である。#1～9はADCのデータ更新時系列を表す。ラッピングモードが無い場合は通常の移動平均が成され、データ更新が行われるたびに平均されるデータの内容が変わる。これに対してラッピングモード有りでは、4つの新しいデータが全て揃った状態で初めて移動平均の値が変化する。すなわち、ラッピングモードは遅れ時間が増すのみで、高速応答に対して貢献要素が無いことが分かった。

以上の理由により、移動平均はADCの取得データを足してシフトするプログラム処理のみとし、ラッピングモードは使用しない事とした。

＜4＞ 実験結果・検討

本論文で使用したデジタル制御 POL は固定スイッチング周波数動作であり、制御結果がデューティとして反映されるのは制御量を演算した周期に対し、次の周期となる。このため、POLの応答性を上げるには制御演算をなるべく次周期に近付けるべくADCから取得するデータのタイミングを調整し、遅れ時間を減らす工夫が求められる。

F2808 に実装されたプログラムは、制御量の演算を開始する際にADCからメモリに書き込まれたデータを読み込むが、制御演算のスタートが次周期から遠いと、演算で扱

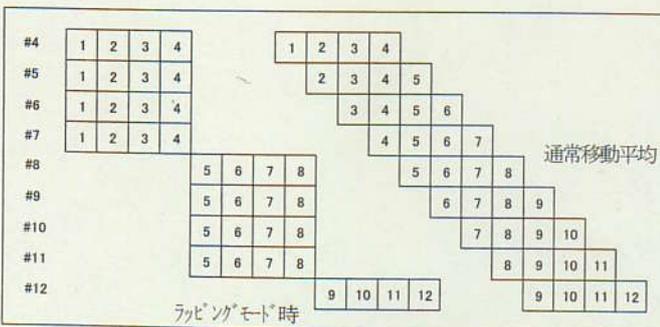


図7 ラッピングモードの概念図

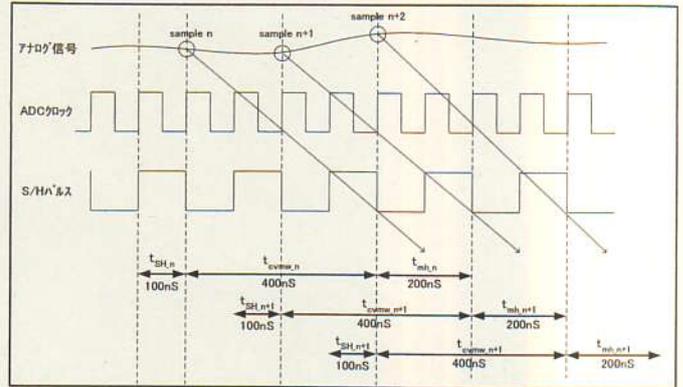


図8 F2808ADC タイミングチャート

う取得データも次周期から遠くなり、結果として遅れ時間が増大する。さらに、ADCによる遅れ時間も考慮に入れておく必要がある。以下、ADCによる遅れ時間と演算による遅れ時間を明らかにし、これら遅れ時間に対する改善方法を述べる。

F2808 の ADC は図8に示すタイミングチャートでアナログ信号からデジタル値への変換を行っている。

入力されたアナログ信号は t_{SH} 幅の S/H パルスでサンプルホールドされ、次の $t_{cvmw,n}$ でデジタル値に変換されてメモリに書き込まれる。メモリに書き込まれたデジタル値は次の $t_{mh,n}$ の間、ホールドされる。なお、＜2＞の解析結果より、ADC CLK は 10MHz に設定されて動作する。カタログ上ではADCの動作CLKが10MHzであれば遅れ時間は200nSと考えがちであるが、実際のADCの遅れ時間は、

$$t_{ADdelay} = t_{SH} + t_{cvmw,n} + t_{mh,n} \quad (1)$$

となる。このためADCの遅れ時間は、DSPのメモリに対するアクセスタイミングによっても変わるが、最短で500nS、最長で700nSにおよぶ場合があると推測できる。上記(1)式の遅れ時間はADCを連続動作モードで動かした場合に適用できるが、SOC(Start of conversion)やEOC(End of conversion)による同期を用いた動作モードの場合は、さらに遅れ時間が増すために注意が必要である。

デジタル制御によるPOLの制御演算は、電源主回路のメインスイッチ素子をオン/オフする信号であるデューティの幅を計算することに他ならない。制御演算をデューティの立ち上がり、すなわちスイッチング周期の開始時にスタートさせた場合のタイミングチャートを図9に示す。

制御演算がスタートする際にDSPは、メモリからADCによってデジタル値として取得したPOLの出力電圧値を読み込む。メモリから読み込まれた出力電圧値は前述した遅れ時間を含んでいる。PWMキャリアに対する閾値CMP

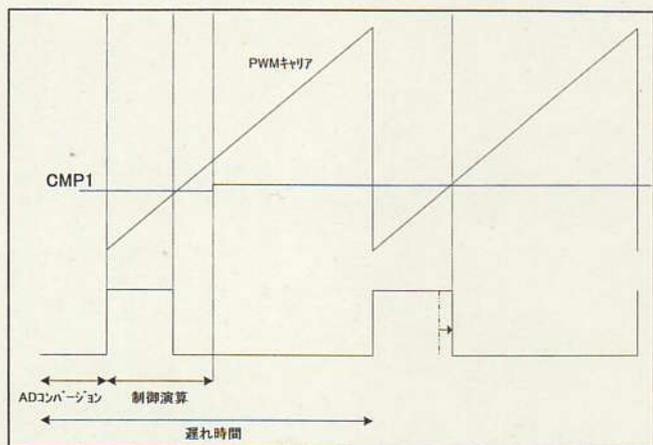


図9 制御演算とデューティのタイミングチャート (その1)

1 は演算処理の終了と同時に変更されるが、デューティの変化として反映されるのは次周期からとなる。このため、実際の遅れ時間は スイッチング周期を上回る大きな値となってしまう、POL の応答性能を落とす結果となる。

遅れ時間を短縮させるべく、図 10 に示すような演算開始タイミングをずらすための閾値を新たに設けた。図 10 における閾値 CMP2 が制御演算の開始タイミングとなる。演算開始タイミングが次周期に近付くことで、遅れ時間が短くなっていることが図から読み取れる。CMP2 の値は制御プログラムにおいて変更が可能であり、ターゲットとなる POL の入出力電圧や主回路の条件によって調節することができる。

本論文にて検討してきた内容を POL 上の F2808 に実装されたプログラムに反映した。ADC の CLK 周波数は 10MHz、移動平均は 2 とした上で、前述した閾値 CMP2

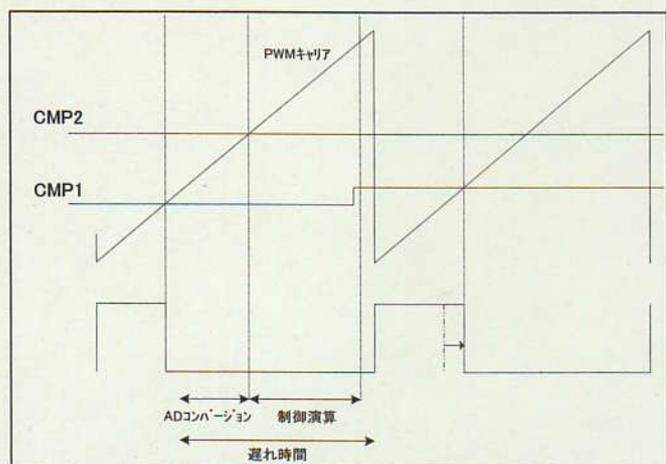


図 10 制御演算とデューティのタイミングチャート (その2)

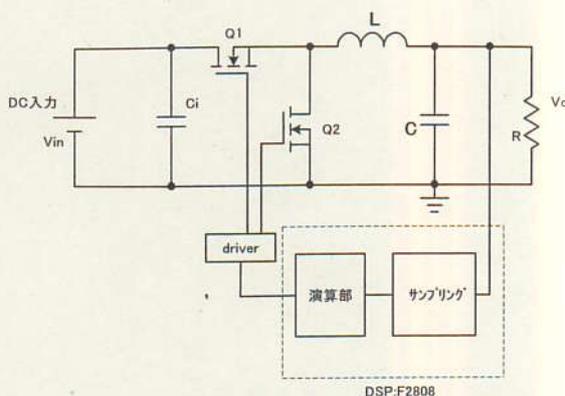


図 11: デジタル制御 POL の基本回路図

を変化させると、POL の負荷急変特性がどのように改善したかを実験によって得られた波形で示す。ここで、実験で用いた POL の回路図を図 11 に示す。

POL は入力電圧 12V、出力電圧 1V でスイッチング周波数は 500KHz である。主回路のインダクタは 0.5uH、コンデンサは 282uF である。POL の出力電流を無負荷から 5A まで 10A/uS の速度で増加させた際の出力電圧の拡大波形を図 12 に示す。

図 12 より、制御演算開始タイミングである閾値 CMP2 を 0→35→70 と変化させると共に、出力電圧の落ち込みが徐々に小さくなっていくのが分かる。次に POL の出力電流を 5 A から無負荷まで 10A/uS の速度で減少させた際の出力電圧の拡大波形を図 13 に示す。

負荷急増と同様に負荷急減の場合も CMP2 を 0→35→70 と変化させると共に、出力電圧の跳ね上がりが徐々に小さくなっていくのが分かる。図 12 と図 13 の実験結果より、プログラムの動作処理を改善し演算処理開始タイミングを調

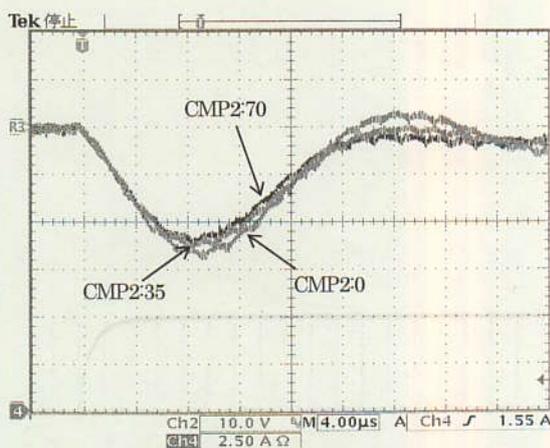


図 12 CMP2 の値に対する負荷急増特性 (CH2:Q1 ゲート, CH4:出力電流)

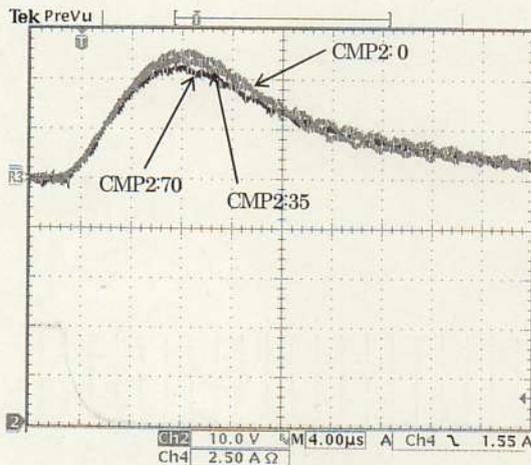


図 13 CMP2 の値に対する負荷急減特性
(CH2:Q1 ゲート, CH4:出力電流)

整することで、制御処理の遅れ時間が減り、応答性能が改善することが分かった。

< 5 > まとめ

本論文では、高速負荷変動に対応したデジタル制御 POL にて用いた DSP: F2808 に内蔵されている ADC について、動作 CLK 速度と取得データの誤差を標本分散と誤差分布の手法を用いて評価した。その結果、POL の動作に対して最も安定でかつ高速性を失わない CLK 速度を見出した。同様に、取得したデータに対する移動平均数についても、適正と考えられる数値を得ることができた。

デジタル制御の演算処理においては、ADC を経てメモリに格納されるデータを読み込む際には、プログラム中に新たに設けた閾値によってデータを取得するタイミングを調整することで遅れ時間を短縮し、負荷急変特性を向上させた例を実験データによって示した。

今後は、本論文で報告したデータ処理方法を基礎として制御面についての調査を行い、DSP デジタル制御によるさらなる高速応答制御の実現を図る予定である。

参考文献

- [1] Linnea Brush, "Trends in Digital Power Management: Power Converter and System Demand Characteristics" APEC2005
- [2] Robert V. White, "Digital Power System Management" Artesyn Technology, APEC2005
- [3] トランジスタ技術 2006 年 12 月号 P100-140
- [4] TMS320x280x DSP Analog-to-Digital Converter(ADC) Reference Guide / TEXAS INSTRUMENTS SPRU716B / Oct 2005
- [5] An Overview of Designing Analog Interface with TMS320x28xx/28xxx

著者紹介

野崎 幸弘 (正会員)



1987 年 3 月東京電機大学電気工学科卒業。同年 4 月新電元工業入社。システム製品の開発設計を担当し、その後回路技術の研究開発職に従事、現在に至る。電気学会会員。

前川 峻徳



2007 年 3 月武蔵工業大学大学院工学研究科電気工学専攻修士課程修了。同年 4 月新電元工業入社。回路技術の研究開発職に従事、現在に至る。

竹田 史章 (正会員)



'94 徳島大大学院工学研究科博士後期課程修了。'84 豊田中央研究所、'86 グローリー工業㈱。現在、高知工科大教授。工博。現在、自己学習型知的貨幣識別手法の研究とその実システムへのインプリメンテーションの研究、生体情報を用いた個人認証システムの研究とそのプロトタイプの開発、ニューラルネットワークを用いた画像認識による食事摂取状態のレベル分類システムの研究と開発、紙幣の汚れ・劣化メカニズムの解析とモデリングおよびその判定システム構築の研究に従事。日本機械学会関西支部賞(研究賞)、計測自動制御学会論文賞、高度自動化技術振興財団研究業績表彰(本賞)、新技術開発財団市村学術賞(功績賞)、システム制御情報学会産業技術賞受賞、日本機械学会、電気学会、計測自動制御学会、IEEE、システム制御情報学会、情報処理学会、電子情報通信学会会員

曾禰 元隆 (正会員)



昭 40 武蔵工大・電気卒。昭 43 同大学大学院修士課程修了。平 2 年 4 月同教授。平 19.3 定年退職。同年 3 月株 DSP 応用技術研究所設立。代表取締役。工学博士。主として有機絶縁破壊機構、気体放電現象、電力系統における高速演算、ニューラルネットワーク、ファジィの電力への応用、DSP の研究に従事。電気設備学会、電気学会、IEEE、計測自動制御学会各会員。