

修 士 論 文

Nauta OTA を用いた $\Delta\Sigma$ 変調器の設計と評価

Design and Evaluation of Delta-Sigma Modulator
using Nauta OTA

報 告 者

学籍番号: 1205066

氏名: 岡崎 泰士

指 導 教 員

橘 昌良 教授

平成 30 年 2 月 12 日

高知工科大学 大学院工学研究科

基盤工学専攻 電子・光システム工学コース

目次

| | |
|--|----|
| 序章 | 1 |
| 第 1 章 $\Delta\Sigma$ 変調器の原理と動作..... | 2 |
| 1.1 量子化雑音とオーバーサンプリング | 2 |
| 1.2 $\Delta\Sigma$ 変調器の原理とノイズシェーピング | 3 |
| 第 2 章 Nauta OTA を用いた $\Delta\Sigma$ 変調器..... | 5 |
| 2.1 Nauta OTA の概要..... | 5 |
| 2.2 使用した Nauta OTA | 7 |
| 2.3 積分器..... | 9 |
| 2.4 スイッチ回路..... | 9 |
| 2.5 コンパレータと量子化器 | 10 |
| 2.6 多段 INV | 12 |
| 2.7 単電源と 2 電源 | 13 |
| 2.8 設計した 4 つの $\Delta\Sigma$ 変調器とレイアウト..... | 13 |
| 第 3 章 $\Delta\Sigma$ 変調器のシミュレーションと実測 | 18 |
| 3.1 シミュレーションと実測の条件 | 18 |
| 3.2 測定用基板と実測風景..... | 19 |
| 3.2 回路①のシミュレーションと実測..... | 21 |
| 3.3 回路②のシミュレーションと実測..... | 23 |
| 3.4 回路③のシミュレーションと実測..... | 25 |
| 3.5 回路④のシミュレーションと実測..... | 27 |
| 3.6 考察 | 28 |
| 第 4 章 まとめ | 30 |
| 謝辞 | 31 |
| 参考文献 | 32 |

序章

大規模集積回路 LSI(Large Scale Integrated Circuit)は、多くの電子機器に組み込まれている。その内部で扱われる信号のほとんどは 0/1 のデジタル信号で、私たち人間がそのまま理解するには難しい情報である。逆にデジタル信号を扱う回路にとって、連続的な変化をするアナログ信号が難解なものとなる。そのため連続的なアナログ信号を不連続なデジタル信号へと変換することができる ADC (アナログ・デジタルコンバータ)が必要とされる。ΔΣ 変調器は ADC に使われる回路の 1 つで、音という人間の五感の 1 つ、聴覚で処理する信号を 1bit のデジタル信号に変換できる回路である。もう少し詳しく説明すると入力信号の振幅に比例した密度のパルス列を出力する回路である。

橘研究室ではこの ΔΣ 変調器の設計を行ってきた。先行研究では 1 次の ΔΣ 変調器を使用し、オーバーサンプリング 128 倍で S/N 比 (信号対雑音比)を理論値で 60[dB]得る事を目標としてきた。そのオーバーサンプリングを先行研究の倍の 256 倍にすることで、S/N 比を理論値で 69[dB]得ることができる。本研究の目的は 256 倍のサンプリングを実現するために、利得は一般の OP アンプほど高くないが、回路構成が単純な上、高周波帯域でも安定して動作する Nauta OTA[1]を用いて ΔΣ 変調器の設計と評価を行うことである。

本論文は、全 5 章で構成されている。第 1 章は ΔΣ 変調器の原理と動作、第 2 章は Nauta OTA を用いた ΔΣ 変調器、第 3 章は設計した ΔΣ 変調器の測定結果、第 5 章に考察、第 6 章にまとめを述べている。

尚、本研究は VDEC (東京大学大規模集積システム設計教育センター)を通し、シノプシス株式会社、日本ケイデンス株式会社及びメンター株式会社の協力で行われたものである。また、本チップ試作は VDEC を通し、ローム株式会社及び凸版印刷株式会社の協力で行われたものである。

第 1 章 $\Delta\Sigma$ 変調器の原理と動作

本章では $\Delta\Sigma$ 変調器の原理と動作について説明する． $\Delta\Sigma$ 変調器は簡略化すると加算器，積分器，量子化器で構成される．1.1 節では量子化雑音とオーバーサンプリング，1.2 節では $\Delta\Sigma$ 変調器の原理とノイズシェーピングについて述べる．

1.1 量子化雑音とオーバーサンプリング

量子化器は入力したアナログ信号に対応したデジタル信号を出力する．図に n -bit の量子化器の伝達曲線を示す．しかし，連続したアナログ信号に対して，デジタル信号は不連続なので，出力の信号に誤差を持った領域がある．例えば，入力のアナログ信号が 1.3 の場合，出力のデジタル信号は 1 となる．このような信号伝達における雑音を量子化誤差という．図 1.2 に図 1.1 の量子化雑音の伝達曲線を示す．デジタル出力と入力との差が大きくなるほど，量子化雑音も大きくなる．[2]

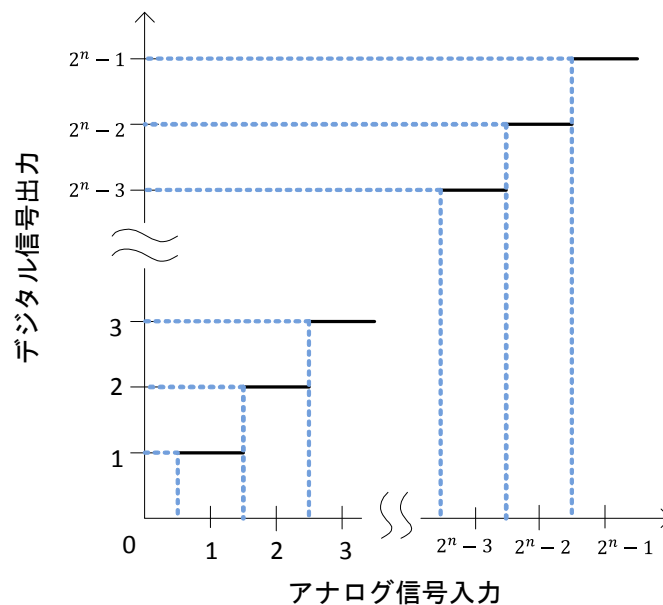


図 1.1 : n -bit 量子化器の伝達曲線[3]

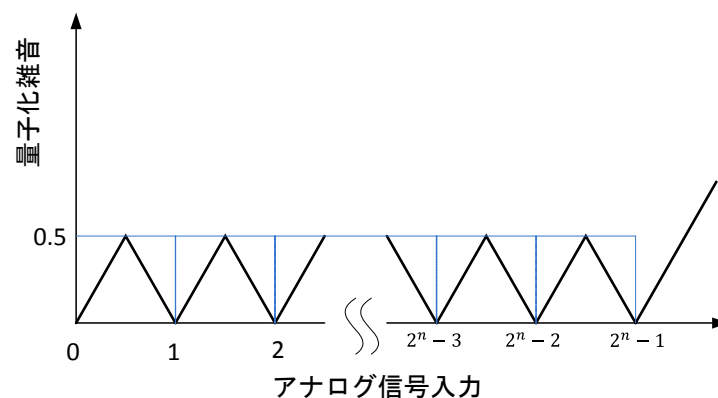


図 1.2 : 量子化雑音の伝達曲線[3]

次にオーバーサンプリングについて説明する．オーバーサンプリングとは，本来のサンプリング周波数(ナイキスト周波数の 2 倍の周波数)の整数倍高い周波数を用いてサンプリングを行う事である．オーバーサンプリングの利点は，サンプリング周波数を大きくすることで，信号帯域の量子化雑音を低下出来ることである．

図 1.3 にオーバーサンプリング効果の概念図を示す．量子化雑音はサンプリング周波数にかかわらず一定の雑音量をもつ．オーバーサンプリングしても，雑音の量は一定である．つまり，オーバーサンプリング周波数の帯域内で積分した量子化雑音量は，オーバーサンプリングした前と後で同じ結果になる．なので，必要とする信号帯域内で考えると，オーバーサンプリングをすることで雑音が低下する．[2]

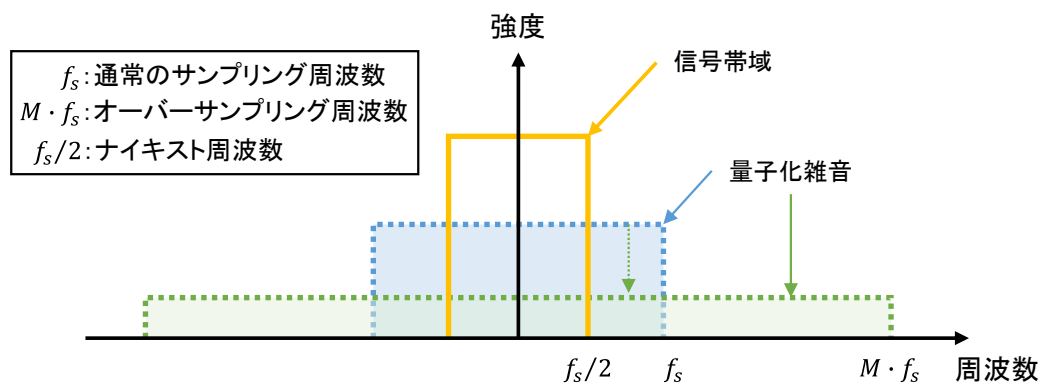


図 1.3 : オーバーサンプリング効果の概念図

1.2 ΔΣ 変調器の原理とノイズシェーピング

ΔΣ 変調器とは入力を，ノイズシェーピングされたスペクトルをもち，荒く量子化された出力に変換するシステムである．その特徴から AD 変換器等に用いられる．積分器と量子化器，加算器をもつ ΔΣ 変調器の基本的な構成を図 1.4 に示す．積分器にはアクティブローパスフィルタを用いた．

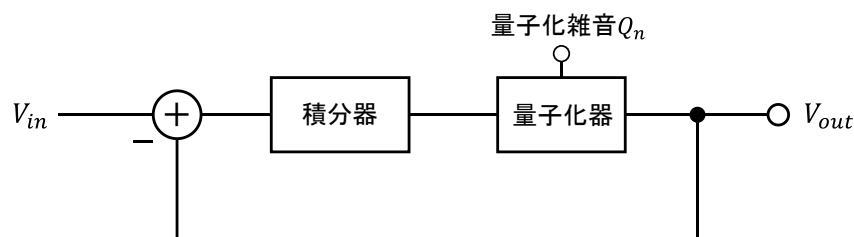


図 1.4 : ΔΣ 変調器の基本構成

図 1.5 に連続時間における 1 次の ΔΣ 変調回路の基本構成を示す．このときの入出力伝達関数を式 1.1 に示す．式 1.1 を解くと式 1.2 のようになる．次に $R_1 = R_2 = R$ とすると，式 1.3 が得られる．式 1.3 より，第 2 項は量子化ノイズ Q_n の影響が出力端子では $\left(1 + \frac{1}{SCR}\right)^{-1}$ 倍になることを示す．

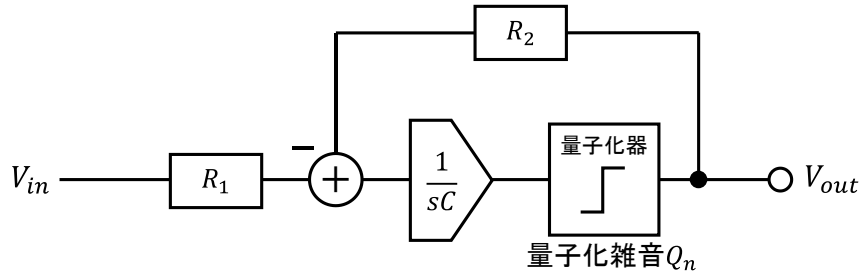


図 1.5 : 1 次の $\Delta\Sigma$ 変調回路の基本構成

$$V_{out} = \frac{1}{sC} \left(\frac{V_{in}}{R_1} - \frac{V_{out}}{R_2} \right) + Q_n \quad (1.1)$$

$$V_{out} = \frac{V_{in}}{\left(1 + \frac{1}{sCR_2}\right)sCR_1} + \frac{1}{\left(1 + \frac{1}{sCR_2}\right)} Q_n \quad (1.2)$$

$$V_{out} = \frac{V_{in}}{(1 + sCR)} + \frac{1}{\left(1 + \frac{1}{sCR}\right)} Q_n \quad (1.3)$$

次にノイズシェーピングの詳細を示すために、1 次の $\Delta\Sigma$ 変調器の量子化ノイズの伝達関数 $\left(1 + \frac{1}{sCR}\right)^{-1}$ の周波数特性について考える． $s \rightarrow j\omega$ にすることで周波数領域に変換した場合、周波数成分 ω が小さくなるほど $\left(1 + \frac{1}{sCR}\right)^{-1}$ は 0 に近似出来る．よって、図 1.6 のように、雑音成分は低周波の帯域ほど小さくなり、高帯域にノイズが移動するようになる．これが $\Delta\Sigma$ 変調器独自のノイズを抑える方法としてのノイズシェーピングである．理論値では 20[dB/dec] のノイズシェーピング効果を得られる．[2]

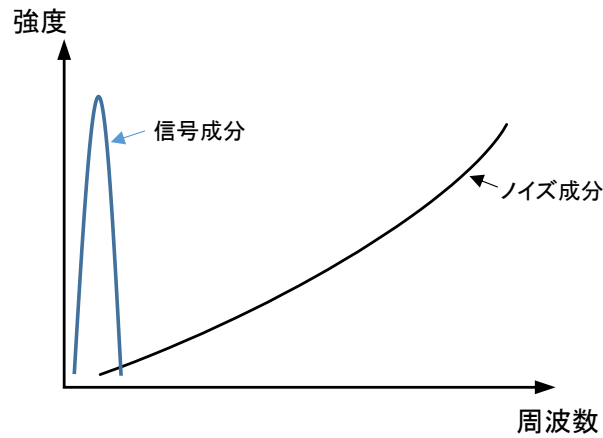


図 1.6 : ノイズシェーピング効果

第2章 Nauta OTA を用いた $\Delta\Sigma$ 変調器

本章では Nauta OTA を用いた $\Delta\Sigma$ 変調器について説明する．2.1 節，2.2 節では Nauta OTA について，それ以降の節では今回設計した $\Delta\Sigma$ 変調器の要素回路について述べた．今回設計した要素回路は積分器，スイッチ回路，量子化器，出力負荷である．回路設計は日本ケイデンス・デザイン・システムズ社 Virtuoso ver 6.1.7，シミュレーションは Synopsys 社 HSPICE を用いた．

2.1 Nauta OTA の概要

Nauta OTA は University of Twente の Dr. B.Nauta(Bram)が製作した OTA である. OTA とは **operational transconductance amplifier** の略で, 入力電圧に比例した電流を出力する回路である. 変換係数を G_m , 入力電圧を V_{in} , 出力を I_{out} とすると, 式 2.1 になる. 図 2.1 に OTA の動作原理を示す[4].

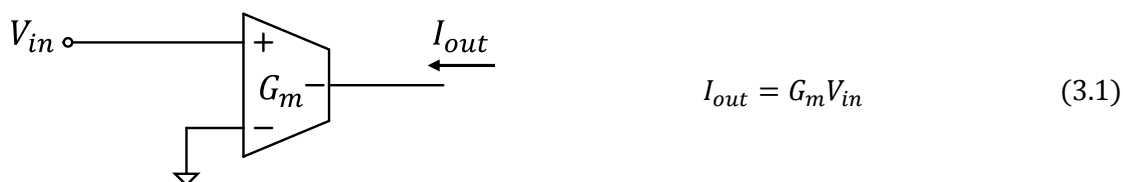


図 2.1 : OTA の動作原理

次に、図 2.2 に Nauta OTA の回路図を示す. Nauta OTA は 6 つの CMOSINV (インバータ) で構成され、上記の 2 入力 1 出力の OTA を 2 入力 2 出力した、全差動回路的 OTA となっている[1].

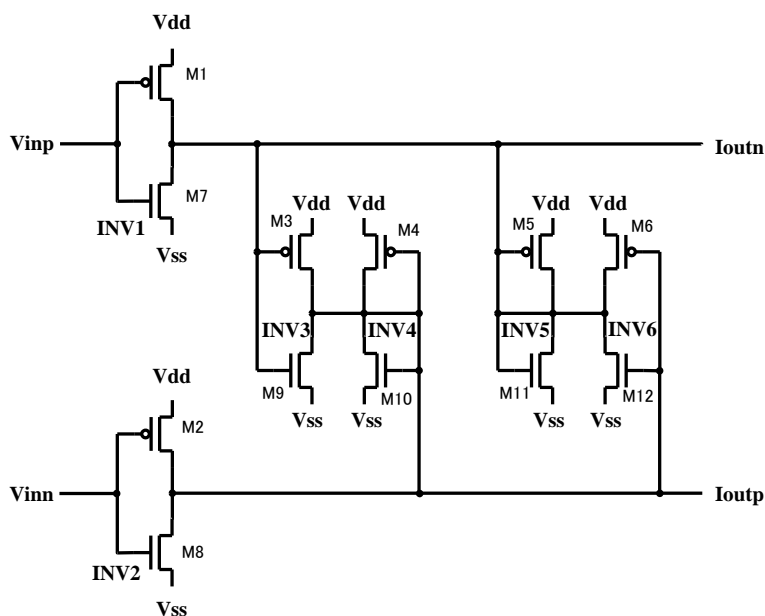


図 2.2 : Nauta OTA の回路図[1]

図 2.2 の Nauta OTA において、INV4, INV5 は入出力がショートしており、図 2.3 に示すように二つの抵抗とみなすことができる。また、簡略化した Nauta OTA の回路図を図 2.4 に示す。

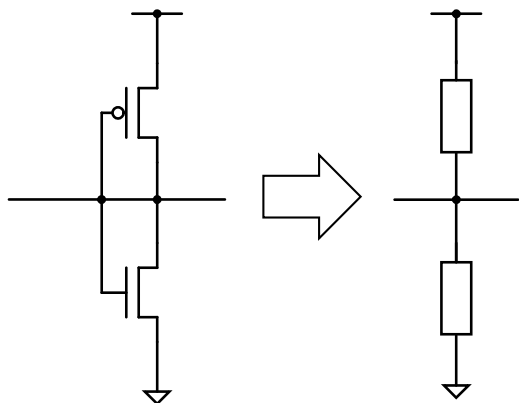


図 2.2 : 抵抗とみなす INV

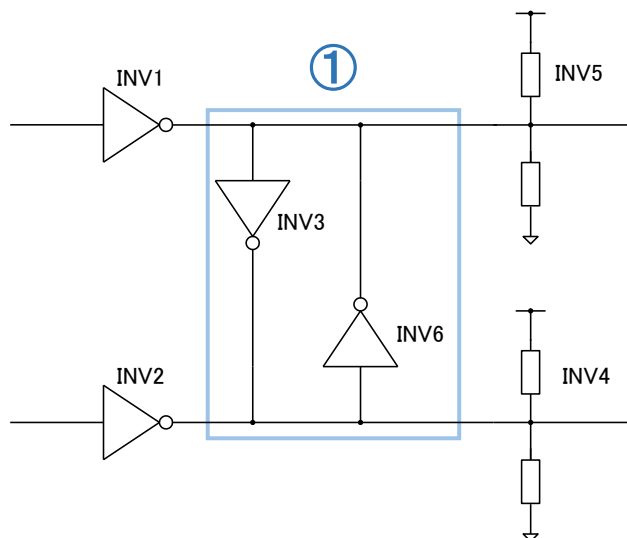


図 2.3 : 簡略化した Nauta OTA

図 2.3 に示す①は INV のループ回路を示している。このループ回路は INV のみで構成されたフリップ・フロップ回路であり、図 2.4 のような動作をする。縦軸は INV の出力で H(high), 横軸は L(low) をあらわしており、グラフ内の折れ線はフリップ・フロップ回路の状態を INV3, 6 の出力で構成している。図 2.4 より、このフリップ・フロップ回路は(1)H の状態、(2)L の状態と(3)出力が常に変化する状態の 3 つの状態が存在する。フリップ・フロップ回路は 2 つの INV の出力が交わる点(1), (2), (3)の状態で安定する。

Nauta OTA は、図 2.4 の(3)の状態を入力信号を増幅するため、H か L で出力が安定しないように、INV4, 5 の抵抗でフリップ・フロップ回路の動作を抑える。それにより、図 2.5 のように動作が変化し、図 2.4 の(3)の状態に近づき、増幅動作を行いやすくする。また、INV4, 5 が分圧し、出力の直流成分を一定化するので、全差動回路に必要なとされるコモン・モード・フィードバック回路が必要なくなる。

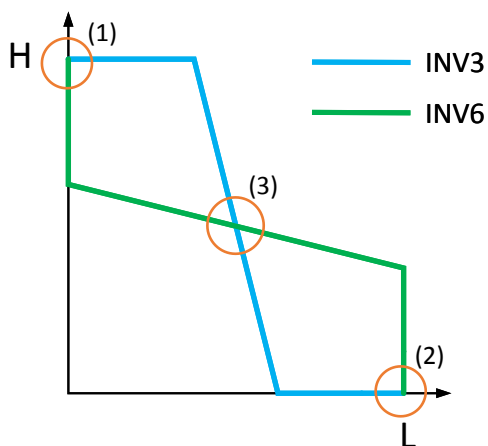


図 2.4 : INV ループ回路の動作

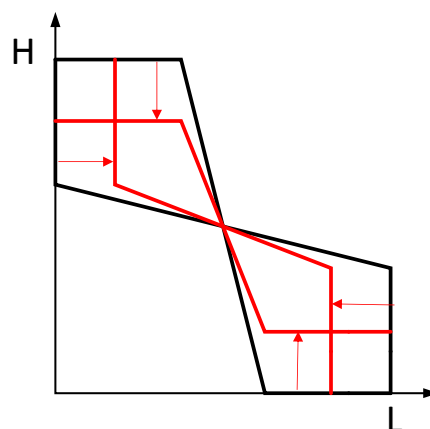


図 2.5 : INV4, 5 付ループ回路の動作

2.2 使用した Nauta OTA

表 2.1：先行研究のパラメータ ($L = 0.36[\mu\text{m}]$)7

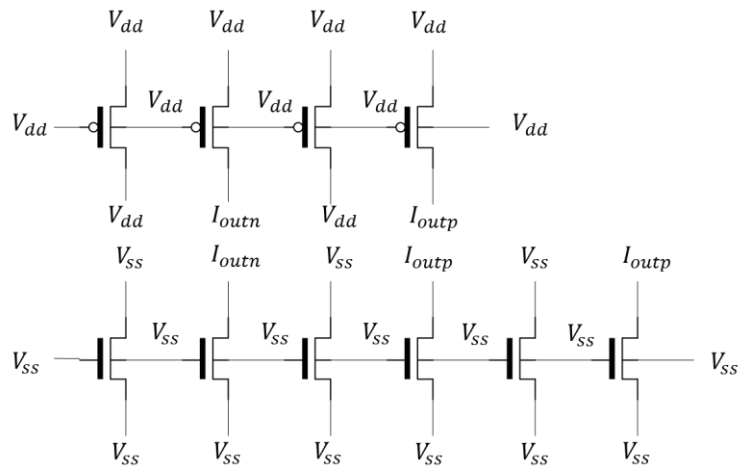


図 2.7(a) : V_{inp} 側のダミーパターン[5]

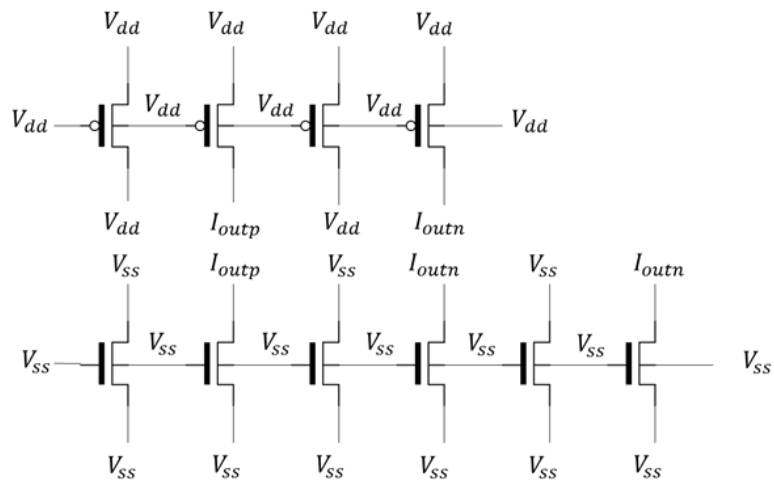


図 2.7(b) : V_{inn} 側のダミーパターン [5]

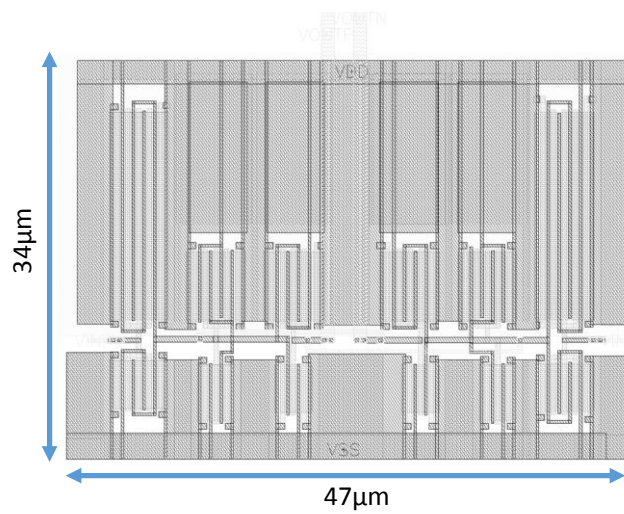


図 2.8 : 先行研究のレイアウト

2.3 積分器

今回設計した積分器は Nauta OTA を用いたローパス・フィルタであり，図 2.9 に回路図を示す．抵抗やキャパシタのパラメータに関しては表 2.2 に示す．

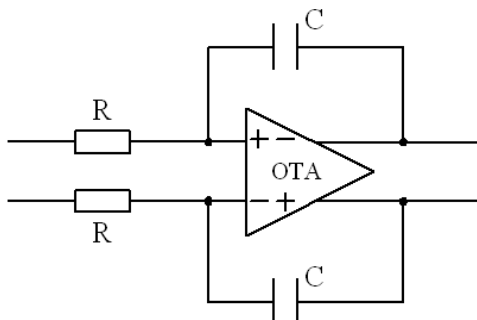


図 2.9 : Nauta OTA を用いた積分器

表 2.2 : 積分器のパラメータ

| 項目 | 値 |
|----|------------------|
| R | 100[k Ω] |
| C | 8.0[pF] |

2.4 スイッチ回路

今回設計した $\Delta \Sigma$ 変調器では，DAC 部分のバイアスを外部から入力するように設計を行った．量子化器の出力からフィードバックされる H と L の出力に合わせて，DAC の出力を変化できるように，CMOS スイッチを使用した．図 2.10 に CMOS スイッチの回路図，表 2.3 に各パラメータ，図 2.11 にそのレイアウトを示す[7]．

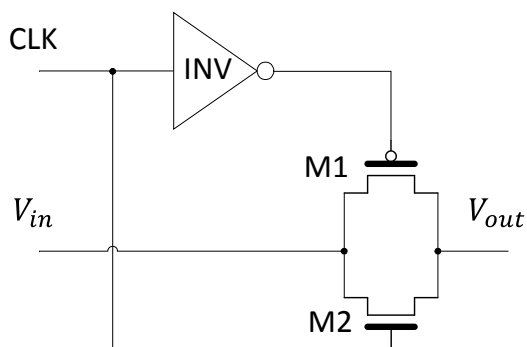


図 2.10 : CMOS スイッチ回路

表 2.3 : CMOS スイッチの各 W/L 比($L = 0.18[\mu\text{m}]$)

| | | |
|--------------|------|----|
| MOSFET | M1 | 22 |
| | M2 | 11 |
| INV 内 MOSFET | PMOS | 19 |
| | NMOS | 11 |

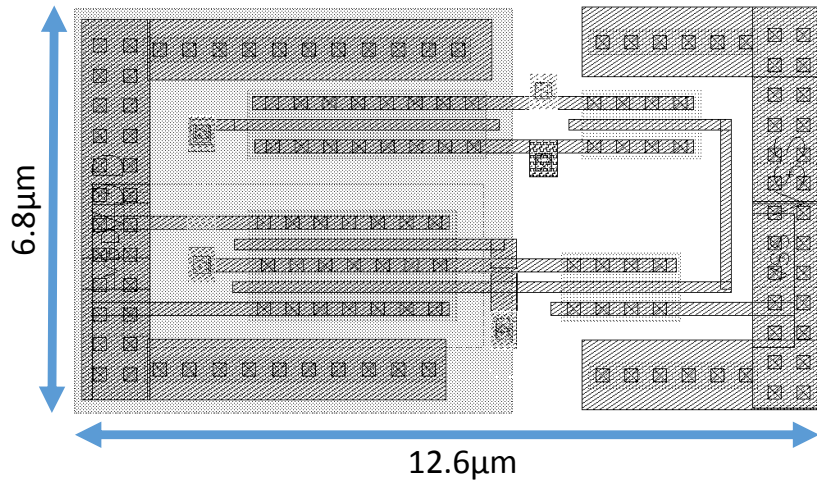


図 2.11 : CMOS スイッチのレイアウト

2.5 コンパレータと量子化器

今回使用した，量子化器は内部にダイナミック型コンパレータと INV，SR ラッチで構成される．図 2.12 に量子化器の回路図，表 2.14 に各パラメータ，図 2.13 にレイアウトを示す．本研究では，オーバーサンプリングを行うので，高速な動作でも安定して出力の得られるコンパレータが必要となる．本コンパレータを使用した理由は，ダイナミック型コンパレータがクロック同期のため，高速な動作でも安定して出力を得られるためである．ダイナミックコンパレータの後段には D-FF を用いたが，2 回路にクロックを入力することにより，同期が上手くいかず，出力を得られなかった．そこで，本回路は後段を SR ラッチ回路にすることでクロックの入力を統一する形で量子化器部分の設計を行った[8]．

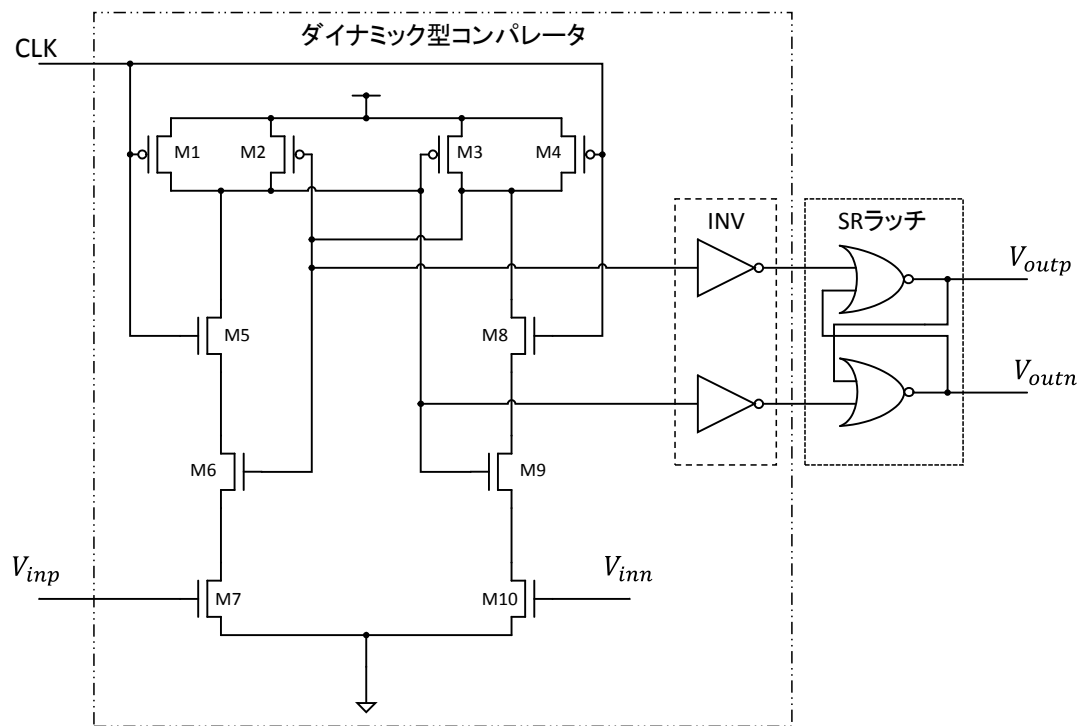


図 2.12 : コンパレータの回路図[9]

表 2.4 : コンパレータの各 W/L 比($L = 0.36[\mu\text{m}]$)

| | | |
|---------------|--------|------|
| ダイナミック型コンパレータ | M1~M4 | 25 |
| | M5~M10 | 12.8 |
| INV | PMOS | 22 |
| | NMOS | 11 |
| SR ラッチ | PMOS | 22 |
| | NMOS | 11 |

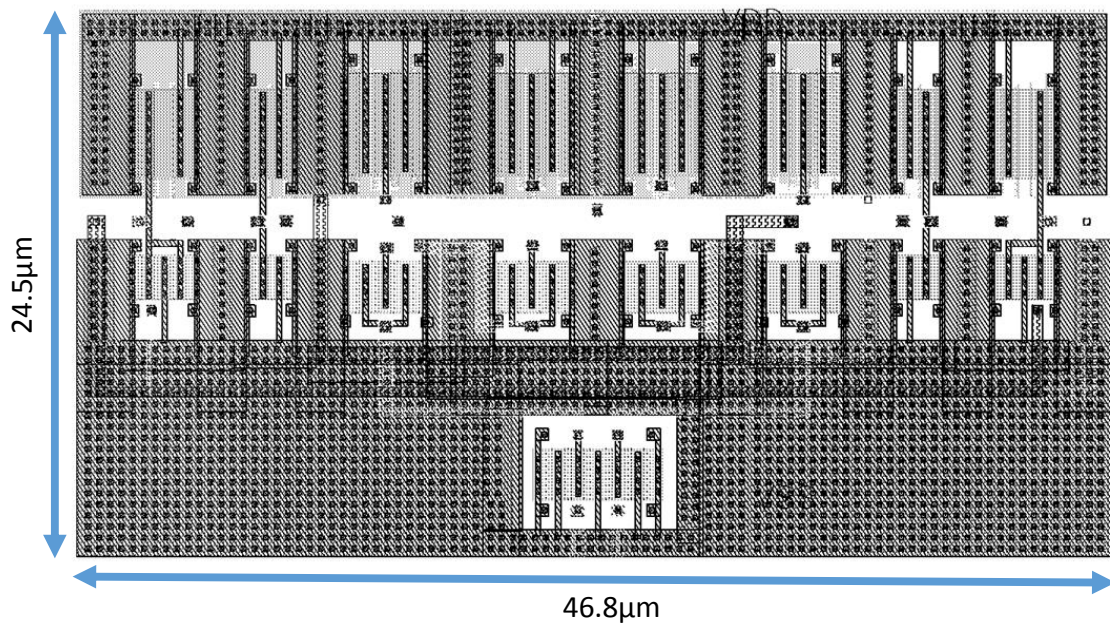


図 2.13 : コンパレータのレイアウト図

2.6 多段 INV

本研究では出力部に多段の INV を付加することにより，出力の安定化を図った．図 2.13 に多段 INV の回路図，表 2.5 にパラメータ，図 2.14 にレイアウトを示す．SR ラッチ回路と DAC， $\Delta\Sigma$ 変調器の出力信号と実測時におけるプローブを分離するため多段 INV をバッファとして使用した．

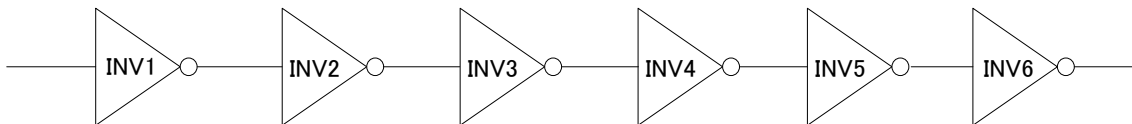


図 2.13 : 多段 INV の回路図

表 2.5 : 多段 INV の各 W/L 比($L = 0.18[\mu\text{m}]$)

| | | |
|--------|------|-----|
| INV1,2 | PMOS | 38 |
| | NMOS | 11 |
| INV3,4 | PMOS | 117 |
| | NMOS | 33 |
| INV5,6 | PMOS | 700 |
| | NMOS | 200 |

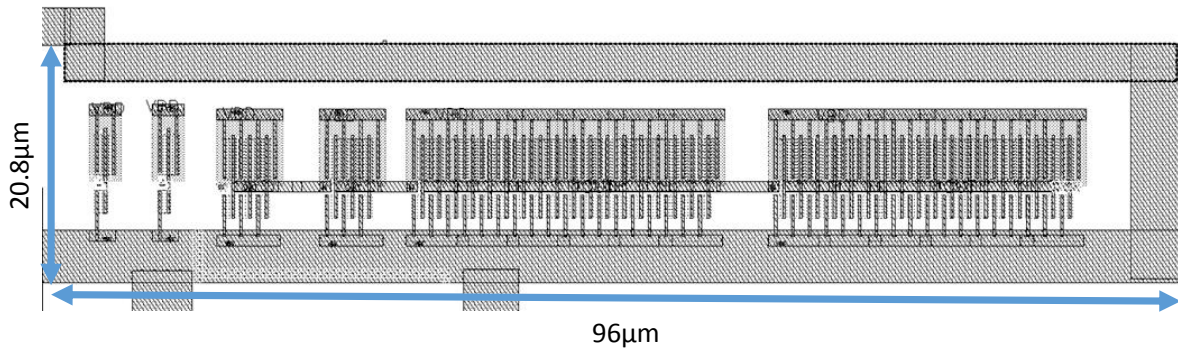


図 2.14 : 多段 INV のレイアウト

2.7 単電源と 2 電源

通常，グラウンド(アース)は回路内のすべての電圧の基準電位となる．しかし，電源を印加した際，グラウンド経路に予想以上の電源電流が流れたり，ノイズ等があったり，信号伝送の特性が損なわれることがある．特にミックスド・シグナル回路ではアナログ電源とデジタル電源の分離が必要となる．なぜなら，デジタル回路(論理回路)は H/L の切り替え時に電源から高速かつ大きな電流が流れ，それがノイズとなるためである．[10]

本研究では，このノイズの影響を考慮し，入力に CLK 信号を使用している回路と使用していない回路とで電源を分離した．CLK を使用している回路はスイッチ回路，量子化器の二つである．また，CLK を使用していないが H/L を出力する多段 INV もデジタル回路として分離した．図 2.15 に今回設計した電源ポートを示す．VDD_D をデジタル電源，VDD_A をアナログ電源とした．

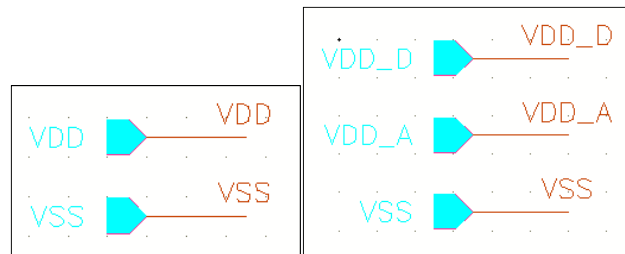


図 2.15 : 分離してない電源ポート(左)，分離した電源ポート(右)

2.8 設計した 4 つの $\Delta\Sigma$ 変調器とレイアウト

本研究では，単電源，2 電源と多段 INV の有無にわけて，4 つの $\Delta\Sigma$ 変調器の設計を行った．表 2.6 に単電源，多段 INV 無しを回路①，単電源，多段 INV 有りを回路②，2 電源，多段 INV 無しを回路③，2 電源，多段 INV 有りを回路④として示す．

表 2.6 : 4 つの $\Delta\Sigma$ 変調器

| | 多段 INV | |
|------|--------|---|
| | 無 | 有 |
| 単電源 | ① | ② |
| 2 電源 | ③ | ④ |

図 2.16 に回路①の回路図, 表 2.7 に使用した素子のパラメータ, 図 2.17 にレイアウトを示す. V_{ref0} , V_{ref1} は外部から印加する電圧, $\phi 0$, $\phi 1$ は CMOS スイッチである. 出力 V_{OUTP} , V_{OUTN} が CMOS スイッチへのフィードバック信号になる. 電源電圧 1.8[V], 印加電圧 $V_{ref0} = 1.35$ [V], $V_{ref1} = 0.45$ [V], 入力電圧範囲 0.6~1.2[V]にて設計した.

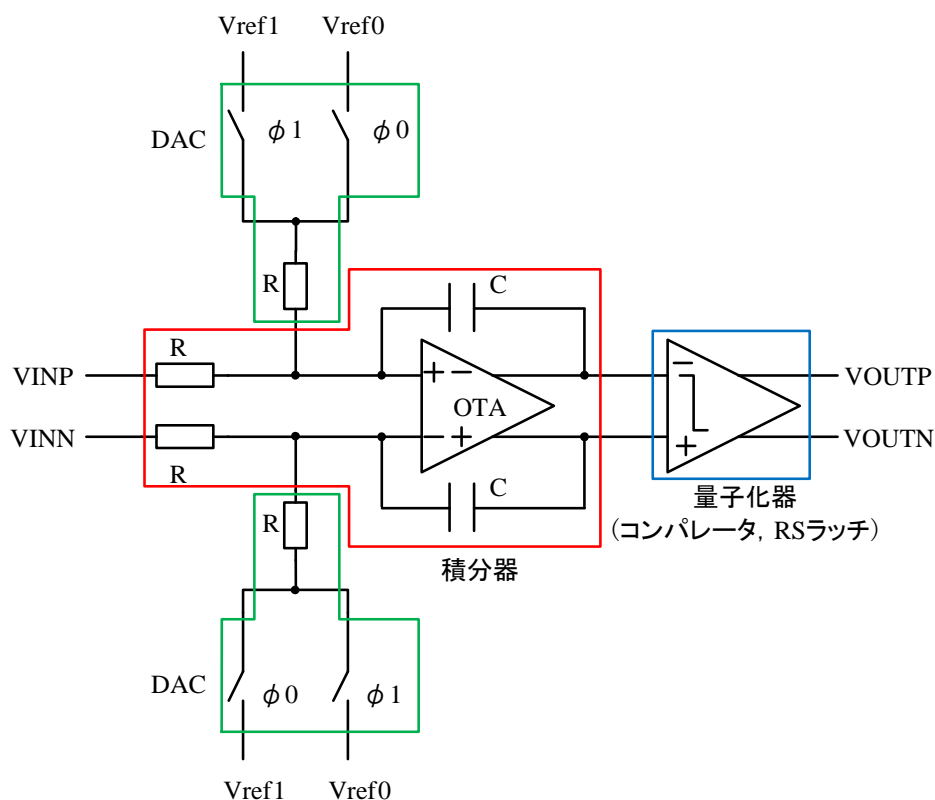


図 2.16 : 回路①の回路図

表 2.7 : 回路①のパラメータ

| 項目 | 値 |
|----|------------------|
| R | 100[k Ω] |
| C | 8[pF] |

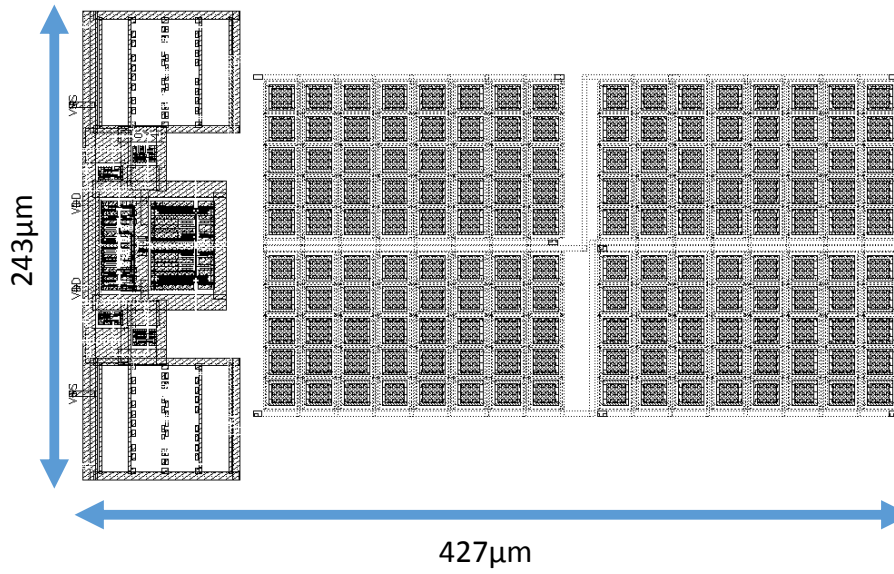


図 2.17 : 回路①のレイアウト

図 2.18 に回路②の回路図, 表 2.8 に使用した素子のパラメータ, 図 2.19 にレイアウトを示す. V_{ref0} , V_{ref1} は外部から印加する電圧, $\phi 0$, $\phi 1$ は CMOS スイッチ, Feedback は CMOS スイッチへフィードバック信号である. 電源電圧 1.8[V], 印加電圧 $V_{ref0} = 1.35$ [V], $V_{ref1} = 0.45$ [V], 入力電圧範囲 0.6~1.2[V]にて設計した.

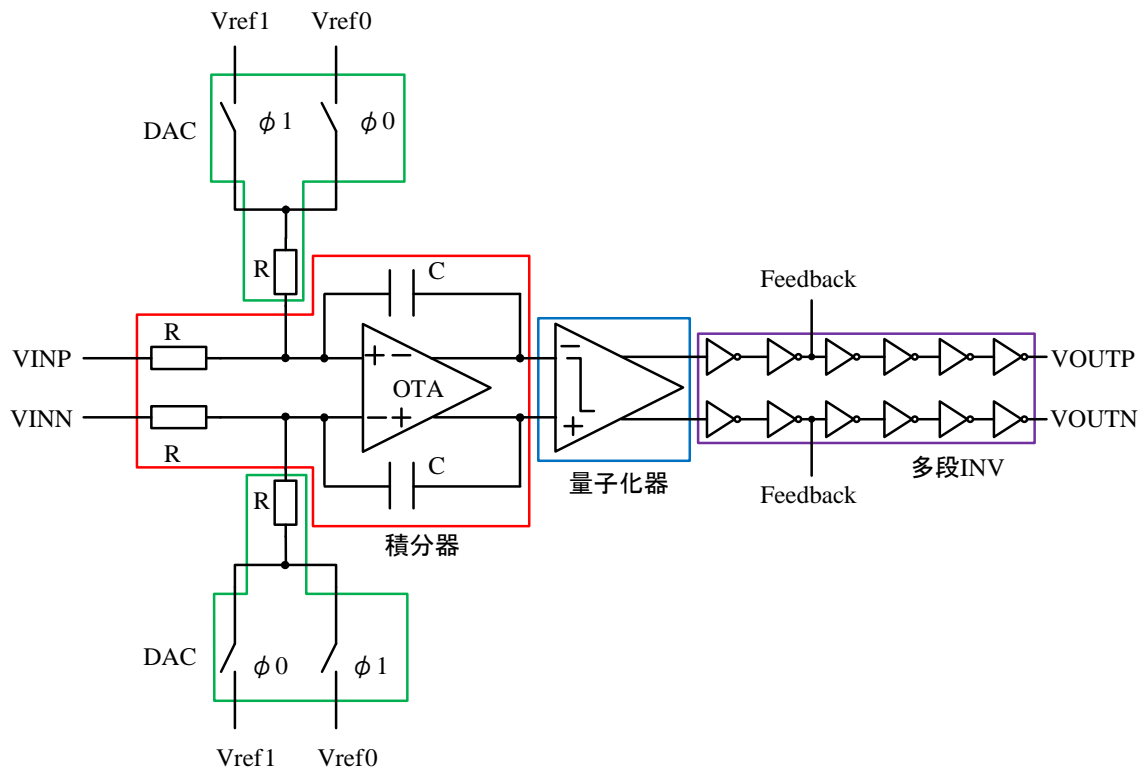


図 2.18 : 回路②の回路図

表 2.7 : 回路②のパラメータ

| 項目 | 値 |
|----|------------------|
| R | 100[k Ω] |
| C | 8[pF] |

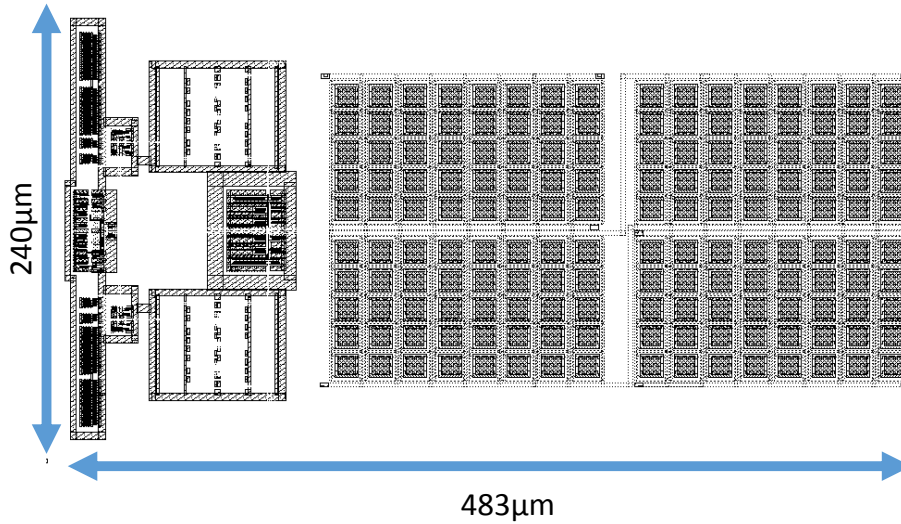


図 2.19 : 回路②のレイアウト

回路③の回路図は図 2.16 の回路図と同様なので省略する．ただし，電源を図 2.15(右)のように分離しているので，積分器はアナログ電源，CMOS スイッチと量子化器，多段 INV はデジタル電源とする．表 2.9 に使用した素子のパラメータ，図 2.20 にレイアウトを示す． V_{ref0} ， V_{ref1} は外部から印加する電圧， $\phi 0$ ， $\phi 1$ は CMOS スイッチである．出力 VOUTP，VOUTN が CMOS スイッチへのフィードバック信号になる．アナログ電源，デジタル電源は共に 1.8[V]，印加電圧 $V_{ref0} = 1.35$ [V]， $V_{ref1} = 0.45$ [V]，入力電圧範囲 0.6~1.2[V]にて設計した．

表 2.9 : 回路③のパラメータ

| 項目 | 値 |
|----|------------------|
| R | 100[k Ω] |
| C | 8[pF] |

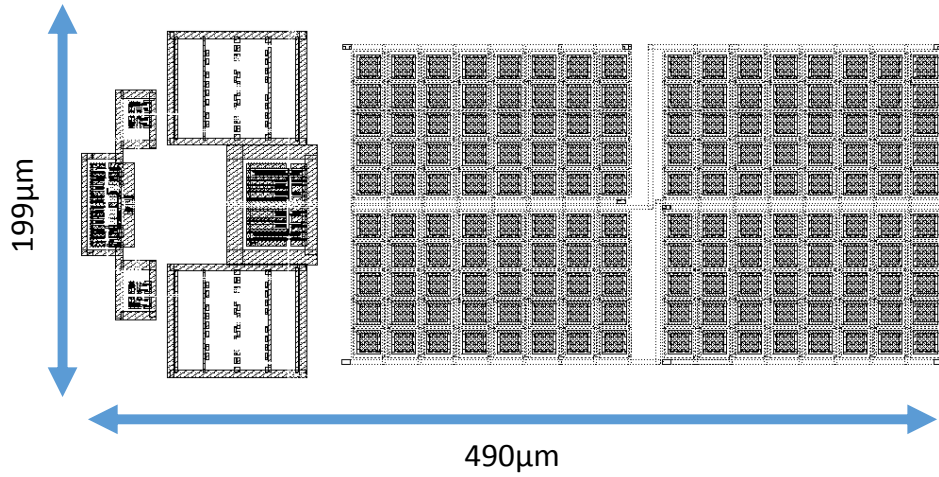


図 2.20 : 回路③のレイアウト

回路④の回路図は図 2.18 と同様なので省略する．ただし，回路③と同様に，図 2.15(右)のように電源を分離しているので，積分器はアナログ電源，CMOS スイッチと量子化器，多段 INV はデジタル電源とする．表 2.10 に使用した素子のパラメータ，図 2.21 にレイアウトを示す． V_{ref0} ， V_{ref1} は外部から印加する電圧， $\phi 0$ ， $\phi 1$ は CMOS スイッチ，Feedback は CMOS スイッチヘフィードバック信号である．アナログ電源，デジタル電源は共に 1.8[V]，印加電圧 $V_{ref0} = 1.35$ [V]， $V_{ref1} = 0.45$ [V]，入力電圧範囲 0.6~1.2[V]にて設計した．

表 2.10 : 回路④のパラメータ

| 項目 | 値 |
|----|------------------|
| R | 100[k Ω] |
| C | 8[pF] |

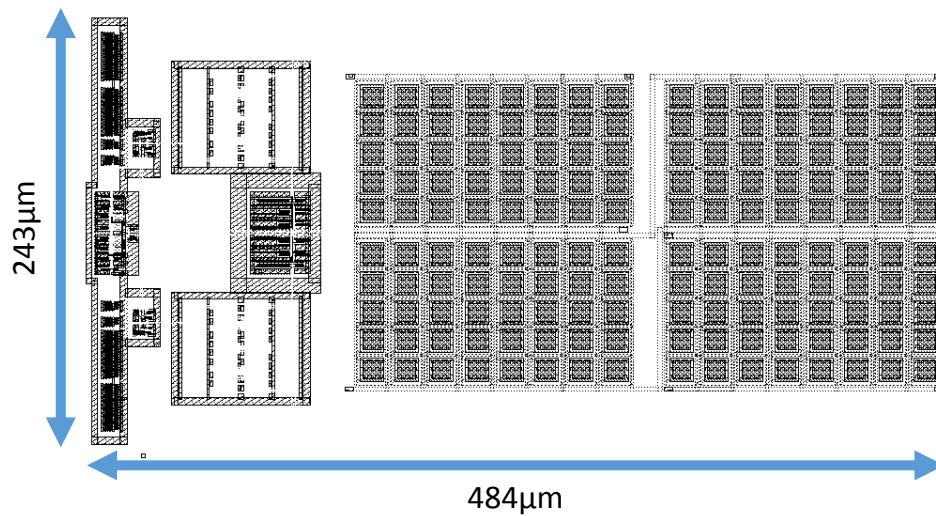


図 2.21 : 回路④のレイアウト

第 3 章 $\Delta\Sigma$ 変調器のシミュレーションと実測

本章では設計した 4 つの $\Delta\Sigma$ 変調器のシミュレーションと実測の条件、結果、及び実測に用いた機器や基板について述べる。

3.1 シミュレーションと実測の条件

シミュレーションでは電源 VDD を 1.8[V]、入力信号を振幅 0.3[V]、周波数 22[kHz]、オフセット 0.9[V]の sin 波とした。入力信号は人の可聴域より少し広めに想定し、22[kHz]とした。また、本研究で設計した $\Delta\Sigma$ 変調器は差動回路なので、マイナス入力にはオフセットを基準に反転した上記の sin 波を入力した。CMOS スイッチに入力する外部印加電圧は $V_{ref0} = 1.35[V]$ 、 $V_{ref1} = 0.45[V]$ とした。CLK 信号はオーバーサンプリング比 256 倍の 11.264[MHz]である。これは通常のサンプリング周波数(入力信号帯域の 2 倍)44[kHz]の 2^8 倍である。以上の入力値で過渡解析を行った。解析の条件は 100[ps]刻みで 4[ms]までとした。入出力波形、スペクトル評価は Synopsys 社 CosmosScope で行った。スペクトル評価は calculator ツールを用いて、FFT 条件を 1~4[ms]の 3[ms]間、表示ポイント数は 524288(2^{19})point とした。条件を 1[ms]からしたのは出力が安定してから計測するためである。

本研究で実測に用いた実験機器を表 3.1 に示す。実測では電源に HP E3610 を 2 台用いた。回路への電源とチップへの電源 1.8[V]の 2 つである。この 2 つの電源は圧着端子を用いて基板用端子台で印加した。入力信号は NF WF1974 を用いて生成した。差動入力なので、NF WF1974 の画面横の MENU ボタンを押下し、Utility を選択後、Channel Mode を Diff にし、Channel2 から Channel1 の反転した波形が出力するように設定した。外部印加電圧 V_{ref0} 、 V_{ref1} は 2 組の 100[Ω]と 300[Ω]を用意し、それぞれ直列接続し、電源 1.8[V]を回路の電源から供給し、その分圧から生成した。CLK 信号は Agilent 81150A から生成した。差動の入力信号と CLK 信号は SMA コネクタを用いて BNC ケーブルで印加した。CLK 信号は Agilent MSO7034A で確認したところ波形が歪んでいたため、6[dB]のアッテネーターを経由して印加した。入出力波形、スペクトル評価は MSO7034A で行った。入出力波形の評価は MSO7034A の Waveform キー内の Acquire から高分解能を選択し行った。出力信号は Tektronix P6158、入力信号は Agilent 10074C のプローブを用いて測定した。スペクトル評価は MSO7034A の演算コントロールから FFT を選択し行った。FFT 後のスペクトルがリアルタイムで変化し、安定しなかったので、Acquire から Averaging を選択し 512 回の測定の平均値から評価を行った。

スペクトルの評価はノイズシェーピング効果、信号対雑音比(S/N 比)とノイズフロアの 3 つの観点から行った。ノイズシェーピング効果は 1.2 節で述べたように $\Delta\Sigma$ 変調器特有の機能なので、図 1.6 のようにノイズが高帯域に移動している事を確認する。S/N 比は基本波(本研究では 22[kHz]の入力信号)と第 2 高調波のスペクトルの差であり、 $\Delta\Sigma$ 変調器の分解能が決まる指標でもある。ノイズフロアとはスペクトルにおいて、信号を入力していなくても発生する電子回路自身が発生するノイズのレベルのことである。本研究では基本波 22[kHz]以下の周波数帯域におけるスペクトルの平均値をノイズフロアとして算出する[8]。

表 3.1：実測に用いた各種実験機器

| 名称 | メーカー | 型番 |
|------------------------------------|----------------------|----------|
| DC Power Supply | Hewlett Packard | E3610 |
| Mixed Signal Oscilloscope | Agilent Technologies | MSO7034A |
| Mult Function Generator | NF Corporation | WF1974 |
| Pulse Function Arbitrary Generator | Agilent Technologies | 81150A |
| Low Capacitance Probe | Tektronix | P6158 |
| Oscilloscope Probe | Agilent Technologies | 10074C |

3.2 測定用基板と実測風景

実測では配線によるリアクタンスの影響をできるだけ避けるため、測定用のプリント基板を作製した．図 3.1 に測定用プリント基板を示す．この基板はオープンソースのプリント基板 CAD, kicad を用いて設計し，基板の設計・製造・実装をインターネット上で請け負う P 板.com に発注したものである．サイズは縦 115[mm]，横 160[mm]，配線は表面，裏面の 2 層構造である．表 3.2 に実装を想定した部品を示す．その他部品も適宜実装できるようにスルーホールも多数設けた．

図 3.1 の測定用基板をアルミシャーシ内部に設置した測定用回路を図 3.2，図 3.3 に示す．図 3.2 は回路①用の測定用回路で，図 3.3 は回路②③④用の測定用回路である．測定用回路には表 3.2 の部品以外に 3.1 節にある外部印加電圧 V_{ref0} ， V_{ref1} を生成するために抵抗を用いている．また，図 3.4，3.5 にそれぞれの実測風景を示す．

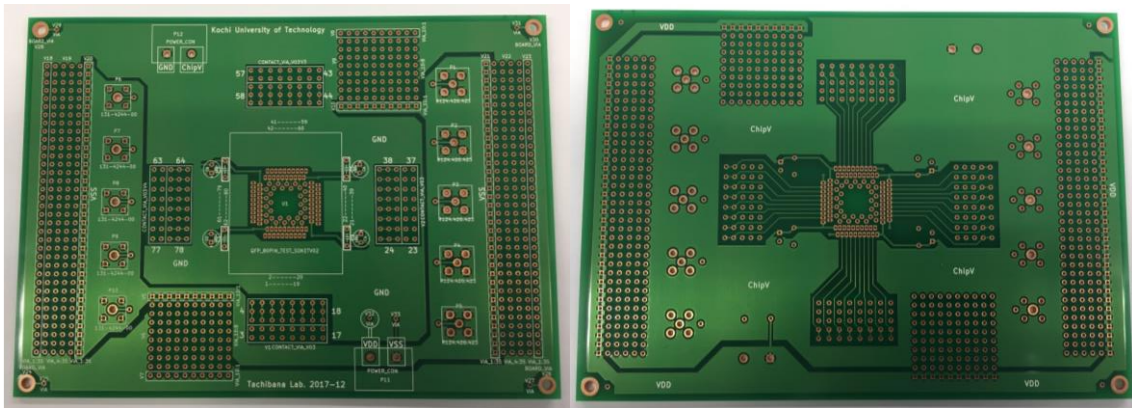


図 3.1：設計した基板の表面(左)，裏面(右)

表 3.2 : 実装を想定した部品

| 名称 | メーカー | 型番 |
|----------------------------------|-----------|----------------|
| QFP 80PIN BURN IN TEST SOCKET | 富士電機株式会社 | QP1-080065-*** |
| プリント基板端子台 | IDEC | BP101S-2 |
| ECB-TO-CIRCUIT BOARD ADAPTERS | Tektronix | 131-4244-00 |
| SMA コネクタ | Radiall | R124.426.123 |
| アルミ電解コンデンサ 100[μ F] | Nichicon | VR(M) B1046 |
| セラミックコンデンサ 0.1[μ F] | | |



図 3.2 : 回路①用測定回路

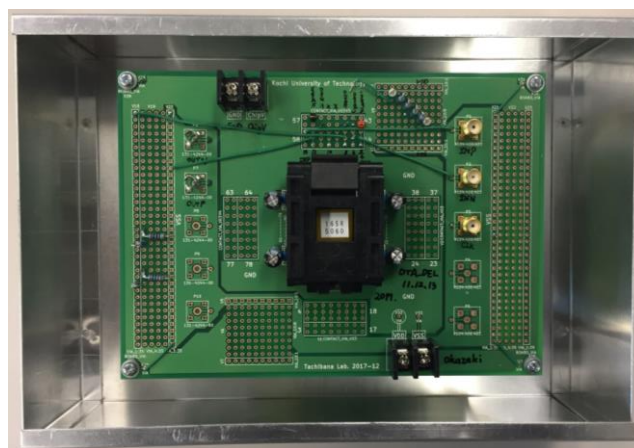


図 3.3 : 回路①②③用測定回路

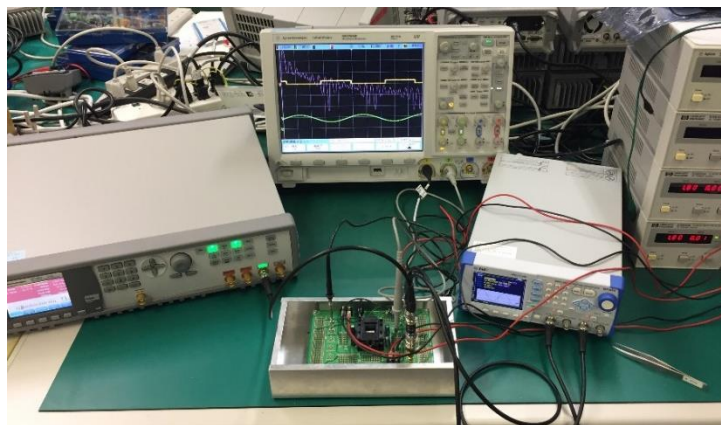


図 3.4 : 回路①の実測風景

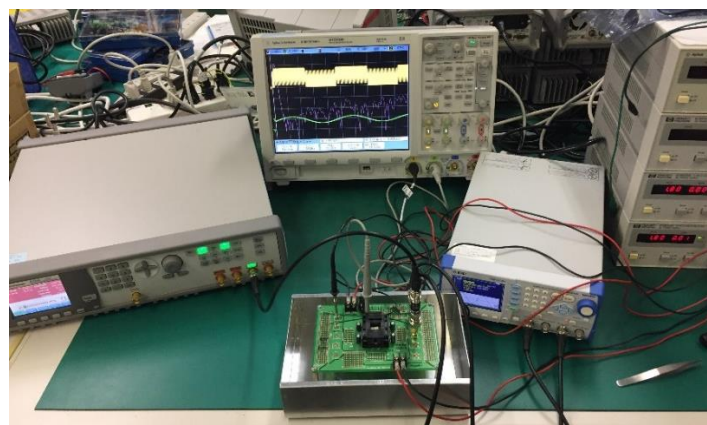


図 3.5 : 回路②③④の実測風景

3.2 回路①のシミュレーションと実測

図 3.6, 3.7 にシミュレーションと実測の入出力波形を示す．シミュレーションでは入力振幅に比例した密度のパルスが発生していた．実測は，入力信号の振幅に対して出力が変化しているが，最大値が $0.5[\text{V}]$ 付近にとどまっていた．図 3.8 に実測の拡大図を示す．図 3.8 より実測の出力は歪んでおり，パルスになってないことがわかる．

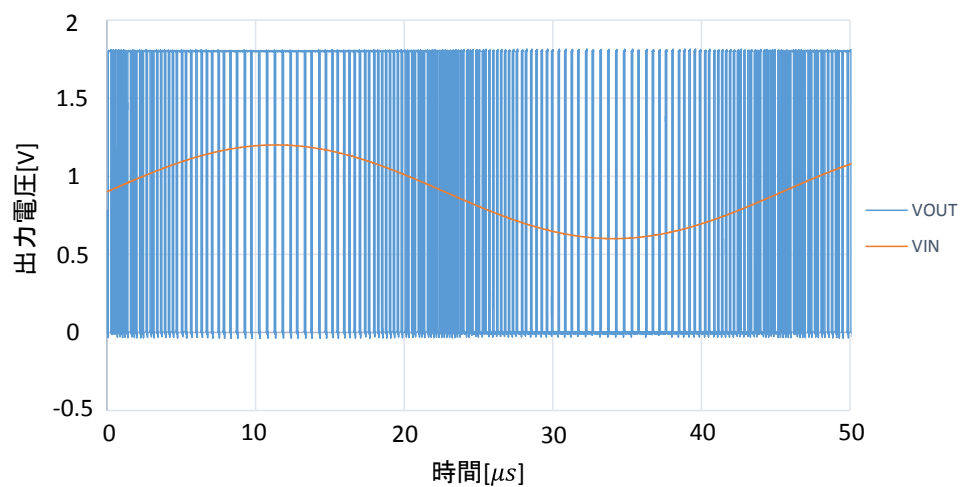


図 3.6 : シミュレーションの入出力波形(回路①)

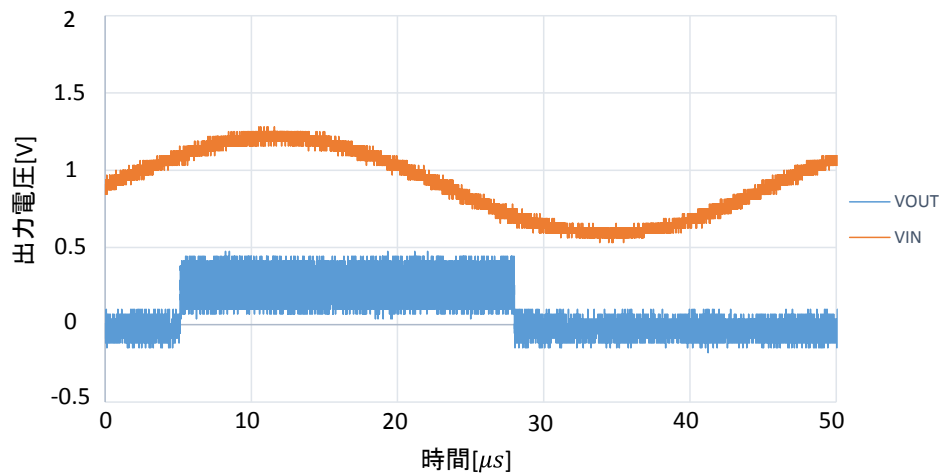


図 3.7 : 実測の入出力波形(回路①)

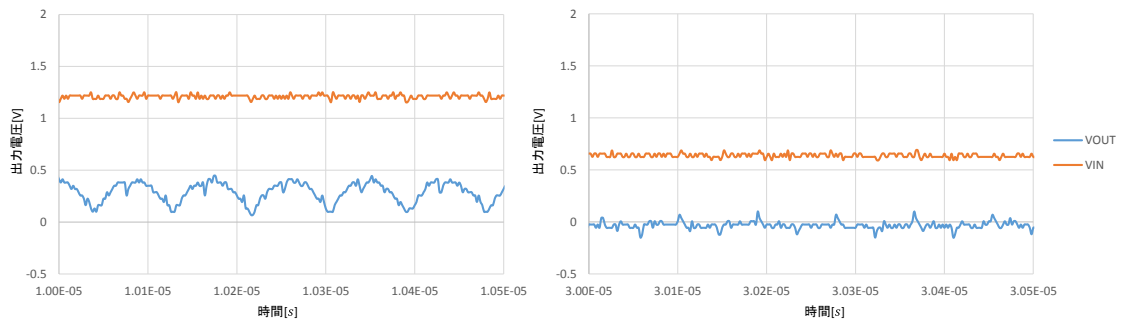


図 3.8 : 実測の拡大図(回路①)

図 3.9 にシミュレーションと実測のスペクトル，表 3.2 に S/N 比とノイズフロアについて示す．シミュレーションは 20[dB/dec]の傾きのノイズシェーピングを確認することができた．実測では高調波 44[kHz]が目立っており，ノイズシェーピングを確認することができなかった．表 3.2 より、実測は $\Delta\Sigma$ 変調器として動作していなかったため、S/N 比とノイズフロアの結果は除く．

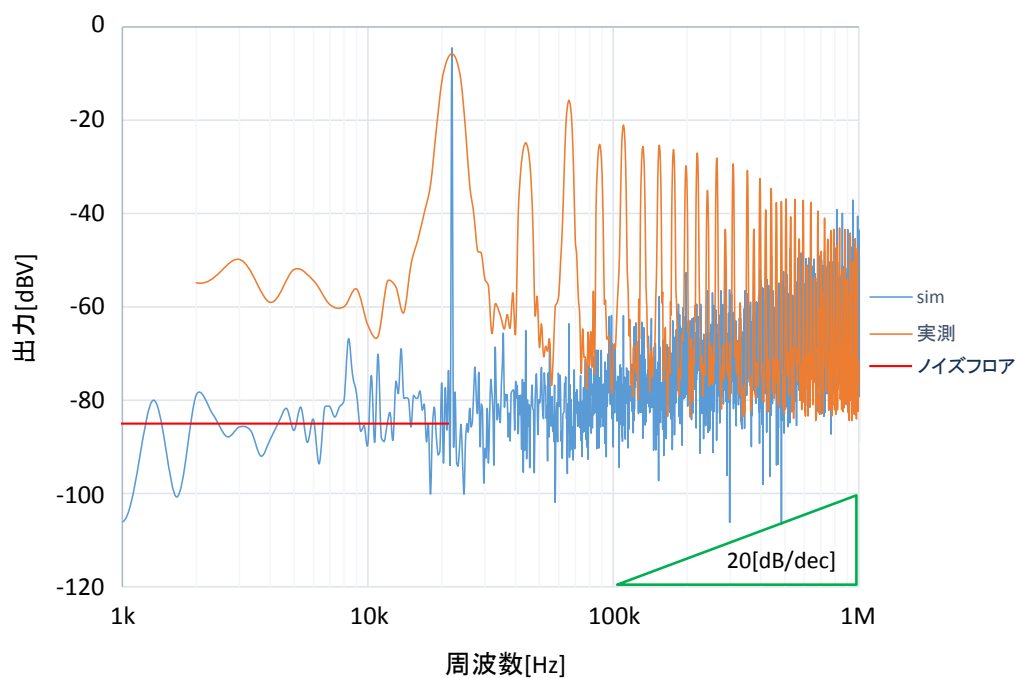


図 3.9 : シミュレーションと実測のスペクトル(回路①)

表 3.2 : シミュレーションと実測の S/N 比・ノイズフロア(回路①)

| | sim | 実測 |
|-------------|------|----|
| S/N 比[dB] | 60.5 | |
| ノイズフロア[dBV] | -85 | |

3.3 回路②のシミュレーションと実測

図 3.10, 3.11 にシミュレーションと実測の入出力波形を示す。シミュレーションでは回路②と同様にオーバーシュートが目立っているが、入力振幅に比例した密度のパルスが発生している。実測もシミュレーションと同様のパルスを出力した。ただし、オーバーシュートとアンダーシュートが発生していた。

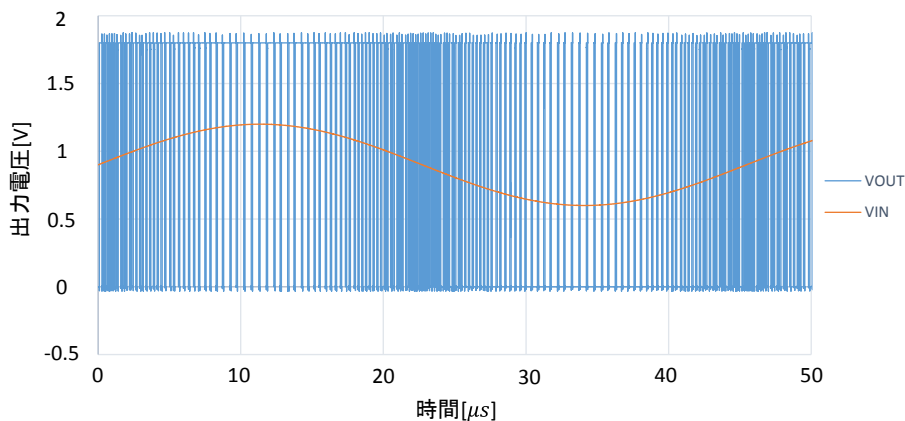


図 3.10 : シミュレーションの入出力波形(回路②)

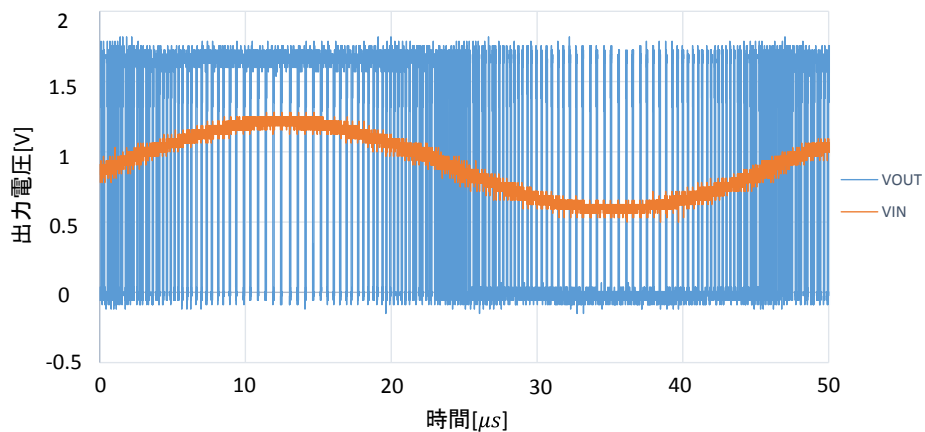


図 3.11 : 実測の入出力波形(回路②)

図 3.12 にシミュレーションと実測のスペクトル, 表 3.3 に S/N 比とノイズフロアについて示す. シミュレーションは $20[\text{dB/dec}]$ の傾きのノイズシェーピングを確認することができた. 実測においても $20[\text{dB/dec}]$ のノイズシェーピングを確認できたが, シミュレーションと比較して基本波のスペクトルが膨らんだ状態になっていた. また, 表 3.3 より, シミュレーションと実測において S/N 比は $6.9[\text{dB}]$, ノイズフロアは $-21[\text{dBV}]$ の差が生じていた.

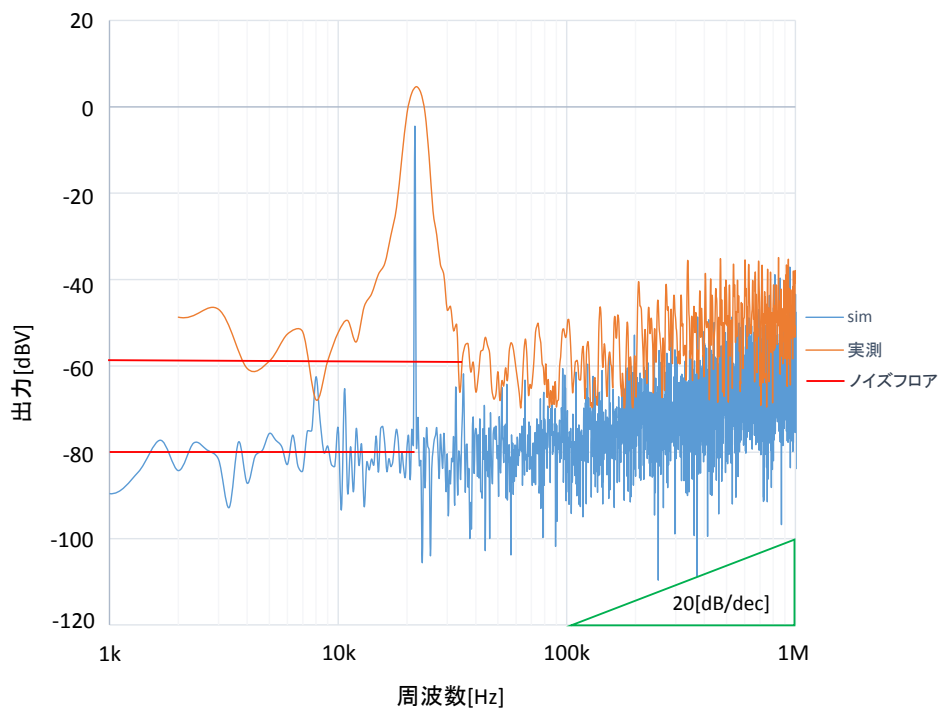


図 3.12 : シミュレーションと実測のスペクトル(回路②)

表 3.3 : シミュレーションと実測の S/N 比・ノイズフロア(回路②)

| | sim | 実測 |
|-------------|------|------|
| S/N 比[dB] | 65.0 | 58.1 |
| ノイズフロア[dBV] | -80 | -59 |

3.4 回路③のシミュレーションと実測

図 3.13, 3.14 にシミュレーションと実測の入出力波形を示す．シミュレーションでは振幅に対してパルスが発生している．実測は，入力信号の振幅に対して出力が変化しているが，最大値が 0.4[V]付近にとどまっていた．図 3.15 に実測の拡大図を示す．図 3.15 より実測の出力が回路①と同様に，パルスになってないことがわかる．

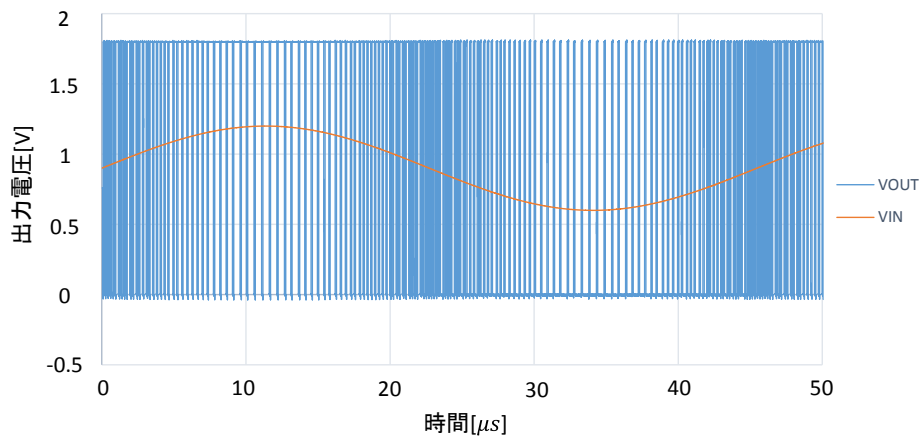


図 3.13 : シミュレーションの入出力波形(回路③)

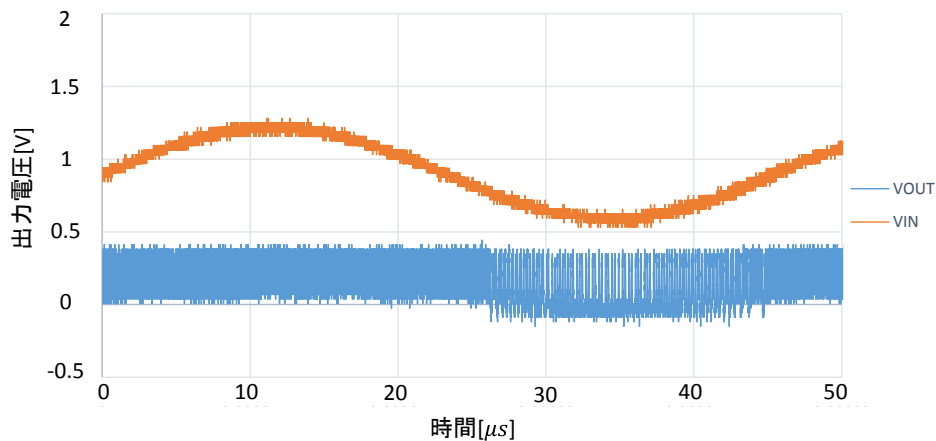


図 3.14 : 実測の入出力波形(回路③)

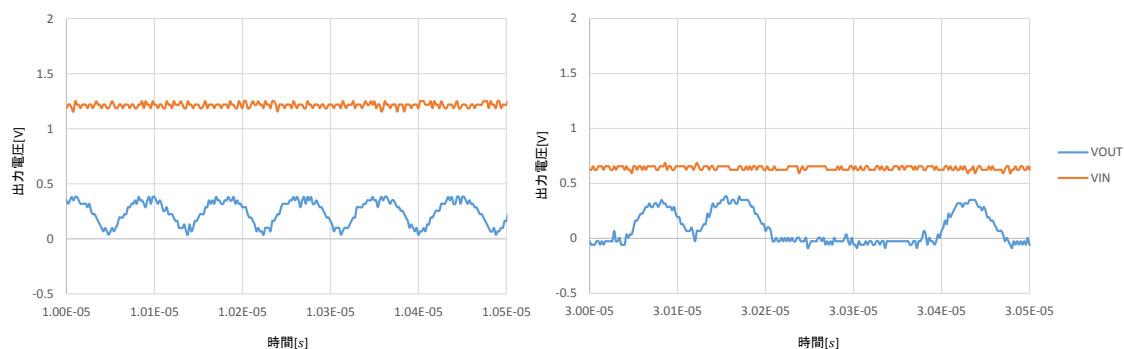


図 3.15 : 実測の拡大図(回路③)

図 3.16 にシミュレーションと実測のスペクトル, 表 3.4 に S/N 比とノイズフロアについて示す. シミュレーションは 20[dB/dec]の傾きのノイズシェーピングを確認することができた. 実測では回路③と同様にスプリアスが目立っており, ノイズシェーピングを確認することができなかった. 表 3.4 より、実測は $\Delta\Sigma$ 変調器として動作していなかったため、S/N 比とノイズフロアの結果は除く.

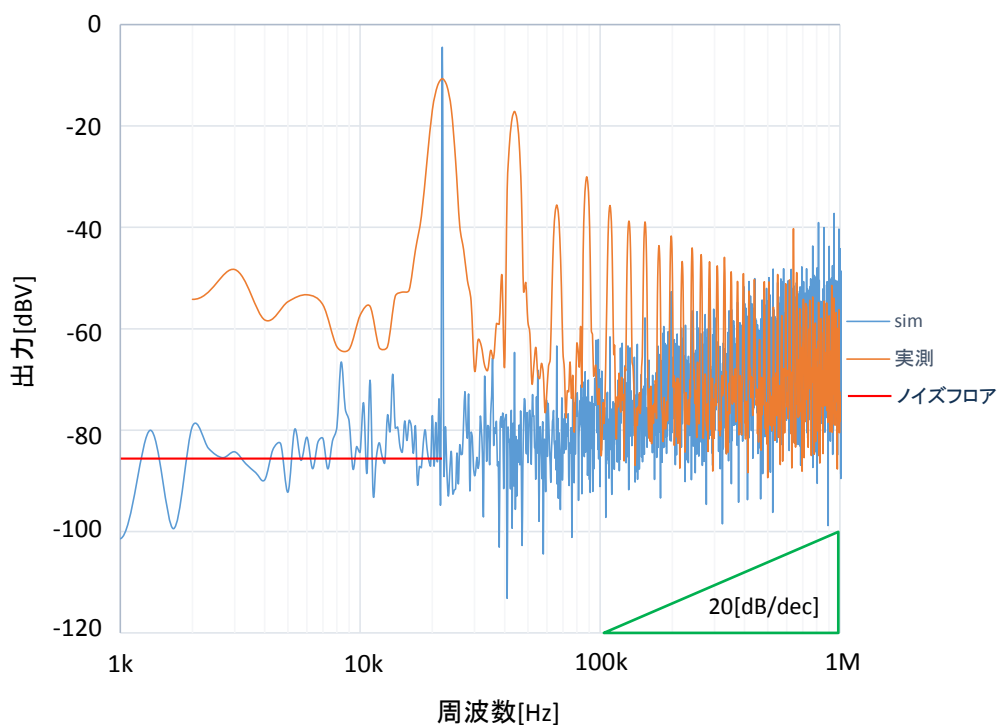


図 3.16 : シミュレーションと実測のスペクトル(回路③)

表 3.4 : シミュレーションと実測の S/N 比・ノイズフロア(回路③)

| | sim | 実測 |
|-------------|------|----|
| S/N 比[dB] | 60.2 | |
| ノイズフロア[dBV] | -86 | |

3.5 回路④のシミュレーションと実測

図 3.16, 3.17 にシミュレーションと実測の入出力波形を示す. シミュレーションでは回路②と同様にオーバーシュートが目立っているが, 入力振幅に比例した密度のパルスが発生している. 実測もシミュレーションと同様のパルスを出力している. ただし, オーバーシュートとアンダーシュートが回路②の実測より周期的に発生していた.

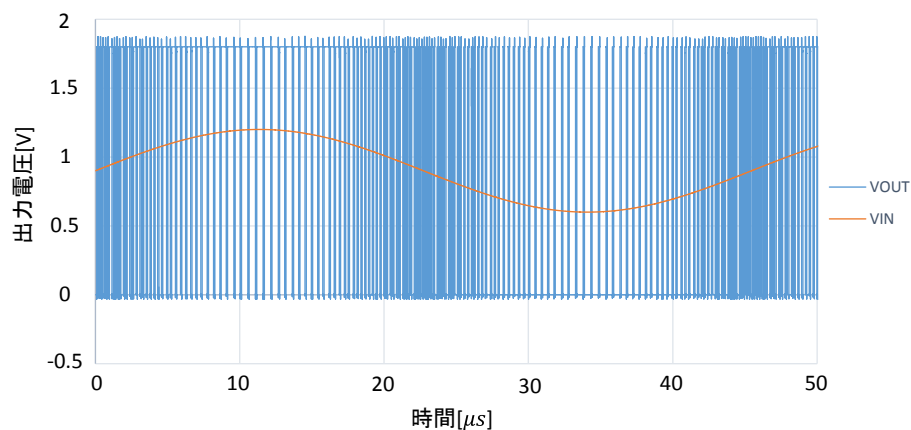


図 3.16 : シミュレーションの入出力波形(回路④)

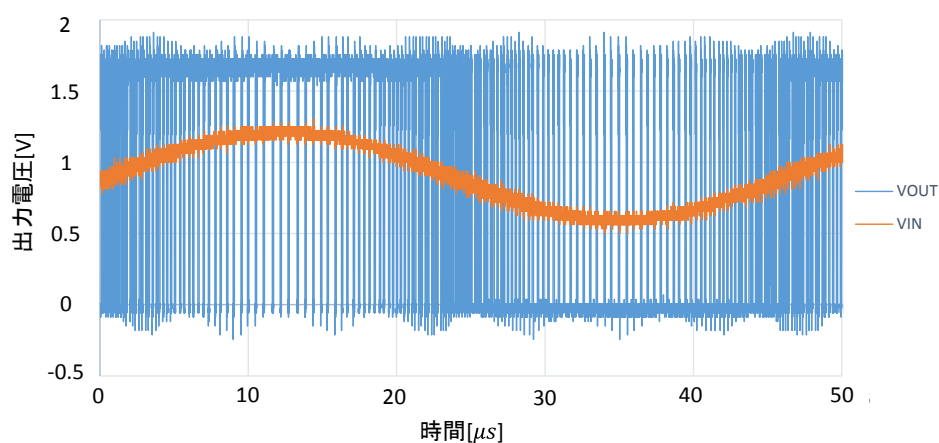


図 3.17 : 実測の入出力波形(回路④)

図 3.18 にシミュレーションと実測のスペクトル, 表 3.5 に S/N 比とノイズフロアについて示す. シミュレーションは 20[dB/dec]の傾きのノイズシェーピングを確認することができた. 実測においても 20[dB/dec]のノイズシェーピングを確認できたが, シミュレーションと比較して回路②と同様に基本波のスペクトルが膨らんだ状態になっていた. また, 表 3.5 より, シミュレーションと実測において S/N 比は 6.9[dB], ノイズフロアは -21[dBV]の差が生じていた.

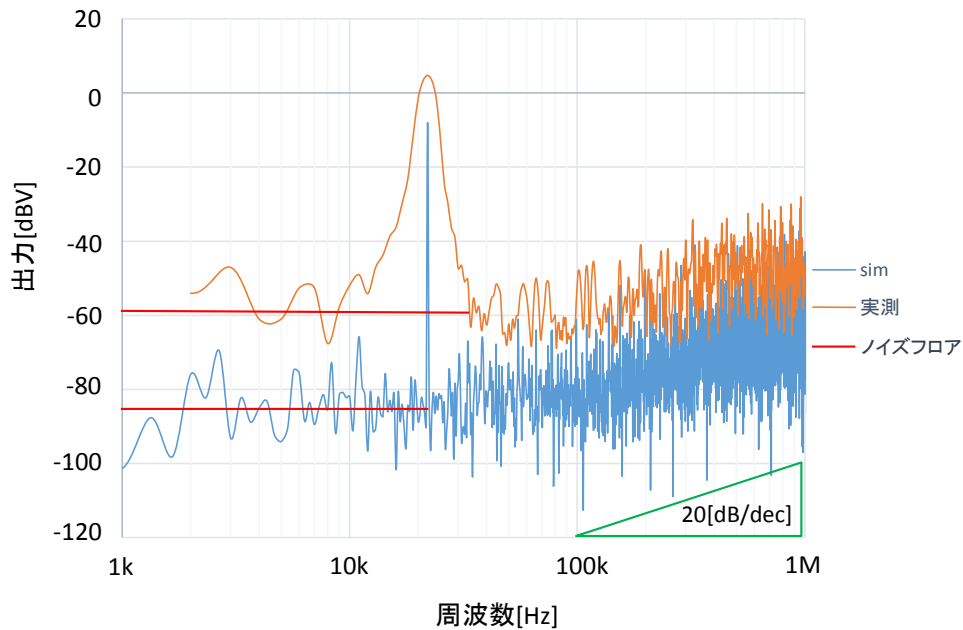


図 3.18 : シミュレーションと実測のスペクトル(回路④)

表 3.5 : シミュレーションと実測の S/N 比・ノイズフロア(回路④)

| | sim | 実測 |
|-------------|------|------|
| S/N 比[dB] | 59.8 | 56.4 |
| ノイズフロア[dBV] | -85 | -59 |

3.6 考察

シミュレーションでは、すべての回路が目標とした S/N 比 69[dB]を得られなかった。オーバーサンプリング比によって、S/N 比の理論値が決まるので、積分器などの影響ではなく、量子化器による CLK 同期のずれなどが影響したと考えられる。

回路①と③、②と④において、電源を単電源から 2 電源に変化を行いシミュレーションと実測を行ったが、S/N 比とノイズフロアは改善されてはなかった。これは回路のレイアウトの電源配線の分離が十分でなかったと考えられる。

3.1 節、3.3 節の実測の出力波形が入力の振幅に合わせて変化しているが、振幅の密度に比例したパルスを生成せず、出力最大値は 0.5[V]付近にとどまった。出力が得られなかった理由としては量子化器が CLK 信号と同期できていなかった事が考えられるが、3.2 節、3.4 節の実測では同条件下での測定で $\Delta\Sigma$ 変調器としての動作を確認できた。回路②④は多段 INV を付加していたので、この多段 INV の有無が測定に影響を与えたと考えられる。

今回の実測測定には表 3.1 の Tektronix P6158 を使用した。このプローブは入力容量 1.5pF であった。このプローブの容量により、出力信号に遅れが生じ、同時に帰還信号のタイミングもずれしまい、CMOS スイッチから出力される外部印加電圧も適したタイミングで入力に加算されなかった。その結果、出力が回路①③のように正しく出力されなかったと考えられる。

オーバーシュートやアンダーシュートは回路中の LC 共振によって起きるものである。よ

って、実測において、こちらもプローブによる影響が考えられる。

回路②③において S/N 比とノイズフロアがシミュレーションと実測において差があった理由は、出力のノイズによる影響の他、オシロスコープの収集モードにおける分解能の限界が 12[bit]であったことが考えられる。12[bit]は約 72[dBV]の分解能であり、シミュレーションのノイズフロアまでスペクトルを正確に計測することができないからである。

第 4 章 まとめ

本研究では，Nauta OTA を用いた $\Delta\Sigma$ 変調器の設計と評価を行った．シミュレーション，実測ともに S/N 比が 60 前半か 50 後半になり，目標の S/N 比 69[dB]を得ることができなかった．しかし、実測で出力側に多段 INV を設置した回路②④は $\Delta\Sigma$ 変調器として正しく動作をしていることを確認出来た．

今後はシミュレーションにおいて，出力における負荷回路，プローブやオシロスコープのインピーダンスを考慮して回路設計を行い、実測環境下での測定を再現していく必要がある．また，スペクトルにおいて実測で S/N 比を評価するには，測定できる周波数帯域は減少するが，オーディオアナライザを用いることで，ノイズフロアの低減による S/N 比の正確な値を得られると考える．さらに，単電源から 2 電源に変更する際は電源配線のレイアウトの配置に注意する必要がある．

謝辞

本研究を進める当たり，ご指導とご助力を賜りました橘昌良教授に心から感謝いたします。また，日ごろよりお世話になりました密山准教授をはじめ，電子・光システム工学科の教職員の皆様に心よりお礼申し上げます。最後に，有益な助言や討論をしてくださった橘研究室および密山研究室の皆様に感謝致します。

参考文献

- [1] Bram Nauta, "A CMOS Transconductance-C Filter Technique for Very High Frequencies," IEEE Journal of Solid-State Circuits, 1992.
- [2] 西面 尚彰, ブートストラップスイッチ回路を用いた $\Delta \Sigma$ 変調回路の設計と評価, 高知工科大学 電子・光システム工学コース 修士論文, 2014.
- [3] R.Scherier, G.C.Temes, $\Delta \Sigma$ 型アナログ/デジタル変換器入門, 丸善株式会社, 2007.
- [4] 谷口 研二 著, LSI 設計者のための CMOS アナログ回路入門, CQ 出版, 2005.
- [5] 軽野 滉士, Nauta OTA の設計, 高知工科大学 システム工学群 電子工学専攻 卒業研究報告書, 2017.
- [6] 岡崎 泰士, Nauta OTA を用いた 1 次 $\Delta \Sigma$ 変調器の設計と評価, 高知工科大学 システム工学群 電子工学専攻 卒業研究報告書, 2016.
- [7] 板坂 直哉, 2 次デルタシグマ変調器の設計と評価, 高知工科大学 システム工学群 電子工学専攻 卒業研究報告書, 2014.
- [8] 板坂 直哉, 連続時間 2 次 $\Delta \Sigma$ 変調器の設計及び評価, 高知工科大学 電子・光システム工学コース 修士論文, 2016.
- [9] Jhin-Fang Huang, Yen-Jung Lin,, Kun-Chieh Huang and Ron Liu , "A CT Sigma-Delta Modulator with a Hybrid Loop Filer and Capacitive Feed forward," IEEE 54th International Midwest Symposium on Circuit and System, 2011.
- [10] Hank Zumbahlen, 正しいグラウンディングを守ること, Analog Dialogue, http://www.analog.com/media/jp/analog-dialogue/volume-46/number-2/articles/staying-well-grounded_jp.pdf, June 2012.